

修士論文
RHIC PHENIX 実験における
高運動量 μ 粒子トリガー用電子回路の
実機に設置しての性能評価



唐津 謙一
京都大学大学院理学研究科
原子核ハドロン研究室

平成 20 年 2 月 4 日

概要

現代物理学は4つの基本相互作用によって自然現象を記述しているが、その中でも特に、原子核や核子を支配する強い相互作用(QCD)については複雑な側面が多いため、まだ解明されていない問題が多々ある。そのような未解決問題の1つに「核子のスピン構造」がある。核子は3つの価クォークからできているハドロンであるため、単純に考えると核子のスピンはクォークのスピンの足し合わせによって説明できるはずである。しかし、これまでの実験によって、クォークと反クォークのスピンを足し合わせても、核子スピンの約25%しかないことが報告されている。むしろ、QCDの効果によって核子中で生成されている海クォークが核子とは逆方向のスピンを持っているために、価クォークの核子スピンへの寄与が相殺されているということが示唆された。この効果をより詳しく調べることはQCDの理解を深める上でもとても重要なことであるが、海クォークのスピンの陽子と逆方向であることを直接測定した実験はまだ存在しない。

米国ブルックヘブン国立研究所で稼働中の加速器、Relativistic Heavy Ion Collider (RHIC) の衝突ポイントのひとつにあるPHENIX検出器において、我々は核子のスピン構造の解明を目標として精力的に測定を行っている。RHICは70%の偏極度を持つ陽子を重心系エネルギー $\sqrt{s} = 500$ [GeV]で衝突させることのできる、世界初の偏極陽子衝突型加速器である。我々の最大目標の1つが「 W 粒子生成非対称度の測定による陽子内海クォークスピンの測定」である。これは、正確に理解されている弱い相互作用の現象である W 粒子の生成過程を用いて、核子のスピン構造という、より複雑な強い相互作用の本質に切り込むとても野心的な測定である。

しかし、トリガー頻度の問題があるため、現在の検出器システムでの測定は難しい。現在、PHENIX検出器では μ 粒子同定装置(MuID)を用いて、 2 GeV/c以上の運動量を持つ μ 粒子に対してトリガーをかけるようにしているが、最新のデータとシミュレーションでは、 $\sqrt{s} = 500$ [GeV]衝突の設計輝度に達した時、現在のPHENIX検出器の容量(μ 粒子測定用のDAQのBand Widthは ~ 2 kHz)をはるかに超える50 kHzのトリガー頻度が予想される。 W 粒子の生成は、崩壊 μ 粒子が横運動量 20 GeV/c以上を持つことにより同定される。しかし、MuIDでは運動量閾値を 2 GeV/cより高く設定することはできないため、このトリガーシステムでデータ収集しては、QCDプロセスによって生成された低運動量 μ 粒子が支配的になってしまい、貴重な W 粒子起源の μ 粒子による信号を間引いてしまうことになる。

これを克服するために全く新しい、より選択性の高い W 粒子用トリガーシステムが必要であり、我々は現在、新しいトリガーシステムの構築を進めている。具体的には、新しくPHENIX検出器に設置するResistive Plate Chamber (RPC)とPHENIX検出器の一部として既存する μ 粒子飛跡検出器(MuTr)を使って、粒子の磁場中での飛跡情報をトリガーレベルで得ることによってトリガーに運動量選別機能をもたせ、 W 粒子起源の高運動量 μ 粒子から来る信号を効率的にトリガーしようという計画である。

我々はMuTrを用いたトリガー信号生成用読み出し回路の開発を担当しており、開発最終段階に差し掛かっている。2007年夏には、今まで開発してきた回路をMuTrの一部に設置して動作試験を行い、その性能評価を行った。結果、MuTrの既存の読み出し回路に対するノイズレベルの増加を30%に抑えられ、Minimum Ionizing Particle (MIP)に対する検出効率として93%を達成することを確認した。この動作試験によって、我々が開発してきた電子回路がPHENIX本体中でもトリガー生成回路として十分な性能を発揮することが確認できた。

本論文では、2007年夏に行った動作試験の結果について述べ、その結果に基づいて、新しいトリガーシステムを用いた実験が遂行可能であると示されたことについて述べる。

目次

第 1 章	研究の動機	3
1.1	新しい μ 粒子トリガー系の導入	3
1.2	パートン模型	6
1.3	スピン非対称度	8
1.4	W 粒子測定の意義	9
1.4.1	W 粒子の一重スピン非対称度	9
1.4.2	W 粒子の運動学	10
1.4.3	PHENIX 検出器における測定	11
第 2 章	PHENIX 検出器	13
2.1	RHIC 加速器	13
2.2	PHENIX 検出器の概要	15
2.2.1	PHENIX 中央アーム	16
2.3	PHENIX ミューオンアーム	16
2.3.1	ハドロン吸収材	17
2.3.2	MuID	18
2.3.3	MuTr	20
2.4	PHENIX データ収集 (DAQ) システム	24
2.5	ミュオンアームローカルレベル-1 トリガーシステム	25
2.5.1	BLT	25
2.5.2	MuID LL1	26
第 3 章	高運動量 μ 粒子トリガーシステムの構築	29
3.1	新しいトリガーの必要性	29
3.2	Muon Trigger Upgrade	29
3.3	MuTr トリガーのための新しい読み出し回路	33
3.3.1	MuTRG-AD ボード	33
3.3.2	MuTRG-TX ボード	39
3.3.3	MuTRG-ADTX ボード	43
3.3.4	MuTRG-MRG ボードと DCM Interface ボード	45
第 4 章	PHENIX における性能試験	49
4.1	PHENIX への実装について	49
4.2	実験セットアップ	51
4.2.1	MuTRG-AD ボードと MuTRG-TX ボードの設置	52
4.2.2	Local DAQ System	58

4.3	取得したデータセット	59
第 5 章	新トリガー系の性能評価	60
5.1	現行回路への影響	60
5.1.1	ノイズレベル	60
5.1.2	現行 FEE 側の信号遅延	68
5.1.3	現行 FEE の検出効率	71
5.1.4	まとめ	75
5.2	新しい読み出し回路の性能評価	75
5.2.1	ノイズによるヒット率 (Fake Hit Rate) の見積もり	75
5.2.2	新しい読み出し回路の検出効率	77
5.2.3	時間分布	83
5.2.4	まとめ	89
第 6 章	まとめ	90

第1章 研究の動機

1.1 新しい μ 粒子トリガー系の導入

どのようにして物質はできてきたのか？誰もが一度は持ったことのある、この根源的な疑問に対して答えを見つけ出すための学問として物理学は形作られてきた。現代物理学は4つの基本相互作用によって自然を記述している。その中でも特に、原子核や核子を支配する基本相互作用は量子色力学(QCD)によって記述されるが、低エネルギー長距離の現象については複雑な側面が多いため、過去数十年にわたる先人達の意欲的な研究によってもまだ解明されていない問題が多々ある。「核子スピン構造」はそのようなQCDにおける未解明問題の一つである。核子は3つの価クォークからできているハドロンであるため、単純に考えると核子のスピンはクォークのスピンの足し合わせによって説明できるはずである。しかし、1970年代から始まったEMC[1]、SMC[2]に代表される偏極核子と偏極レプトンの深非弾性散乱(DIS)等のこれまでの実験によって、クォークのスピンを足し合わせても、核子スピンの約25%でしかないことが報告されている。むしろ、QCDの効果によって核子中で生成されている海クォークが核子とは逆方向のスピンを持っているために、価クォークの核子スピンへの寄与が相殺されているということが示唆されたのである。この効果をより詳しく調べることはQCDの理解を深める上でもとても重要なことである。これまで、海クォークのスピンは準非弾性散乱(Semi-Inclusive DIS)によって測定されてはいるが、これはフレーバー毎の破砕関数の不確定性を含んだ形で抽出している[3]ため、決定精度が十分ではない。よって、海クォークのスピンを精度良く決定することは重要な課題である。

陽子内海クォークスピンを精度良く測定するために良いプローブとなるのが、偏極陽子と非偏極陽子の衝突における「 W 粒子生成非対称度の測定」である。 W 粒子は弱電荷に結合し、弱電荷はフレーバーと強く関連している。また、標準模型において W 粒子の生成はV-A過程のみが関与すると考えられているので、反応クォークのスピンの確定している。例えば、偏極陽子・陽子衝突における W^+ 粒子の生成では、ヘリシティ-負のクォークとヘリシティ-正の反クォークしか結合しないことから、非対称度は、

$$A_L^{W^+} = \frac{\Delta u(x_1)\bar{d}(x_2) - \Delta\bar{d}(x_1)u(x_2)}{u(x_1)\bar{d}(x_2) + \bar{d}(x_1)u(x_2)}$$

となる。ここで x は陽子に対するパートンの運動量比であり、 x_1 は偏極側、 x_2 は非偏極側である。大きい x において反クォーク(海クォーク)は価クォークに対して十分少なくなるので、 $x_1 - x_2$ が大きい場合、 $\bar{d}(x_1)u(x_2)$ は $u(x_1)\bar{d}(x_2)$ に対して無視できるほど小さくなる。そのため、 $A_L^{W^+}$ の値は $\Delta u(x_1)/u(x_1)$ に近づき、 $u(x)$ の値はこれまでの実験で分かっているため、 $\Delta u(x)$ が求まる。逆に $x_1 - x_2$ が小さい場合、 $u(x_1)\bar{d}(x_2)$ が $\bar{d}(x_1)u(x_2)$ に対して無視できるほど小さくなるので $A_L^{W^+}$ は $-\Delta\bar{d}(x_1)/\bar{d}(x_1)$ に近づき、 $\Delta\bar{d}(x)$ が求まる。 W^- については $u(x)$ と $d(x)$ を交換して考えればよい。このように、 W 粒子生成非対称

度の測定によってアップクォーク、ダウンクォーク及びそれぞれの反クォークのスピンを抽出できる [4] (詳しくは 1.4 章にも記述)。つまり、これまでは間接的にしか測定できなかった海クォークのスピンを、直接測定できるということである。この測定は、正確に理解されている弱い相互作用の現象である W 粒子の生成過程を用いて、核子のスピン構造という、より複雑な強い相互作用の本質に切り込むとても野心的な測定である。

米国ブルックヘブン国立研究所で稼働中の Relativistic Heavy Ion Collider (RHIC) は 70 % の偏極度を持つ陽子を重心系エネルギー $\sqrt{s} = 500$ [GeV] で衝突させることのできる、世界初の偏極陽子陽子衝突型加速器である。RHIC 衝突ポイントのひとつにある PHENIX 検出器における最大目標の一つが、上述した「 W 粒子生成非対称度の測定による陽子内海クォークスピンの測定」である。しかし、現在の検出器システムのままでは測定は難しい。その最大の理由は PHENIX 検出器のトリガー頻度にある。現在、PHENIX 検出器では μ 粒子同定装置 (MuID) を用いて、2 GeV/c 以上の運動量を持つ μ 粒子に対してトリガーをかけるようにしており、その棄却能力は約 250 である¹。現在の輝度 (ルミノシティー)²においては、この棄却能力でも DAQ の限界 (PHENIX DAQ のバンド幅の限界は 5 kHz で、 μ 粒子測定用に割り当てることのできるバンド幅の最大値は ~ 2 kHz) を超えないため、データ収集に支障はない。しかし、最新のデータとシミュレーションによると、 $\sqrt{s} = 500$ [GeV] 衝突の設計ルミノシティーである 2×10^{32} [$\text{cm}^{-2}\text{sec}^{-1}$] に達した時、DAQ の限界をはるかに超える 50 kHz のトリガー頻度が予想されているのである³。つまり、現在のトリガーでデータ収集している、生成断面積の小さい稀な現象である W 粒子起源の μ 粒子による信号も間引いてしまうことになる。

図 1.1 は $\sqrt{s} = 200$ [GeV] 衝突のときの μ 粒子の運動量分布である。この図から、現在のトリガーにかかる μ 粒子は QCD プロセスによって生成された低運動量のものが支配的であることが分かる。つまり、運動量閾値を上げることによって、棄却能力を向上させることができるのである。しかし、MuID は μ 粒子の高い物質透過性を利用した粒子識別を行っているだけなので、運動量閾値を 2 GeV/c より高く設定することは容易ではなく、そのため、現在のトリガーの棄却能力をこれ以上上げることができない。

そのため、より選択性の高い W 粒子用トリガーシステムが必要となる⁴。図 1.2 より、横運動量 20 GeV/c 以上の μ 粒子では、ほとんどが W 粒子起因であり、バックグラウンドは数 % しかないことが予想される。そこで、我々は横運動量 20 GeV/c 以上という新たなトリガー条件を入れたトリガーシステムを考案した。これによって、十分な棄却能力を持ち、かつ、 W 粒子起源の μ 粒子を選択的に収集できるトリガーが生成できるのである。

具体的には、PHENIX 検出器の一部として既存のカソード読み出しチェンバー (MuTr) を使う計画である。MuTr は PHENIX 検出器におけるミュオンアームと呼ばれるスペクトロメーター系検出器群のひとつであり、Muon Magnet と呼ばれる磁石によって曲げられた粒子軌道の曲率から粒子の運動量を測定する検出器である。現在、MuTr にはトリガーレベルの速さ⁵で読み出す回路は設置されていない。そこで新しいトリガーシステムとして、MuTr からの信号をトリガーレベルの速さで読み出し、生成された μ 粒子の磁

¹棄却能力 (RF) とは必要のないイベントをどれだけ除去できるかを示す数字である。式で表すと、 $RF = \sigma_{\text{tot}} L / R_{\text{trig}}$ である。ここで、 σ_{tot} は陽子・陽子衝突における全反応断面積、 L はルミノシティー、 R_{trig} はトリガーレートを表す。

²約 10^{31} [$\text{cm}^{-2}\text{sec}^{-1}$] である。

³ $\sigma_{\text{tot}} = 60$ [mb], $L = 2 \times 10^{32}$ [$\text{cm}^{-2}\text{sec}^{-1}$], $RF = 250$ より、 $R_{\text{trig}} \sim 50$ [kHz] となる。

⁴棄却能力の目標値は、 $\sigma_{\text{tot}} = 60$ [mb], $L = 2 \times 10^{32}$ [$\text{cm}^{-2}\text{sec}^{-1}$], $R_{\text{trig}} = 2$ [kHz] を代入して、6000 である。

⁵PHENIX におけるレベル-1 トリガーシステムは、イベント発生から 4 μsec 以内にトリガー決定を行う必要がある。

場中での飛跡情報を得ることによってトリガーに運動量選別機能を持たせ、 W 粒子起源の高運動量 μ 粒子を効率的に選び出すことを考案した。これまでの研究によって、この新しいトリガーシステムは 24000 という十分な棄却能力を持つことがシミュレーションによって確認されている [5, 6]。

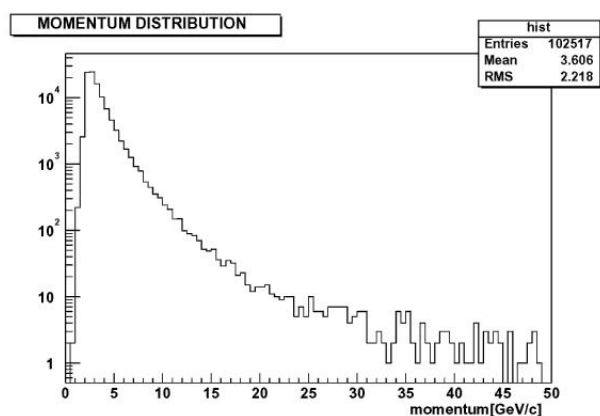


図 1.1: 観測される μ 粒子の運動量分布 (実データ)。低運動量 μ 粒子が支配的であることが分かる。

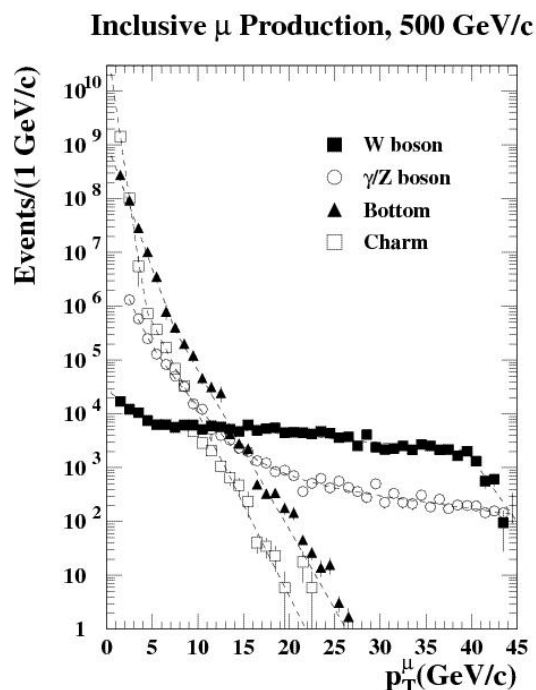


図 1.2: W 粒子、 Z 粒子及び重いクォークからの崩壊 μ 粒子の横運動量分布 (シミュレーション)。横運動量 20 GeV/c 以上の領域においては、 W から崩壊 μ 粒子が支配的であることが分かる [7]。

これと平行して、ミューオンアーム内に新たに抵抗平板型チェンバー (RPC) を設置することによってより正確な粒子軌道を得、トリガーとして使おうとする計画も進行中であり、MuTr を使ったトリガー生成回路の開発とあわせて、Muon Trigger Upgrade project と呼んでいる。

我々はこのプロジェクトのうち、MuTr を使ったトリガー生成回路の開発を担当しており、開発最終段階に差し掛かっている。この新しい読み出し回路 (我々は MuTRG (Muon Trigger)-AD (Amplifier Discriminator) ボードと呼んでいる) は、ボード上にコンデンサー (C_{split} と呼ぶ) を実装することによって MuTr から信号を 95 : 5 に分割し、95 の方を現行の読み出し回路に送り、5 の方をトリガー生成信号として使う [6, 8, 9]。

筆者は MuTRG-AD ボードによって MuTr から取り出した信号を PHENIX 検出器の測定システムへ送信するための回路 (MuTRG-TX (Transfer) ボードと呼んでいる) を設計・開発した。これは、FPGA (Field Programmable Gate Array) を用いてフォーマットしたデータを光信号に変換し、MuTr 近くから測定室の方へ送信する機能を持った回路である。

また、2007 年夏に、MuTRG-AD ボードと MuTRG-TX ボードを PHENIX 検出器中に設置しての動作試験を行い、現行の読み出し回路への影響及び新しい読み出し回路の検出効率等を評価した (図 1.3 は設置時の写真)。結果、MuTr の既存の読み出し回路に対するノイズレベルの増加を 30 % に抑えられ、最小

イオン化粒子 (MIP) に対する検出効率として 93 % を達成することを確認した。この動作試験によって、我々が開発してきた回路が PHENIX 本体中でもトリガー生成回路として十分な性能を発揮することが確認できた。

本論文では、まず海クォークスピン測定のために必要な物理及び PHENIX 検出器での測定可能性について本章の続く節で説明したのち、2 章において PHENIX 検出器、3 章において W 粒子測定用高運動量 μ 粒子トリガーの概要と我々の開発した (もしくは開発中の) トリガー生成回路について説明する。4 章では 2007 年夏に行った動作試験について説明し、5 章において収集したデータの解析方法と解析結果及び、新しいトリガー生成回路が実際に実験を行うために十分な性能を有するかどうかを議論する。そして、最後の 6 章に結論をまとめる。



図 1.3: 2007 年夏の動作試験において、MuTRG-AD, TX ボードを MuTr に設置した時の写真

1.2 パarton模型

ハドロンはクォークの多体系として説明される。例えば、 π 粒子等のメソンはクォーク 2 個から、陽子等のバリオンはクォーク 3 個から構成されると考えられている (価クォーク)。しかし、実際には、ハドロン内部の真空においては対生成・対消滅が起こっているため、ハドロンには、価クォーク以外の構成要素 (グルーオンや海クォーク) が存在する。これら価クォークと海クォーク、グルーオンを全てひっくるめて「parton」と呼び、partonを用いることによってハドロンの性質を説明しようとするのがpartonモデルである。

実際に、ハドロンを含む高エネルギー反応の多くはpartonモデルで説明することができる。partonモ

デルでは、ハドロン反応の断面積は以下の3つの過程に分解され、その畳み込み積分で表すことができる(因子化定理)。つまり、「始状態ハドロンの中にパートンが見出される確率(パートン分布関数)」、「パートンどうしの散乱断面積」及び「パートンどうしの相互作用過程の終状態に存在するパートンが終状態ハドロンになる確率(破碎関数)」の3つである。

例えば、陽子・陽子反応における高い横運動量を持つ π 粒子生成反応の断面積は、

$$\sigma^{pp \rightarrow \pi X} = \sum_{f_1, f_2, f} \int dx_1 dx_2 dz f_1(x_1, \mu^2) f_2(x_2, \mu^2) \sigma^{f_1 f_2 \rightarrow f X'} D_f^\pi(z, \mu^2) \quad (1.1)$$

と表すことができる。ここで、 f_1, f_2, f はパートンを表す(下付数字は始状態の2つの陽子を区別するために使用している)。また、 $f_1(x_1, \mu^2)$ は陽子中に、陽子の運動量の x_1 倍($0 < x_1 < 1$)の運動量を持つパートン f_1 を見出す確率(パートン分布関数)である。 μ^2 は因子化のエネルギースケールである。 $D_f^\pi(z, \mu^2)$ は $f_1 f_2$ 散乱の終状態パートン f から、 f の運動量の z 倍の運動量を持つ π 粒子が生成する確率である(破碎関数)。

パートンどうしの散乱断面積は、運動量移行(Q^2)が大きい反応であれば摂動的QCDによって計算することが可能であるが、パートン分布関数及び破碎関数はQCDの第一原理から計算することはできない。よって、これらを実験によって測定することは重要な課題である。

上記はスピン依存性を考慮した反応についても成り立つ。スピン依存性を考慮したパートン分布関数を、

$$\Delta q(x) \equiv q_+^+(x) - q_+^-(x) \quad (1.2)$$

と定義する。ただし、下付符号は陽子のヘリシティを、上付符号はパートンのヘリシティを表す。ここで、パートン q のパートン分布関数は $q(x) = q_+^+(x) + q_+^-(x)$ とかける。また、パリティ変換によってヘリシティはその向きを変えないため、簡単な計算によって

$$q_+^+(x) = q_+^-(x), \quad q_+^-(x) = q_+^+(x) \quad (1.3)$$

が導ける。更に、偏極陽子どうしの散乱において、初期状態陽子のスピンを考慮した散乱断面積を、

$$\Delta \sigma^{pp \rightarrow \pi X} \equiv \frac{1}{4} [\sigma_{++}^{pp \rightarrow \pi X} + \sigma_{--}^{pp \rightarrow \pi X} - \sigma_{+-}^{pp \rightarrow \pi X} - \sigma_{-+}^{pp \rightarrow \pi X}] \quad (1.4)$$

と定義する。ただし、下付符号は初期状態陽子のヘリシティを表す。このとき、式(1.2)(1.3)を用いて計算すると、スピンを考慮しない場合(式(1.1))と同様に、

$$\Delta \sigma^{pp \rightarrow \pi X} = \sum_{f_1, f_2, f} \int dx_1 dx_2 dz \Delta f_1(x_1, \mu^2) \Delta f_2(x_2, \mu^2) \Delta \sigma^{f_1 f_2 \rightarrow f X'} D_f^\pi(z, \mu^2) \quad (1.5)$$

が成り立つ。

また、これらの表現を用いることによって、陽子のスピンについて以下のような和則が成り立つ。

$$\frac{1}{2} = \int_0^1 dx \left[\frac{1}{2} \sum_q (\Delta q(x) + \Delta \bar{q}(x)) + \Delta g(x) \right] + L \quad (1.6)$$

ここで、 L は軌道角運動量を表し、 $\Delta g(x)$ はグルーオンのスピン依存パートン分布関数を表す。前述したように、1970年代から始まった深非弾性散乱(DIS)の実験によって、クォーク・反クォークからの寄与は陽子

スピンの約 25 % でしかないことが分かっている。残りの部分はグルーオンと軌道角運動量によるものと考えられており、グルーオンの寄与 ($\Delta g(x)$) については PHENIX 実験等によって現在その測定が意欲的に行われているが、軌道角運動量の寄与 (L) についてはまだ直接的な測定はされていない。また、価クォークのスピンのについては DIS によって精度良く測定されているが、海クォークのスピンの ($\Delta \bar{q}(x)$) については測定精度が十分でないため、精度良く決定することが望まれている。

1.3 スピン非対称度

スピン非対称度とは、実験における加速粒子のスピンの向きによって生成粒子の散乱断面積が異なることを定量的に表したもので、陽子スピン構造の研究に頻繁に登場する。スピン非対称度には大きく分けて 2 種類あり、加速粒子のスピンの向きによって分類される。すなわち、進行方向 (longitudinal) に偏極している場合の A_{LL} や A_L と、進行方向と垂直な方向 (transverse) に偏極している場合の A_{TT} や A_T である。この節では進行方向に偏極している場合のスピン非対称度のうち、一重スピン非対称度 (A_L) について述べる。

一重スピン非対称度は偏極ビームと非偏極ビームの衝突反応において定義される。偏極陽子ビームのヘリシティーが正 (負) の場合の粒子の生成断面積を σ_+ (σ_-) と書けば、一重スピン非対称度は

$$A_L \equiv -\frac{\sigma_+ - \sigma_-}{\sigma_+ + \sigma_-} \quad (1.7)$$

で定義される。下付の L は一方のビームが進行方向に偏極していることを表す。また、実験的には

$$A_L = -\frac{1}{|P|} \frac{N'_+ - N'_-}{N'_+ + N'_-} \quad (1.8)$$

で計算できる。ここで、 N'_+ (N'_-) はヘリシティー正 (負) の陽子ビームと非偏極ビームの衝突における観測粒子の個数をルミノシティで規格化したものである。 P は偏極しているビームの偏極度であり、以下の式で定義される。

$$P_{\text{beam}} \equiv \frac{B_+ - B_-}{B_+ + B_-} \quad (1.9)$$

B_+ (B_-) はビーム中の、ヘリシティーが正 (負) の陽子の数を表す。

一重スピン非対称度が 0 でないということは、その生成過程がパリティを破るということである (図 1.4 参照)。偏極陽子・陽子衝突における W 粒子生成の一重スピン非対称度は、フレーバーを分けたクォーク・反クォークの偏極度と直接結びつくため、この測定に重要な役割を果たす物理量である。次節では W 粒子の一重スピン非対称度 (または生成非対称度と呼ぶ) とクォーク・反クォークの偏極度がどのように結びつくのかについて議論する。

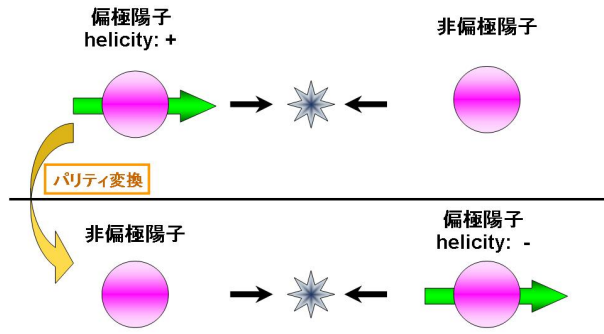


図 1.4: 一重スピン非対称度とパリティ変換の関係。パリティ変換によって運動量と座標はその符号を変えるが、スピンは符号を変えない。よって、一重スピン非対称度が 0 でないということはパリティが破れているということである。

1.4 W 粒子測定の意味

1.4.1 W 粒子の一重スピン非対称度

W 粒子はフレーバーに選択的に結合する。更に、W 粒子の生成は弱い相互作用のため、パリティを保存しない。よって、W 粒子の一重スピン非対称度（生成非対称度）は 0 ではない。例として、 W^+ 粒子の生成過程について考える。偏極陽子側（非偏極陽子側）の、パートンの陽子に対する運動量比を x_1 (x_2) とする (Bjorken x)。 W^+ にはヘリシティが負のクォークとヘリシティが正の反クォークしか結合しない。つまり、 W^+ に結合する u クォークのヘリシティは負で、 \bar{d} クォークのヘリシティは正となる。生成過程を偏極陽子側のパートンで分けて考えてみると、偏極陽子側のクォークが u の場合

$$A_L^{W^+} = \frac{u_-(x_1)\bar{d}(x_2) - u_+(x_1)\bar{d}(x_2)}{u_-(x_1)\bar{d}(x_2) + u_+(x_1)\bar{d}(x_2)} = \frac{\Delta u(x_1)}{u(x_1)} \quad (1.10)$$

となる。ここで、 u_{\pm} 等の上付符号はパートンのヘリシティ、下付符号は親である陽子のヘリシティを表す。また、最後の等号は、式 (1.3) と (1.2) を用いれば導ける。次に、偏極陽子側のクォークが \bar{d} の場合

$$A_L^{W^+} = \frac{\bar{d}_+(x_1)u(x_2) - \bar{d}_-(x_1)u(x_2)}{\bar{d}_+(x_1)u(x_2) + \bar{d}_-(x_1)u(x_2)} = -\frac{\Delta \bar{d}(x_1)}{\bar{d}(x_1)} \quad (1.11)$$

となる。実際にはこれらの重ね合わせなので、 W^+ 粒子の生成 Single Spin Asymmetry は、

$$A_L^{W^+} = \frac{\Delta u(x_1)\bar{d}(x_2) - \Delta \bar{d}(x_1)u(x_2)}{u(x_1)\bar{d}(x_2) + \bar{d}(x_1)u(x_2)} \quad (1.12)$$

となる。この反応を使う最大の利点は $x_f \equiv x_1 - x_2$ の領域によってフレーバーを選択することができる点にある。反クォークは海クォークとしてしか存在しないため、大きい x においては価クォークのパートン分布関数のほうが大きくなる。よって、 x_f が大きい場合（つまり、 x_2 に比べて x_1 が大きいとき） $\bar{d}(x_1)u(x_2)$ が $u(x_1)\bar{d}(x_2)$ に対して無視できるほど小さくなり、 $A_L^{W^+}$ は $\Delta u(x_1)/u(x_1)$ に近づく。逆に、 x_f が小さい場合、 $u(x_1)\bar{d}(x_2)$ が $\bar{d}(x_1)u(x_2)$ に対して無視できるので、 $A_L^{W^+}$ は $-\Delta \bar{d}(x_1)/\bar{d}(x_1)$ に近づく。 W^- の生成については u と d を入れ替えるだけである。

1.4.2 W 粒子の運動学

W からの崩壊 μ 粒子⁶を観測することによってパートンの Bjorken x を導くことを考える。

陽子・陽子衝突の重心系で考え、陽子、パートン、レプトンの質量を無視できるような運動量領域で考える。陽子の運動量を p_1^μ 、 p_2^μ とおく（上付文字は 4 元運動量の添え字であり、下付文字は始状態の 2 つの陽子を区別するために使用している）。横方向の運動を無視すれば、

$$p_1^\mu = (P, 0, 0, P), \quad p_2^\mu = (P, 0, 0, -P) \quad (1.13)$$

とおける。このとき、マンデルスタム変数 s は、

$$s = (p_1^\mu + p_2^\mu)^2 = 4P^2 \quad (1.14)$$

となる。ここで、パートンの運動量を $p_{q_1}^\mu$ 、 $p_{q_2}^\mu$ とおけば、Bjorken x とビームの運動量を用いて、

$$p_{q_1}^\mu = x_1 p_1^\mu = x_1(P, 0, 0, P), \quad p_{q_2}^\mu = x_2 p_2^\mu = x_2(P, 0, 0, -P) \quad (1.15)$$

とかけ、W 粒子の運動量 q^μ 及び q^2 は

$$q^\mu = p_{q_1}^\mu + p_{q_2}^\mu = ((x_1 + x_2)P, 0, 0, (x_1 - x_2)P) \quad (1.16)$$

$$q^2 = 4x_1 x_2 P^2 = M_W^2 \quad (1.17)$$

となる。また、重心系における W のラピディティ y^W は

$$\begin{aligned} y^W &= \frac{1}{2} \ln\left(\frac{q^0 + q^3}{q^0 - q^3}\right) \\ &= \frac{1}{2} \ln\left(\frac{x_1}{x_2}\right) \end{aligned} \quad (1.18)$$

となる。式 (1.17)、(1.18) より、 x_1 と x_2 は、

$$x_1 = \frac{M_W}{\sqrt{s}} e^{y^W}, \quad x_2 = \frac{M_W}{\sqrt{s}} e^{-y^W} \quad (1.19)$$

と決まる⁷。結局、 y^W を測定すれば x_1 、 x_2 が決まることが分かる。そこで、以下では、崩壊レプトンのラピディティから y^W を導く方法について述べる。

崩壊レプトンのラピディティを実験室系、W 静止系においてそれぞれ y_i^{lab} 、 y_i^* とおくと、

$$y^{\text{lab}} = y_i^* + y^W \quad (1.20)$$

であり、レプトンの W 静止系における崩壊角を θ^* とすると、レプトンの質量が無視できるときにはラピディティと擬ラピディティが等しくなることを用いて、

$$\begin{aligned} y_i^* &= \eta_i^* = -\ln\left(\tan \frac{\theta^*}{2}\right) \\ &= \frac{1}{2} \ln\left(\frac{1 + \cos \theta^*}{1 - \cos \theta^*}\right) \end{aligned} \quad (1.21)$$

⁶ $W^\pm \rightarrow \mu^\pm \nu$ の反応。分岐比は約 11 % である。

⁷ここでは W の横運動量を無視しているが、実際は、高次過程や、もともとのパートンの持つ横運動量によって W は横運動量を持ちうる。

とかける (η_l^* は W 静止系における崩壊レプトンの擬ラピディティー)。更に、 W の横運動量を無視すれば、実験室系と W 静止系で崩壊レプトンの横運動量は同じに見えるため、符号の問題を除いて

$$p_T^{\text{lepton}} = p_T^* = \frac{M_W}{2} \sin \theta^* \quad (1.22)$$

となる。すなわち、崩壊レプトンの横運動量 (p_T^{lepton}) を測定することによって θ^* が分かり、式 (1.21) より y_l^* が計算できる。更に、崩壊レプトンのビーム方向 (z 方向) の運動量 p_z^{lepton} を測定すれば y^{lab} が計算できるので、式 (1.20) を使って W のラピディティー (y^W) が決まるのである。

以上をまとめると、

$$\begin{array}{ccccccc} p_T^{\text{lepton}} & \rightarrow & \theta^* \text{ (式 (1.22))} & \rightarrow & y_l^* \text{ (式 (1.21))} & \rightarrow & y^W \text{ (式 (1.20))} \rightarrow x_1, x_2 \text{ (式 (1.19))} \\ p_T^{\text{lepton}} \quad p_z^{\text{lepton}} & \rightarrow & & \rightarrow & y^{\text{lab}} & \nearrow & \end{array}$$

の流れによって x_1, x_2 が求まる。

1.4.3 PHENIX 検出器における測定

W からの崩壊 μ 粒子は、横運動量 20 GeV/c を要求することによって同定される。通常、 W 粒子の検出には、検出されないニュートリノによる大きな質量欠損を要求することが多いが、PHENIX 検出器は全立体角を覆った検出器ではないため、質量欠損を正確に測定することは不可能である。しかし、図 1.2 から分かるように、横運動量 20 GeV/c 以上では W からの崩壊 μ 粒子が支配的であり、 Z^0 からのバックグラウンドは数 % しかない。 Z^0 からの μ 粒子は $Z^0 \rightarrow \mu^+ \mu^-$ 反応によって生じたものなので、2 つの μ 粒子を測定することによって W 粒子の崩壊と区別することができる。つまり、 Z^0 によるバックグラウンドは測定によって差し引くことができる。また、ハドロンのバックグラウンドは 1~2 % と十分に小さい。よって、PHENIX 検出器においても W 粒子を測定することが可能である。

上で議論したように、 W 粒子の生成非対称度を測定し、終状態の μ 粒子の運動量からパートンレベルの運動量 (Bjorken x) を再構成することによって、陽子のスピン構造を調べることができる。PHENIX 検出器において期待される、スピン依存パートン分布関数の感度を図 1.5 に示す。PHENIX 実験によってフレーバー毎のスピン依存パートン分布関数を分離し、またその不定性を大きく減らすことができる。 W 粒子の生成断面積は $\sqrt{s} = 500$ [GeV] において 1.2×10^{-6} [mb] であることから、PHENIX 検出器で期待される W 粒子の観測個数は、 μ 粒子のアクセプタンスを考慮にいれ、横運動量 20 GeV/c を要求すると、予定積分ルミノシティにおいて正負それぞれ 3000 個程度である [10]。

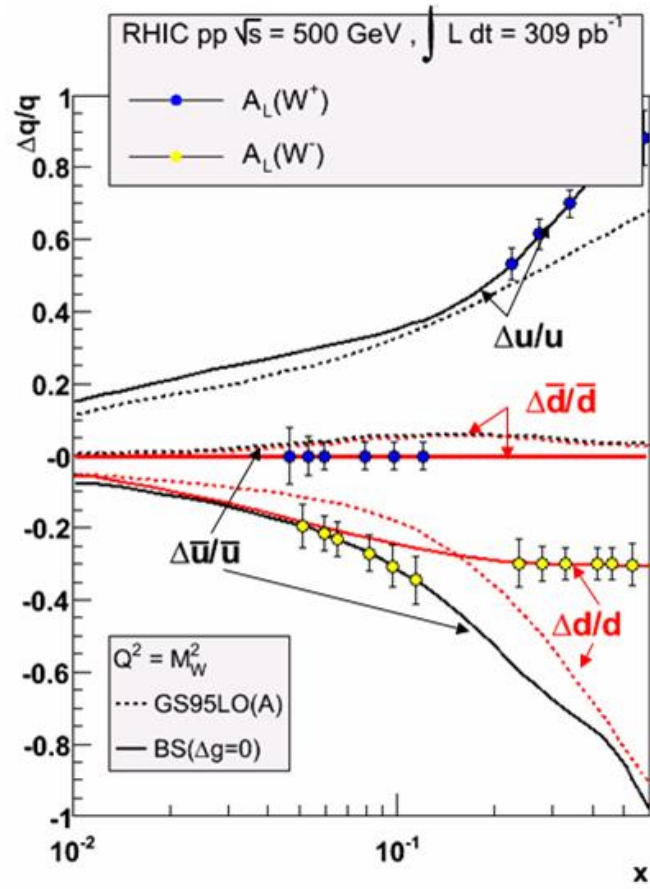


図 1.5: $\sqrt{s} = 500$ [GeV]、予定積分輝度に達した時に PHENIX において期待されるスピン依存パートン分布関数の測定精度

第2章 PHENIX 検出器

この章では、 W 粒子からの崩壊 μ 粒子を測定するための検出器である、PHENIX について説明する。まず、PHENIX 検出器が設置されている RHIC 加速器について説明した後、PHENIX 検出器の概要及び、実際に W 起源の μ 粒子を検出する PHENIX ミューオンアームについて述べる。また、PHENIX 検出器の DAQ システム及びミューオンアームのトリガーシステムについても説明する。

2.1 RHIC 加速器

RHIC (Relativistic Heavy Ion Collider) はアメリカ・ブルックヘブン国立研究所 (BNL) で稼動している衝突型重イオン加速器であり、陽子、銅、金等様々なイオンを 2 つのリングを用いて加速し、衝突させることができる。また、サイベリアン・スネークと呼ばれる螺旋型双極電磁石 (図 2.2 中の黄色の位置) の導入によって、偏極陽子を最高エネルギー 250 GeV まで加速することも可能である。設計上、重心系エネルギー $\sqrt{s} = 500$ [GeV]、ルミノシティ $L = 2 \times 10^{32}$ [$\text{cm}^{-2}\text{sec}^{-1}$] で偏極陽子どうしの衝突を起こすことができる。図 2.1 に RHIC の全体像と PHENIX 検出器の位置を示す。偏極イオン源から出てきた陽子は、線型加速器 (Linac) で 200 MeV まで加速され、ブースター (Booster)、AGS 加速器を経て RHIC の 2 つのリングに入射される。リングに入射された偏極陽子は安定な横 (transverse) 偏極した状態で加速され、衝突点の直前に設置してあるスピローテーター (図 2.2 中の緑の位置) によって進行 (longitudinal) 方向に偏極方向をフリップさせられ、衝突する。

ビームはバンチ構造をしており、1 つのリングには 120 個のバンチを入れることができる。このとき、衝突時間間隔は 106 nsec (~ 9.4 MHz) となる¹。また、バンチの長さは通常 2~3 nsec である。

RHIC には 6 つの衝突点があり、それぞれの衝突点を時計になぞらえて呼んでいる。PHENIX 検出器は 8 時の位置にある。2 時、6 時、10 時の位置にはそれぞれ BRAHMS、STAR、PHOBOS と呼ばれる検出器がある。また、12 時の位置にはビーム偏極の絶対値較正のための偏極ジェット標的が置いてあり、そこから 70 m 程時計回りに進んだ位置に炭素標的相対偏極度計が設置してある。

¹これに同期したクロックがビームクロックとして RHIC 上の各検出器へ供給される。

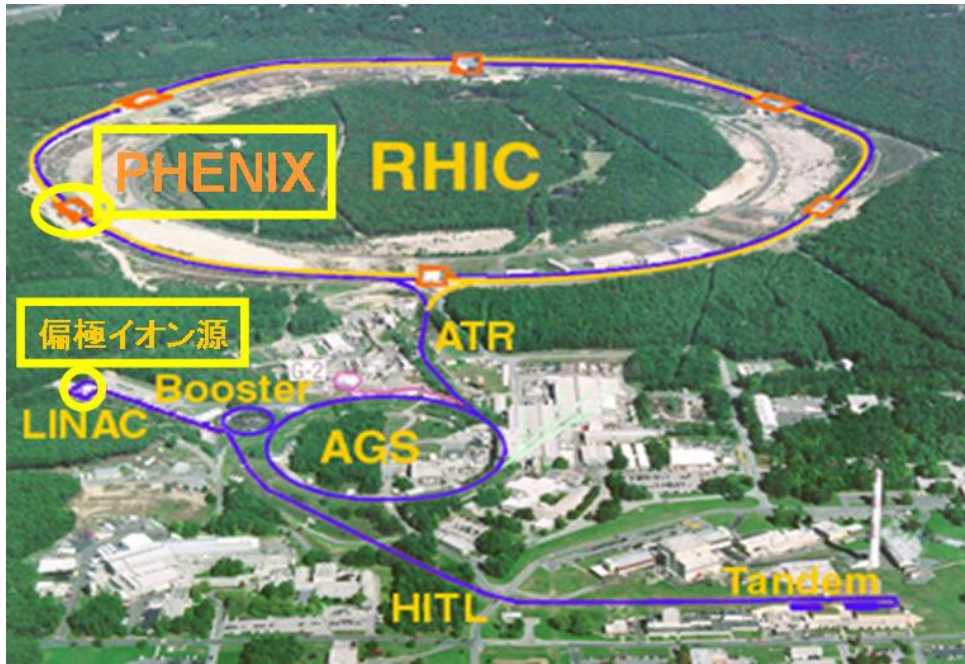


図 2.1: BNL RHIC 加速器の全体像と PHENIX 検出器の位置。

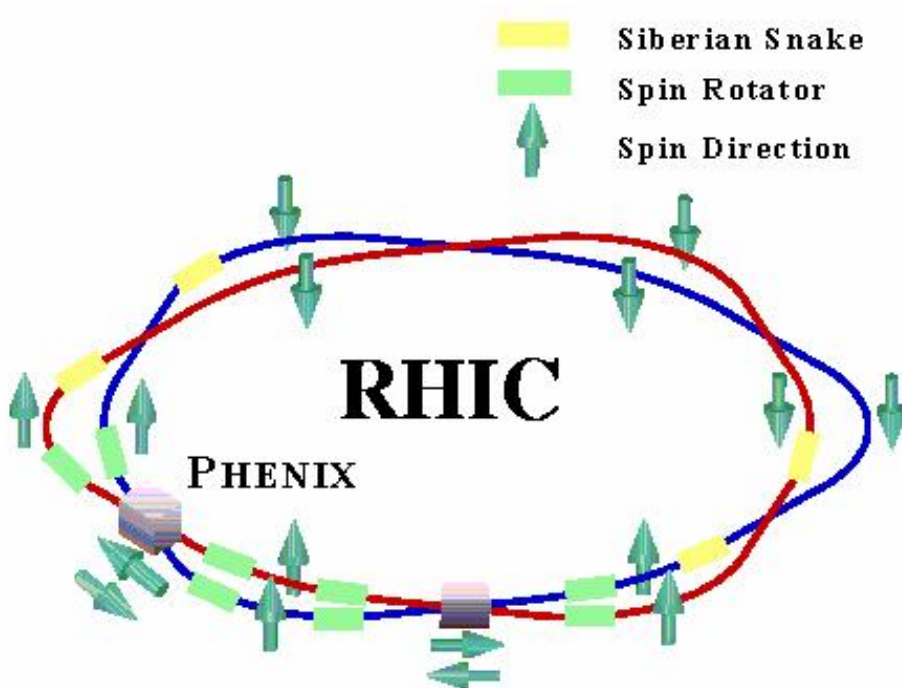


図 2.2: RHIC のビームリングとサイベリアンスネークとスピローテーターの位置 (それぞれ黄色と緑色で示してある)。

2.2 PHENIX 検出器の概要

PHENIX (Pioneering High Energy Nuclear and Ion eXperiment からとっている) 検出器は大きく分けて中央アームと ミューオンアームの 2 つの部分からなる。中央アームは擬ラピディティ領域 $|\eta| < 0.35$ 、 ϕ 方向 (azimuthal angle) に 180° をしめる検出器群であり、主に光子・電子・ハドロンを検出に威力を発揮し、高い粒子識別能力とエネルギー分解能を持つ。ミューオンアームは擬ラピディティ領域 $1.2 < \eta < 2.4$ 及び $-2.2 < \eta < -1.2$ 、 ϕ 方向に 360° をしめる検出器群で、 μ 粒子の検出に用いられる。また、ビーム方向の反応点の位置を出し、最小バイアストリガー²を提供する Beam Beam Counter (BBC) がある。図 2.3 に PHENIX 検出器の全体像を示し、図 2.4 に座標の取り方を示した。また、図 2.5 は中央アーム及びミューオンアームにかかる磁場の概略図である。図よりミューオンアームにかかる磁場は動径 (radial) 方向を向いていることが分かる。また、表 2.6 にミューオンアームの θ 方向の 4 点における積分磁場 ($\int Bdl$) の値をまとめた。これより、 θ (polar angle) の小さい領域の方が磁場が強くなっていることが分かる。

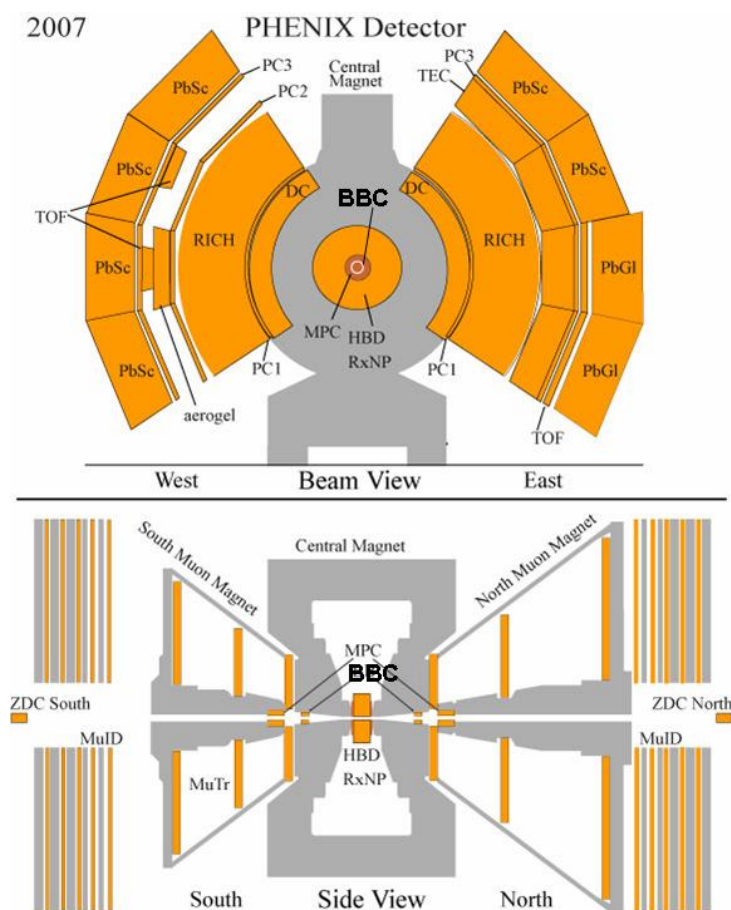


図 2.3: PHENIX の全体像。上が南側から見た図、下が東側から見た図である。

² ビームの衝突があったかどうかを判断することが最小バイアスとなっている。

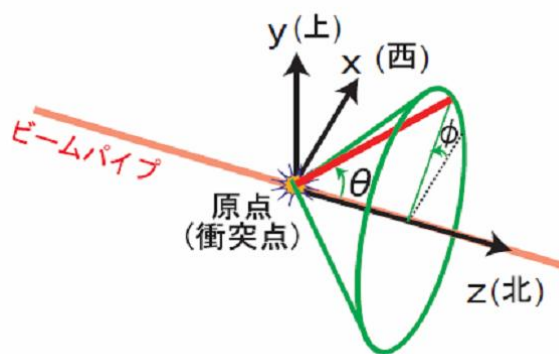
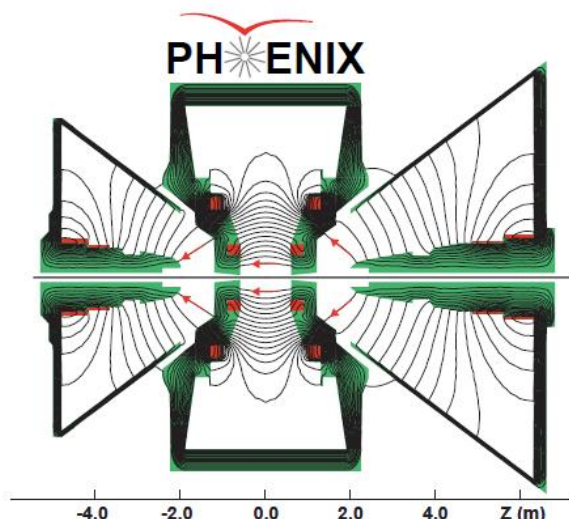


図 2.4: PHENIX における座標の取り方。衝突点を原点として、 z 軸はビームパイプに沿って北向きが正である。 y 軸は上向きが正の右手系で、 x 軸は西向きが正になっている。 θ は z 軸とのなす角であり、 ϕ は西を 0° とし、東を 180° とする。



θ (polar angle)	15°	20°	25°	30°
North Arm	0.731	0.492	0.359	0.276
South Arm	0.774	0.494	0.344	0.255

図 2.6: ミューオンアームにおける積分磁場。4 点の θ における値で単位は Tm 。

図 2.5: PHENIX における磁場の概略図

2.2.1 PHENIX 中央アーム

中央アームは $|\eta| < 0.35$ 、 ϕ 方向 $90^\circ \times 2$ を覆う。構成としては、荷電粒子の飛跡を再構成するためのドリフトチェンバーやパッドチェンバー、電子と光子を区別するためのリングイメージ型チェレンコフ検出器 (RICH)、ハドロンを区別するための Time Of Flight (TOF)、エネルギーを測定するための電磁カロリメーター等からなる。図 2.3 の上図が中央アームを南側から見た構成である。

2.3 PHENIX ミューオンアーム

ここでは、 W 粒子起源の μ 粒子を検出する際に用いる PHENIX ミューオンアームについて詳しく説明する。

PHENIX ミューオンアームは磁場を用いたスペクトロメーターであり、 μ 粒子電磁石 (Muon Magnet, 生じる磁場は図 2.5 参照)、 μ 粒子飛跡検出器 (MuTr) 及び μ 粒子識別検出器 (MuID) からなる (図 2.7 参照)。また、バックグラウンドとなるハドロンを除去するハドロン吸収材も重要な構成要素である。

ミューオンアームは北 (North Arm) と南 (South Arm) に、サイズが異なる同じ検出器が 2 セットある。North Arm の方が South Arm に比べて若干サイズが大きい。

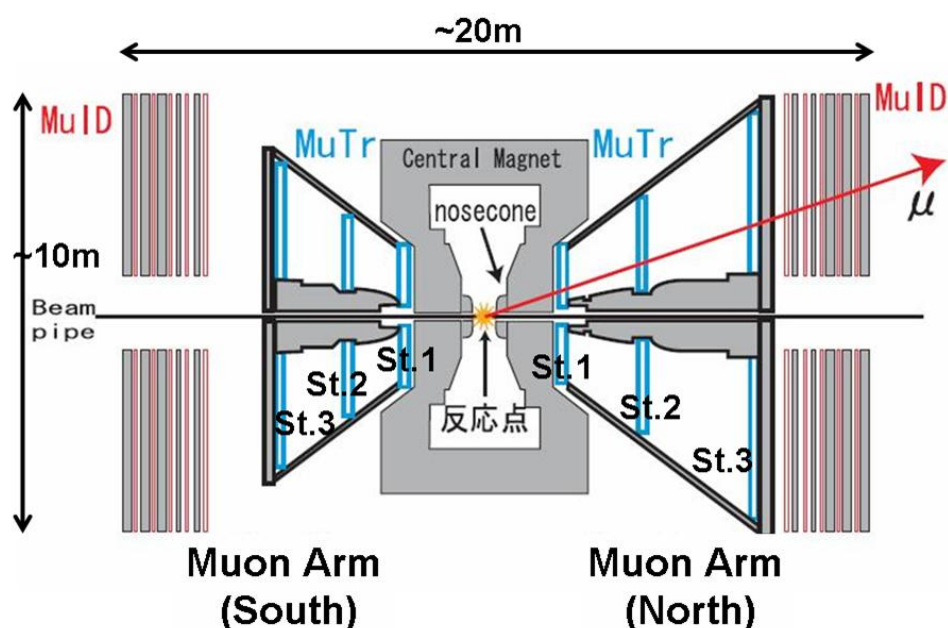


図 2.7: ミューオンアーム。衝突点において発生した μ 粒子はまず Nosecone、Central Magnet を通過した後、磁場中の MuTr を通って、MuID に到達する。

2.3.1 ハドロン吸収材

図 2.8 は South Arm での積分反応長と衝突点からの距離の関係である。緑で色がついている部分がハドロン吸収材を表している。

衝突点で発生した粒子はまず Nosecone (銅)、Central Magnet (鉄) を通る。ここまでで ~ 5 反応長あるため、ハドロンは約 $1/100$ になる。更に、5 層の MuID (MuID は鉄とチェンバーのペアで 1 層を作る。詳しくは 2.3.2 章参照) を通過する。 μ 粒子が MuID の 5 層目に到達するには $2.5 \text{ GeV}/c$ 以上の運動量が必要である。

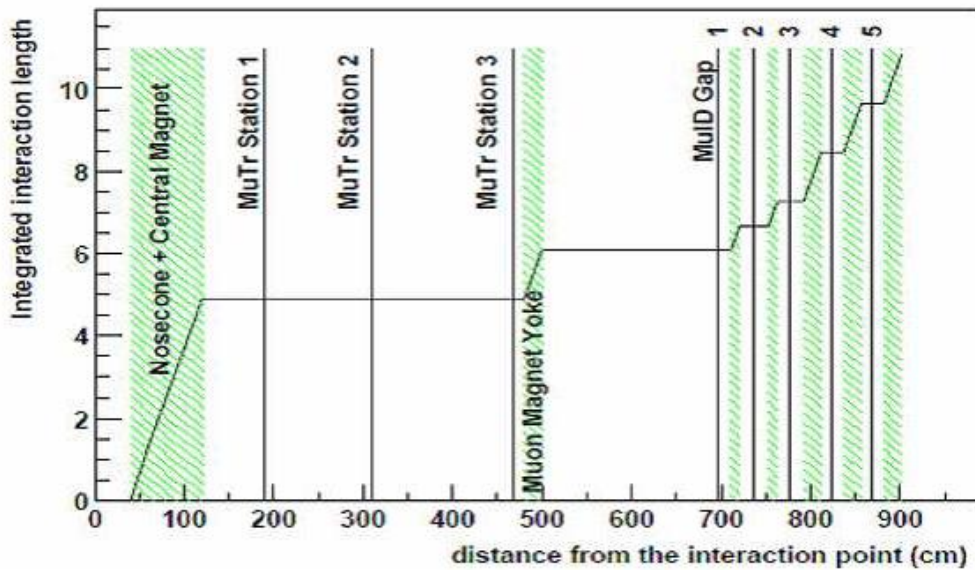


図 2.8: South Arm の積分反応長。緑色の部分にハドロン吸収材が入っている。[11]

2.3.2 MuID

MuID はワイヤーチェンバーと鉄の板が交互に並んだ 5 層構造をした検出器である。5 層のチェンバーは、反応点に近い方からギャップ 1, ギャップ 2, ギャップ 3, ギャップ 4, ギャップ 5 と呼ばれる。MuID はハドロンを除去し、 μ 粒子を同定する。また、 μ 粒子トリガーも提供する。

MuID の構造

図 2.9 に MuID の 1 つのギャップを衝突点側から眺めた図を示す。1 つのギャップは、4 つの large panel と 2 つの small panel からなり、不感領域を無くすために、衝突点から見て端が重なるように配置されている。それぞれの panel には 2 pack と呼ばれる構造をしたワイヤーチェンバーが水平方向及び垂直方向に配置されており、2 次元座標情報が得られるようになっている (図 2.10 参照)。2 pack は 2 本の Iarocci 型プラスチックチューブで構成されており、1 つのチューブは 8 つのセルからなる。1 つのセルは 1 本のアノードワイヤーを持つワイヤーチェンバーである。2 pack は 2 本のチューブを半分だけずらして配置することによって、検出効率が良くなり、ドリフト時間が短くなるように工夫してある (図 2.11 参照)。

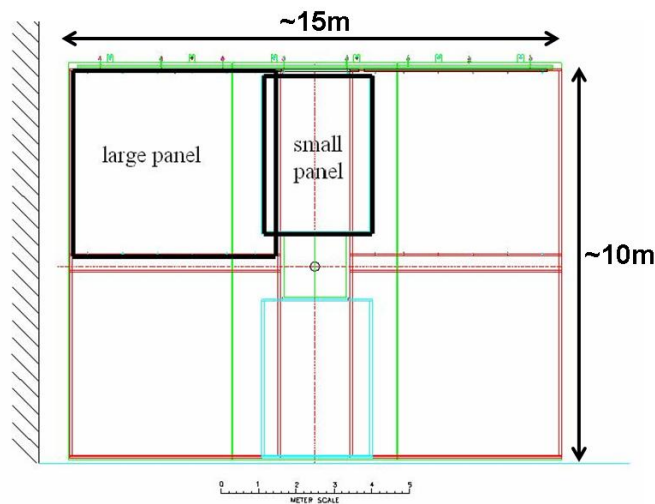


図 2.9: 衝突点側から見た MuID の 1 つのギャップ

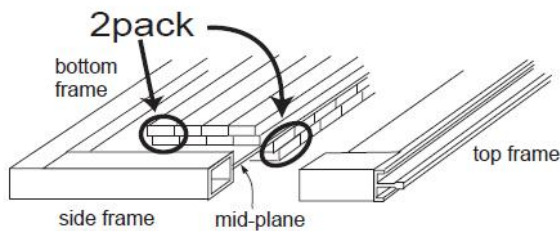


図 2.10: MuID の 1 つの panel。2 pack を水平方向及び垂直方向に並べた構造をしている [11]。

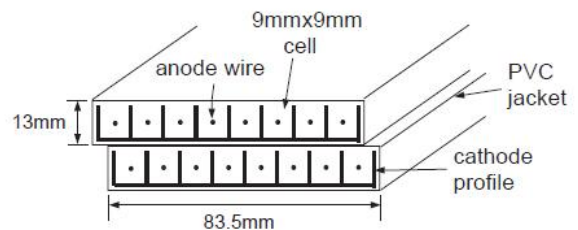


図 2.11: MuID の 2 pack の構造。2 本の Iarocci 型プラスチックチューブをずらして配置している [11]。

動作性能

MuID の動作電圧は、4300 ~ 4500 V である。ガスは、イソブタンと二酸化炭素の混合ガスである。ガス増幅率は $\sim 2 \times 10^4$ で、2 pack の検出効率は $\sim 97\%$ 、ドリフト時間は $\sim 60\text{nsec}$ が達成されている。これは、ビームクロック (106 nsec) よりも短いため、レベル-1 トリガーを提供することが可能である。

読み出し回路部分では、2 pack (合計 16 本の wire) の論理和 (OR) を取った信号が 150 倍に増幅され MuID の Read Out Card (ROC) に送信される。ここで、更に 3 倍に増幅された後二値化され、データバッファに蓄えられる。閾値は、ノイズを除去しながら高い検出効率を保つために 90 mV に設定されている (典型的な信号の大きさは 500 mV ~ 1 V)。ヒット情報はバッファに蓄えられると同時に、レベル-1 トリガーを作るためにトリガー生成回路にも送信される (2.5 章参照)。MuID の ROC はレベル-1 トリガーが発行されると、そのイベントに対応するデータを PHENIX のデータ収集モジュール (DCM) に送信する。

2 pack を 1 つの信号と見るため、約 8 cm という粗い精度で読み出すことになる (図 2.11 参照)。しかし、 μ 粒子がハドロン吸収材を通過する際の多重散乱の広がりがこの程度であるため、トリガー信号として使う分にはこれ以上細かな読み出しは必要ない。

2.3.3 MuTr

MuTr はカソードストリップ読み出しタイプのワイヤーチェンバーである。3つのステーションから構成され、 z 軸に対して垂直に設置されている。衝突点に近いほうからステーション1、ステーション2、ステーション3と呼ぶ。それぞれのステーションは8つのOctantと呼ばれる構造からなり、1つのOctantは2つのHalf Octantに分かれている(図2.12, 2.13参照)。

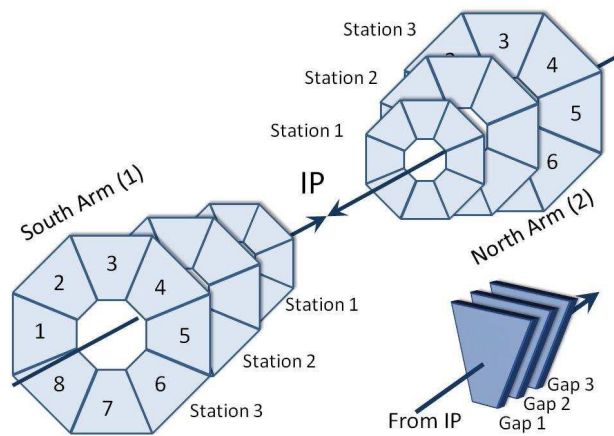


図 2.12: MuTr の配置と Octant の配置。衝突点に近いほうからステーション1、ステーション2、ステーション3と呼び、それぞれのステーションは8つのOctantから構成され、ステーション1とステーション2は3つのギャップ、ステーション3は2つのギャップからできている。

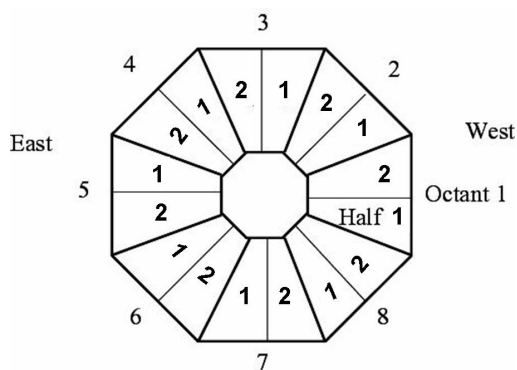


図 2.13: North側から見たOctantの構造。1つのOctantは2つのHalf Octantに分かれている。

Muon Magnetで曲げられた粒子を3つのステーションで検出することによって粒子の飛跡を再構成し、粒子の運動量を知ることができる。MuTrの運動量分解能への具体的な要請は、 J/ψ や ψ' を不変質量再構成によって十分分離でき、さらに Υ の励起準位を分離できるということである。これらの要請は、MuTrの位置分解能を $\sim 100 \mu\text{m}$ にすることによって達成される。図2.14は、 μ 粒子対によって再構成した各粒子に対する質量分解能とMuTrの位置分解能の関係である(シミュレーションによる)。

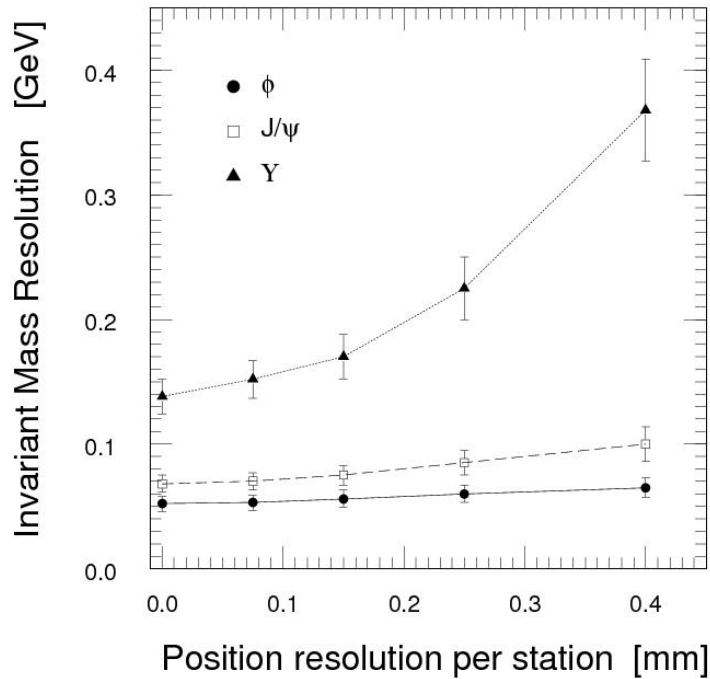


図 2.14: 質量分解能と位置分解能の関係。位置分解能が良いほど質量分解能も良くなる。

MuTr の構造

MuTr の各ステーションを横から見たのが図 2.15 である。ステーション 1 とステーション 2 は 3 つのギャップ、ステーション 3 は 2 つのギャップからできており、それぞれのギャップは 1 層のアノードワイヤー面と、それを挟む 2 層のカソードストリップ面で構成されている。ギャップは、衝突点に近い方からギャップ 1, ギャップ 2, ギャップ 3 と呼ぶ。

MuTr を正面から見ると 8 つの Octant に分かれている。1 つの Octant の構造を図 2.16 に示す。カソードストリップは 5 mm 幅で動径方向にエッチングされた銅である。読み出しはクロストークを避けるために 1 strip 飛ばしで行っている。アノードワイヤー面にはフィールドワイヤー及びセンスワイヤーそれぞれが 1 cm 間隔で交互に張られており、カソードストリップに垂直な方向である。表 2.1 にフィールドワイヤーとセンスワイヤーの詳細をまとめた。アノードワイヤーとカソードストリップの間隔は 3.2 mm である。

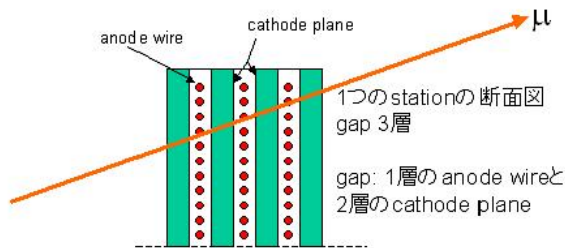


図 2.15: MuTr の断面図

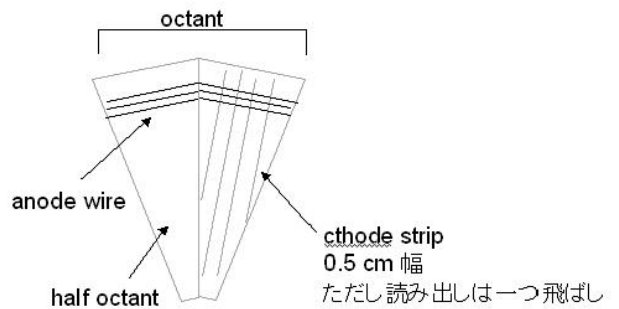


図 2.16: 1 つの Octant 構造

	フィールドワイヤー	センスワイヤー
直径	75 μm	20 μm
材質	金メッキタングステン	金メッキ Cu-Be

表 2.1: アノードワイヤーの直径と材質。

Muon Magnet によってできる磁場の向きは動径 (radial) 方向を向いているため (図 2.5 参照) 粒子は円周 (azimuthal) 方向に曲げられる。よって、この方向に良い位置分解能を持つように設計されている。図 2.17 に示すように、1 つのギャップを構成する cathode 面は、1 つは動径方向に張られている (non-stereo plane と呼ぶ) が、もう 1 つは動径方向から少し角度をつけて張ってある (stereo plane と呼ぶ)。これによって 2 次元座標が得られるようになっている。更に、stereo plane の角度は各ギャップによって変化をつけてあり (傾きの具体的な値については表 2.2 参照)、多重度の高いイベントにおける不定性を減らしている。100 μm の位置分解能は non-stereo plane に対する要求であり、stereo plane のストリップの角度は各ギャップによって異なるため、位置分解能は 300 μm である。

また、表 2.3 に MuTr の各ステーションのギャップ数、カソードストリップ面数、チャンネル数をまとめた。

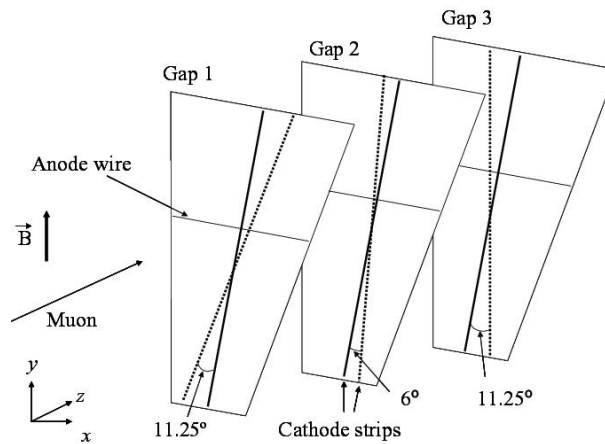


図 2.17: cathode strip の配置と傾き

ステーション	ギャップ	角度 (度)
1	1	-11.25
	2	+6
	3	+11.25
2	1	+7.5
	2	+3.75
	3	+11.25
3	1	-11.25
	2	-11.25

表 2.2: stereo plane の動径方向に対する角度。

		ステーション 1	ステーション 2	ステーション 3
North Arm	ギャップ数	3	3	2
	カソードストリップ面数	6	6	4
	チャンネル数/Octant/カソードストリップ面	96	192	320
South Arm	ギャップ数	3	3	2
	カソードストリップ面数	6	6	4
	チャンネル数/Octant/カソードストリップ面	96	160	256

表 2.3: MuTr の各ステーションのギャップ数、カソードストリップ面数、1 Octant , 1 カソードストリップ面あたりのチャンネル数。

動作性能

ステーション 1 とステーション 3 は、FR4 ハニカムパネルにエッチングされた銅のストリップパターンを貼り付けているが、ステーション 2 は多重散乱による影響を最小限に抑えるために、厚さ $25 \mu\text{m}$ のマイラーホイルにストリップパターンをエッチングしたもの（銅）を用いている。銅の厚さは 600 \AA であり、放射長は 0.1% 以下となっている。

ガスは $\text{Ar} : \text{CO}_2 : \text{CF}_4 = 50 : 30 : 20$ の混合ガスを用いている。このガスは不燃性であり、広いプラトー領域を持っていること、ドリフト時間が 60 nsec と十分短いこと、ローレンツ角が小さいことを考慮して選ばれた。また、MuTr の動作電圧は $1875 \sim 1925 \text{ V}$ である。

MuTr の前段回路 (FEE) において、信号は、CPA (荷電プリアンプ)、AMU (アナログ記憶ユニット)、DCM (データ収集モジュール) の 3 段階を経て読み出しが行われる (図 2.18)。まず、カソードストリップに誘起された電荷は CPA を経て増幅、整形 (増幅率は 3.5 mV/fC) されて AMU に 64 サンプルが蓄えられる。トリガーがかかると、ここからデジタル化 (11 bits ADC) された 4 サンプルが DCM に送られる。オフライン解析においては、この 4 サンプルを 2 次関数で Fit することによって信号波形を再構成している (図 2.19)。

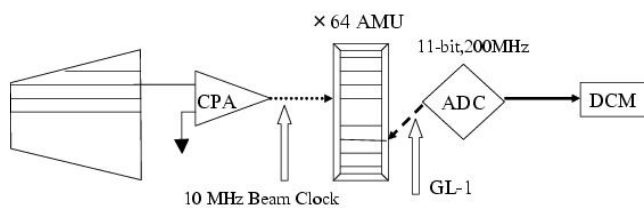


図 2.18: MuTr FEE のブロックダイアグラム。

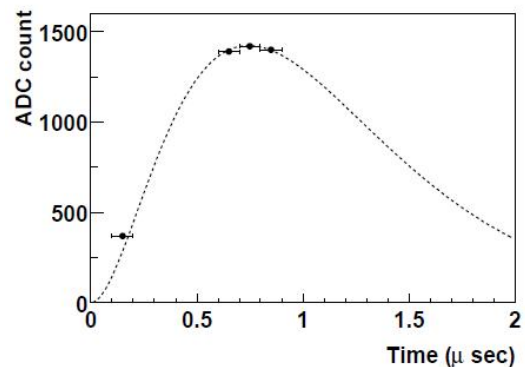


図 2.19: 4 サンプルの取り方と再構成された信号。この 4 つの内、2 番目から 4 番目のサンプルを平均することによって波高を得ている。

カソードストリップに誘起される電荷は 1 ヒットに対して通常 2~3 ストリップに広がっている。これを Mathieson Fit ([12] 参照) することで正確な粒子の通過位置情報を得ることが出来、この方法で $100 \mu\text{m}$

の位置分解能が得られることはテストベンチにおいて確認されている³。このとき重要になるのが、電荷が誘起された strip の中で最も多く電荷が誘起された strip (ピークストリップ) に対するノイズレベルである。これが 1 % 以下でなければ 100 μm の位置分解能を得ることが出来ない [11]。誘起される電荷の典型的な値は 100 fC であるため、ノイズは 1 fC 以下である必要がある。

2.4 PHENIX データ収集 (DAQ) システム

PHENIX DAQ System の概略図を図 2.20 に示す。全ての Sub-System は Granule Timing Module (GTM) によってタイミングが制御されている。MTM (Master Timing Module) は RHIC の 9.4 MHz ビームクロックを各 GTM へ伝える。GL1 (Global レベル-1) トリガーが発行されると、各検出器の Front End Module (FEM) によって生信号がデジタル化され、DCM (Data Collecting Module) へ送られる。これらのデータは更に Event Builder (イベント構成プログラムモジュール) に送られ、1 つのイベントデータとしてまとめられ、記録される。

PHENIX においては、着目する物理に対応して幾つかのトリガーが存在する。例えば、 μ 粒子トリガー、最小バイアストリガー、電子トリガー等ある。それらローカルレベル-1 (LL1) トリガーと呼ぶ。各 LL1 に適切なプリスケール (間引き) を適用した上で、全ての LL1 トリガーの OR を取ったものが GL1 トリガーである。PHENIX 検出器では、GL1 の発行と共にデータ収集を開始する。DAQ のバンド幅の限界は 5 kHz であり、1 つの LL1 トリガーに対しては、最大でも 2 kHz のバンド幅しか割り当てられない。

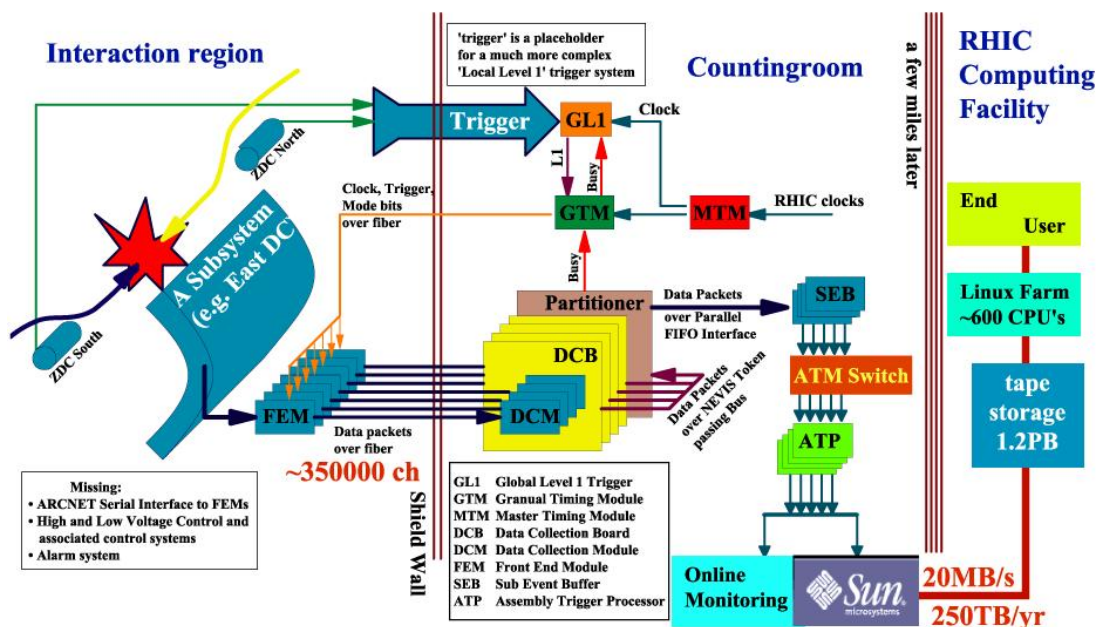


図 2.20: PHENIX DAQ System

³ステーション内のアライメントの問題などによって、現在、PHENIX の MuTr では 300 μm の位置分解能しか出ていない。

2.5 ミューオンアームローカルレベル-1 トリガーシステム

この章では μ 粒子トリガーについて説明する。

PHENIX 検出器における μ 粒子トリガーとしては Blue Logic Trigger (BLT) と MuID ローカルレベル-1 (MuID LL1) がある。両トリガーとも、 $-2.2 < \eta < -1.2$ 又は $1.2 < \eta < 2.4$ の領域に来る衝突点からのストレートトラックをトリガーするように設計されている (詳細は 2.5.1 章と 2.5.2 章)。同じようなトリガーが 2 つ存在するのは歴史的経緯によるもので、BLT トリガーのほうが MuID LL1 に比べて粗い軌道評価によってトリガーを発行する。

2.5.1 BLT

BLT は Lecroy 2372 MLU (Memory Lookup Unit) と MuID を用いた、MuID LL1 に比べて分割が粗い μ 粒子トリガーである。MuID を衝突点からみて 4 つの部分に分ける。BLT トリガーの決定において、この 4 つの部分は独立で互いに関係しないロジックを組むため、以下は MuID の右上の 1 つの部分についてのみ考える。この、全体の 1/4 に相当する 1 ギャップは、水平方向のチューブと垂直方向のチューブの組み合わせである。この 2 面それぞれを更に 2 分割する (図 2.21)。

μ 粒子は衝突点から来るので、ギャップ 1, 2, 3, 4 と貫くにつれて内側から外側へ徐々に通過点が進むはずである。よって、水平チューブ、垂直チューブに対してそれぞれ独立にこのロジックを適応し、共に内側から外側へヒットが移動していた場合にトリガーをかける (図 2.22)。

モジュールの制限により、5 つあるギャップのうち 4 つのギャップしかトリガーに使用できない。そのため、ギャップ 1, 2, 3, 4 が用いられている。トリガーには、ヒットの z 方向の深さによって Deep と Shallow がある。Deep は、全てのギャップ (1~4) にヒットがあった場合のトリガーであり、1 ギャップは水平、垂直の 2 面でできているので 4 つのギャップは 8 面に相当し、Deep は 8 面中 6 面のヒットを要求する。それに対して、Shallow はギャップ 1 とギャップ 2 にヒットがあった場合のトリガーで、4 面中 3 面のヒットを要求する (図 2.23)。

Deep と Shallow は組み合わせることができ、例えば、 J/ψ の検出には 1D1S (Deep と Shallow を 1 つずつ要求) が用いられる。また、運動量 2 GeV/c 以上の μ 粒子検出には 1D が用いられる。

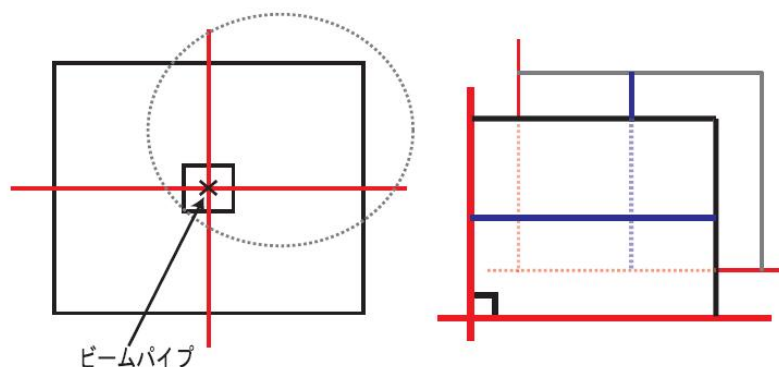


図 2.21: 4 つの部分に分け、更に 2 分割する。

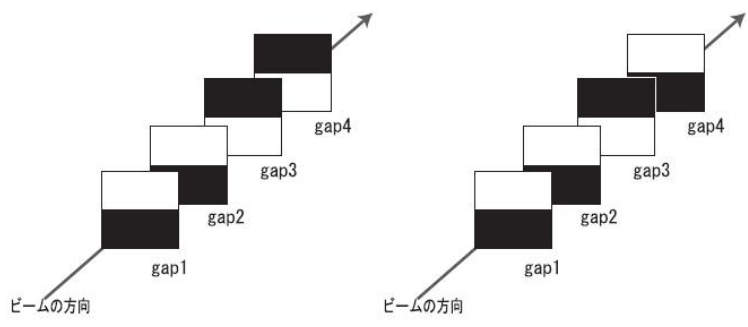


図 2.22: 左はトリガーが発行される。右は発行されない。

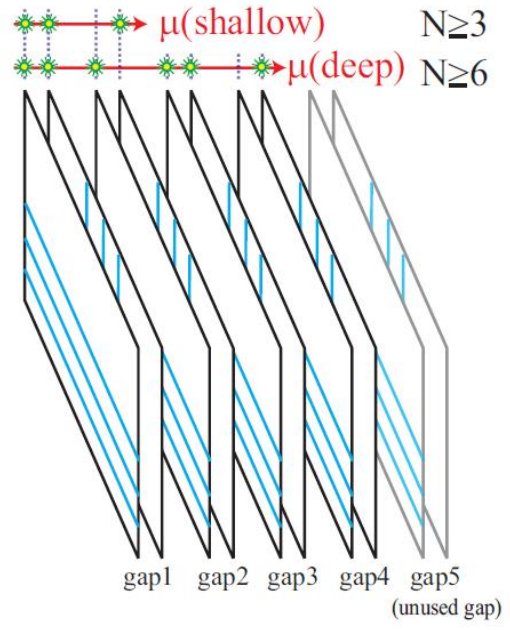


図 2.23: Deep と Shallow の違いを示した図。

2.5.2 MuID LL1

BLT トリガーでは多くのチューブをまとめて 1 つの信号として処理するという、非常に粗い決定をしているのに対して、MuID LL1 トリガーでは MuID の 2 pack 単位で信号を処理してトリガー決定を行っている。そのため、衝突点を向いていないトラックや、ゴーストトラックに対して強いという長所がある。

2 pack の並びには垂直方向と水平方向の 2 方向あるが、ここでは水平方向について説明する。MuID は実際には幾つかのパネルに分かれているが、それらの OR を取ることによって、図 2.24 のように 1 本の長い 2 pack を仮想的に作る (これを logical tube と呼ぶ)。

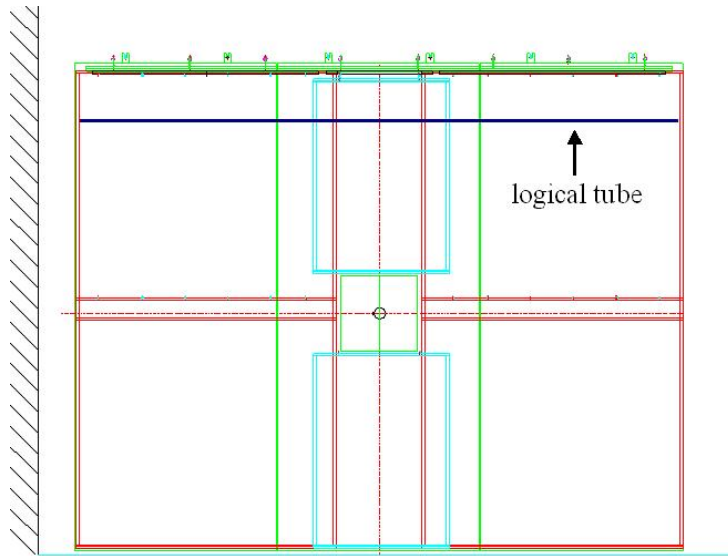


図 2.24: Logical Tube の一例。

アルゴリズムとしては、まずギャップ 1 の logical tube に端からアルファベット順で $1a, 1b, 1c, \dots$ とつける (“1”はギャップの番号を意味する)。次に、衝突点とギャップ 1 の logical tube を通る直線を引き、その直線上のギャップ 2, 3, 4, 5 の logical tube に対してギャップ 1 と同じアルファベットを割り当てる (図 2.25)。同じアルファベットを割り当てられた logical tube の組を symset と呼ぶ。この、同じ symset 内の全ての logical tube にヒットがあった場合、ストレートなトラックが衝突点から来たことみなされてトリガーが発行される。ここで、多重散乱の影響も考慮して、直線から ± 1 だけずれた logical tube にヒットがあった場合も許容される。また、ギャップ 1 のヒットは必ず要求されるものの、それ以外は 1 つとばしでも許される。しかし、2 つ以上のギャップをとばした場合は排除される。

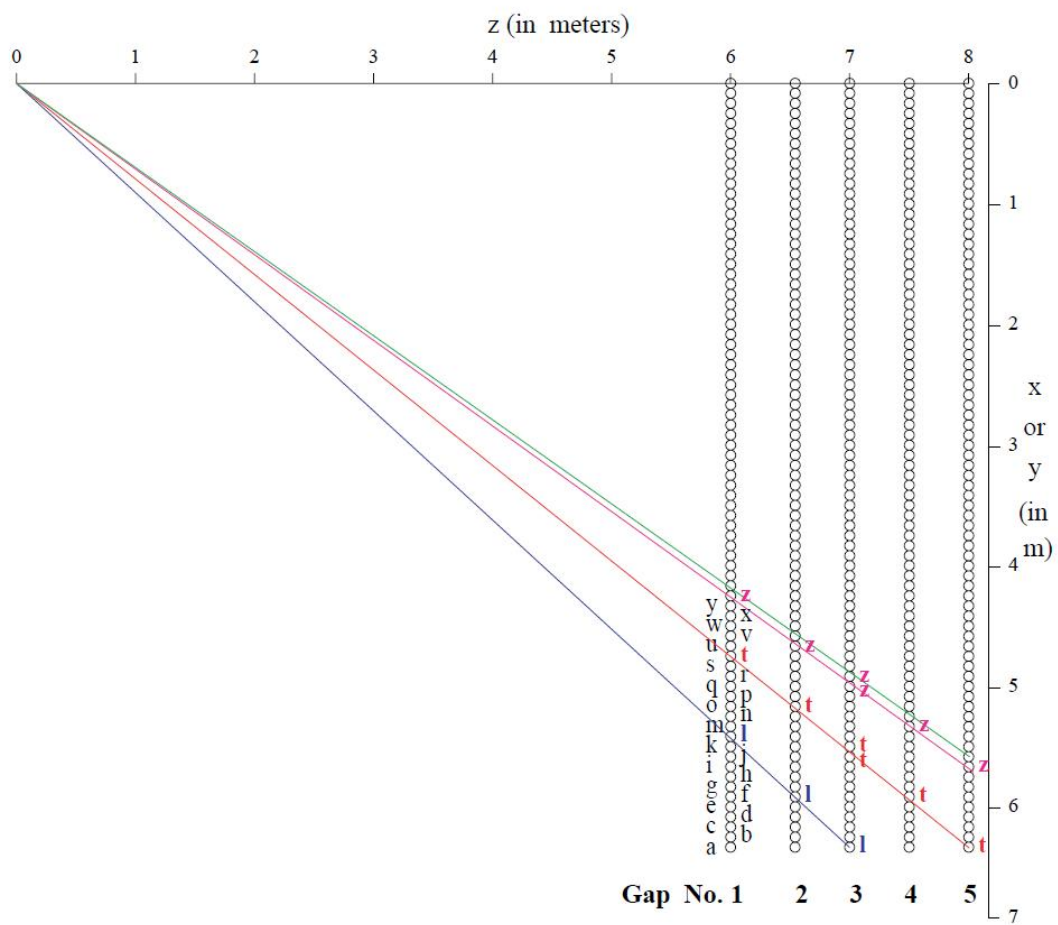


図 2.25: symset の例。衝突点とギャップ 1 の logical tube を通る直線を引き、その直線上のギャップ 2, 3, 4, 5 の logical tube に対してギャップ 1 と同じアルファベットを割り当てたとき、同じアルファベットを割り当てられた logical tube の組を symset と呼ぶ。

第3章 高運動量 μ 粒子トリガーシステムの構築

3.1 新しいトリガーの必要性

2.5章で説明したトリガーを用いて W 粒子からの崩壊 μ 粒子を検出するには問題がある。現行の μ 粒子トリガーでは運動量閾値が低すぎるのである。

図 1.2 に示したように、 W 粒子の崩壊は横運動量 20 GeV/c 以上の μ 粒子によって同定されるが、図 1.1 のように、陽子・陽子衝突によって生じる μ 粒子は低い運動量のものが支配的になっている。このほとんどが QCD プロセスによってできた μ 粒子であり、ここではバックグラウンドとなる。これに対して、現在の MuID を用いた μ 粒子トリガーでは、衝突点からハドロン吸収材を突き抜けてやってくるストレートトラックを探しているだけである (2.5 章参照)。ハドロン吸収材を貫通するために必要な μ 粒子の運動量は約 2.5 GeV/c であるため、これ以上の運動量を持つ μ 粒子全てに対してトリガーがかかってしまう。

運動量閾値が低い状態でデータ収集を行い、オフライン解析で 20 GeV/c 以上の μ 粒子を選び出すことも可能ではあるが、重心系エネルギー $\sqrt{s} = 500$ [GeV] 衝突において設計ルミノシティ $L = 2 \times 10^{32}$ [$\text{cm}^{-2}\text{sec}^{-1}$] に達した時、トリガーレートは 50 kHz に達することが予想され、これは μ 粒子用 DAQ のバンド幅の限界である 2 kHz をはるかに超えている。そのため、この運動量閾値でデータ収集しては、貴重な W 粒子起源の μ 粒子を間引いてしまうことになる。

以上の事情により、 μ 粒子用トリガーの運動量閾値を上げる必要がある。現在の運動量閾値はハドロン吸収材の厚さによって決まっているため、運動量閾値を上げるためにはハドロン吸収材を増やすという方法が考えられるが、空間的な制約上これは実現できない。そこで考えられたのが、MuTr の情報を使う方法である。これは、Muon Magnet 中での粒子の粗い軌道情報をトリガーレベルで得ることによって、その曲がり具合から運動量を見積もるという方法である。シミュレーションの結果、この方法を使えば高運動量 μ 粒子を選択的にトリガーできることが確認された [5, 6]。

現在、PHENIX においては、磁場中の軌道情報をトリガーレベルで読み出すためのトリガーアップグレード計画が進行中であり、我々も中心的な役割を果たしている。本章では、このトリガーアップグレード計画について述べた後、我々が開発中の MuTr 用トリガー生成回路について説明する。

3.2 Muon Trigger Upgrade

MuTr を使ったトリガーアップグレード

磁場中を通過する荷電粒子は磁場によって曲げられ、その飛跡は曲線を描く。この曲線の曲率は運動量の大きさによって変わる。従って、この曲率をトリガーレベルで検出することによって高運動量の μ 粒子を検出することができる。これを実現するために、MuTr の信号を用いたトリガーが提案された [5]。この

新しいトリガーは、MuTr のヒット情報を粗い精度で得てその曲率から運動量を見積もるという方法を取っており、具体的なアルゴリズムは以下の通りである。

1. ステーション 1 とステーション 3 におけるヒットが同じ Octant 内にあるとき、この 2 つのヒット点を直線で結ぶ。
2. 1. で引いた直線と MuTr ステーション 2 の交点を求め、その点と実際のヒット点の差 (サジッタ) を見る (図 3.1 参照)。
3. サジッタの大きさが 1 ストリップ以下であればトリガーを発行する。

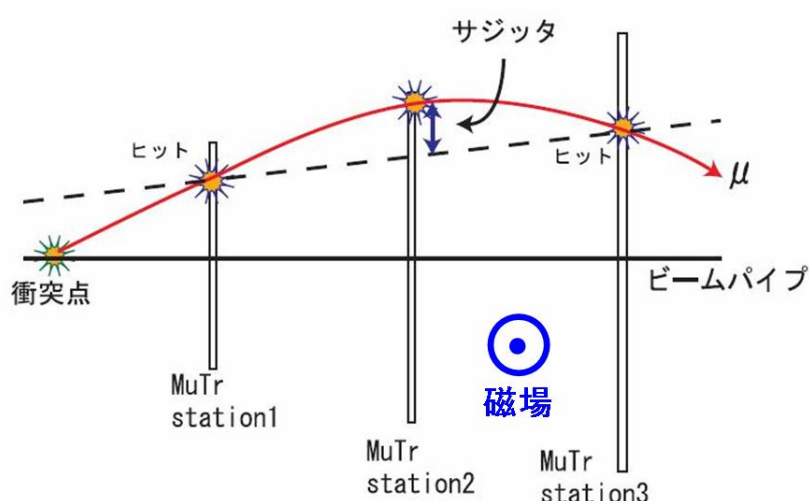


図 3.1: MuTr を使った新しいトリガーのアルゴリズム (上から見た図)。サジッタの大きさから通過粒子の運動量を見積もることができる。

これまでの研究により、MuTr を用いたトリガーは棄却能力 24000 という、十分な性能を持つことが分かっている¹[5, 6]。

更には、MuTr のヒット情報だけでなく、新しく抵抗平板型チェンバー (RPC) を PHENIX 検出器中に設置し、RPC と MuTr のヒット情報から通過粒子の運動量を見積もるというトリガーについても準備が進んでいる。新しく RPC を用いる理由は大きく分けて 2 つある。1 つ目は、 θ (動径方向) と ϕ (円周方向) の情報も得ることによって、3 次元の粒子軌道情報を得られることにある。これによって、ミュオンアーム内で崩壊したハドロンから生じる μ 粒子によってできてしまうゴーストトラックを除去することができ、よりきれいなイベントに対してトリガーできるようになる²。2 つ目の理由としては、RPC の時間応答の速さにある。後述するように、MuTr からの信号は 1 ビームクロックよりも広がってしまうため (3.3.1 章参照)、ヒット情報がどのビームクロッシングに対応したイベントであるのか判断するのが難しい。しかし、RPC の信号を使うことによってこの困難を克服することができる。

¹棄却能力の定義は 1.1 章参照)。また、必要な棄却能力 (6000) についても書いてある。

²MuTr だけを用いたアルゴリズムでは non-stereo plane しか読み出さないため、2 次元的な軌道情報しか得られない。よってハドロン崩壊によるゴーストトラックを見分けることができない。

また、現在よりもハドロンバックグラウンドを少なくするために、新たなハドロン吸収材（1 反応長分の銅）も設置する予定であり、これもトリガーアップグレード計画の一環である。

MuTr と RPC を使ったトリガーの具体的なアルゴリズムは以下の通りである。

1. RPC 1 と RPC 2（図 3.3 参照）におけるヒットが同じ Octant 内にあり、ヒットストリップの中心位置が相対的に $\theta < 14^\circ$, $\phi < 3^\circ$ の範囲内にあるとき、この 2 つのヒット点を直線で結ぶ。
2. 1. で引いた直線と MuTr ステーション 2 の交点を求め、その点と実際のヒット点とのサジッタを見る。サジッタの大きさとしては 3 ストリップ以下を要求する。また、MuTr 上のヒット点は RPC 1 , 2 上のヒット点と同じ Octant 内にある必要がある。
3. 2. で引いた直線が RPC 3 のアクセプタンス内を通る場合には RPC 3 上にヒットがあることも要求する。アクセプタンスの外であればこの要求は行わない。

以上の条件を満たすトラックに対してトリガーを発行する。このトリガーの棄却能力は約 10000 となる³[13]。

MuTr と RPC を用いたトリガーでは MuTr のステーション 2 の信号のみが使われることになっているが、実際はハドロン崩壊からの μ 粒子によるバックグラウンドがシミュレーションより多くなるのが容易に予想される。そのような状況に対処するためには、読み出し面を多い方が得策である。そのため、MuTr 用トリガー生成回路は MuTr の全てのステーション（1~3）に設置する予定である。図 3.2 は MuTr 用トリガー生成回路、RPC、ハドロン吸収材全てが PHENIX に設置されたときの全体のポンチ図である。

現在、RHIC においては、2008 年末に始まる RUN9 と 2009 年末に始まる RUN10 において陽子の 500 GeV 衝突が行われる予定であり、これまでに RPC の設置が間に合うかどうかは分からない状況である。よって、500 GeV 衝突の初期段階のデータ収集においては、MuTr の信号のみを用いたトリガーを使うことになるはずである。つまり、できるだけ早い段階で海クォークスピンの測定を実現するためには、MuTr 用トリガー生成回路はなくてはならないものであると言える。

³この値は MuTr のみを用いたときの棄却能力 24000 より小さいように見える。これは、サジッタとして 3 ストリップ以下を要求していることが原因である。MuTr のみをトリガーに使った場合、3 ストリップ以下のサジッタを要求したときの棄却能力は約 6000 であることが分かっており [5, 6]、RPC を用いることによって棄却能力が向上していることが分かる。

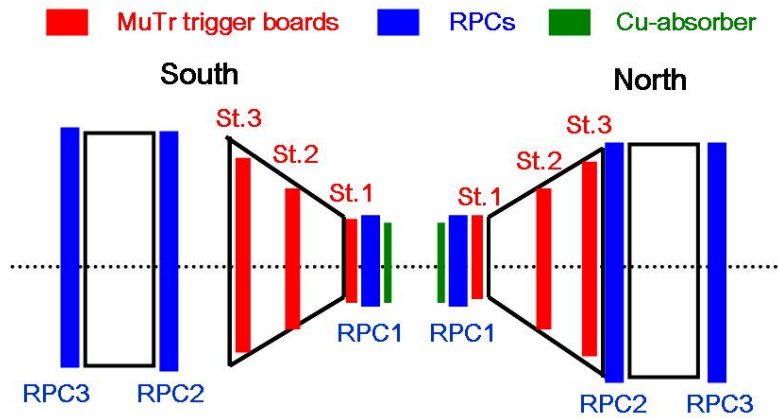


図 3.2: MuTr 用トリガー生成回路、RPC、ハドロン吸収材全てが PHENIX に設置されたときの全体のボンチ図。

RPC

RPC は、Illinois 大学の研究グループが中心となって現在建設中である。3つのステーションからなり、各ステーションは Octant に分かれている。1つの Octant は更に2つの Half Octant から構成されており、合計のチャンネル数は約 10000ch である。現在開発段階であるが、テストベンチにおいて位置分解能は ~ 0.5 cm , 時間分解能は 2 ~ 4 nsec を達成している。

図 3.3 は PHENIX における RPC の設置位置と RPC の全体像であり、図 3.4 は RPC 3 とその Half Octant を拡大した図である。

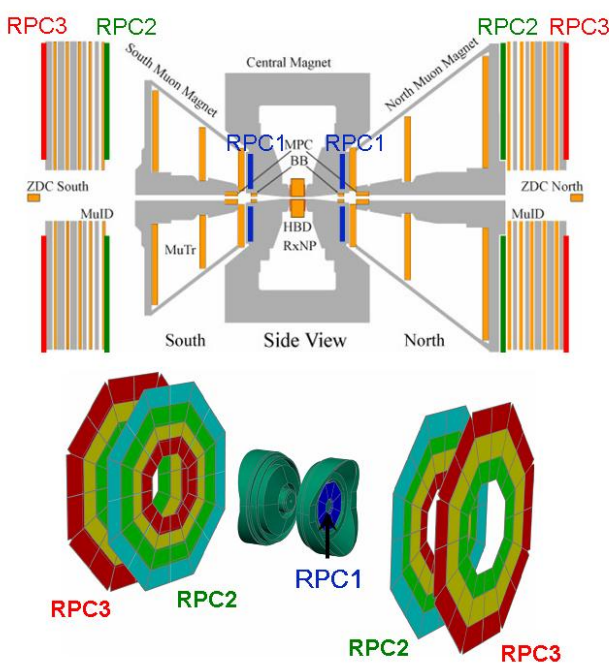


図 3.3: RPC の設置位置と全体像

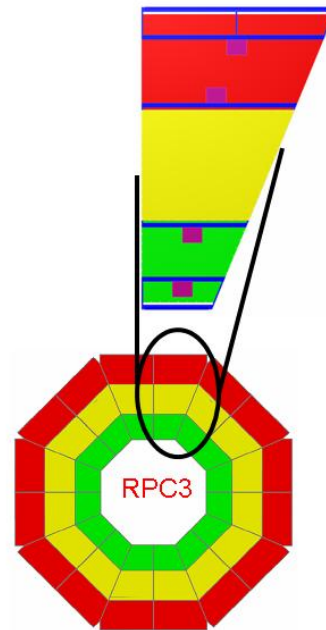


図 3.4: RPC 3 の 1 Half Octant を拡大した図。色の違いに意味はない。

3.3 MuTr トリガーのための新しい読み出し回路

この節ではこれまで我々が開発してきた MuTr チェンバーを使ったトリガー生成回路について詳しく説明する(図 3.5 は MuTr チェンバーを使ったトリガー生成回路の全体像)。まず、MuTRG-AD ボード (Amplifier Discriminator) と MuTRG-TX ボード (Data Transfer)、MuTRG-AD ボードと MuTRG-TX の機能を合わせた回路である MuTRG-ADTX ボードといった、実際に MuTr のそばに設置してデータを測定室側に送信する回路の説明をした後、それらの回路から送られてきた信号を受け取りひとまとめにした上で、PHENIX のデータ収集モジュールである DCM や、レベル-1 トリガー発行を行う LL1 ボードに送信する回路である、MuTRG-MRG ボードと DCM Interface ボードについて説明する。

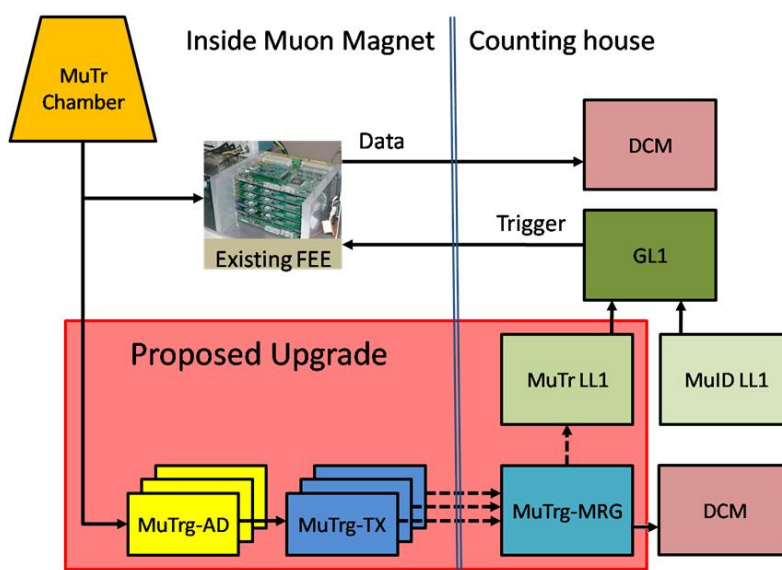


図 3.5: MuTr 用トリガー生成回路の全体像。

3.3.1 MuTRG-AD ボード

設計概念

MuTRG-AD ボードは MuTr チェンバーからの信号を増幅した後、論理信号化し、データ送信回路 (MuTRG-TX ボード, 詳細は次節) に送信する電子回路である。

現在、MuTr の信号はストリップに励起された電荷を精密に読み出すように設計された前段回路 (FEE) によって収集されており、収集されたデータはオフライン解析によってどの位置を粒子が通過したのかを求めるために使われている。位置分解能が $100 \mu\text{m}$ を達成するように設計されており、誘起される電荷値 (典型的には $\sim 100 \text{ fC}$) に対して 1% のノイズレベルにおさえられればこの位置分解能を達成できる。

どのストリップにヒットがあったのかをトリガーレベルで得るために、我々は MuTr からの生信号を分割する手法を考案した [8] (図 3.6)。具体的には、コンデンサー (C_{split} と呼ぶ) を用いることによって MuTr からの信号を分割した後、片方を現行 FEE の CPA (荷電プリアンプ) に送り、残りの方を MuTRG-AD ボードに取り込んで、ヒット情報を得るという手法である。実際の信号分割は MuTRG-AD ボードのバッ

クプレーン上で行われる。MuTRG-AD ボードに入力された信号は増幅された後コンパレータによって論理信号化される。1 ボードあたり 64 ch 分のストリップ情報を入力することができ、ヒットの有無を二値化した情報を、後方に設置した MuTRG-TX ボードに送信する。

要求性能

電荷の分割比は C_{split} の値を変えることによって調整することができる。現行 FEE に入る電荷と MuTRG-AD ボードに入る電荷の比は CPA の有効静電容量 (~ 900 pF) と C_{split} の比によって決定される。例えば、 C_{split} として 100 pF を選べば、誘起電荷が 100 fC のとき、MuTRG-AD ボードに入力される電荷は、 $100 \text{ [fC]} \times C_{split} / (C_{CPA} + C_{split}) = 10 \text{ [fC]}$ となる。図 3.7 は、 C_{split} を変化させたときに現行 FEE の出力がどのように変化するかを表したものである。この図より、 C_{split} による信号分割がうまく機能していることが分かる。

現行 FEE のデータ解析において $100 \mu\text{m}$ の位置分解能を出すためにはノイズレベルを 1% に抑える必要があるため、MuTRG-AD へ入力する電荷の割合はなるべく小さくする必要がある。その上、コンデンサー C_{split} を加えるということは、ノイズレベルを悪化させることにもつながってしまう。しかしながら、検出効率の高いトリガーを作るためには十分な大きさの電荷を分割してくる必要がある。また、新たなキャパシタンスを付けることによって時定数が大きくなってしまい、FEE の出力を遅らせてしまうということ等が考えられる。これらの兼ね合いを考慮した上で C_{split} の値を決定しなければならない。我々は、 $C_{split} \sim 50$ [pF] を選ぶことによって、信号の分割比を 95 : 5 になるように設計した。

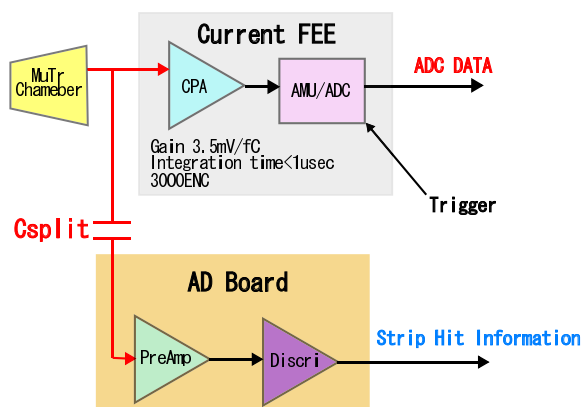


図 3.6: 信号分割の概念図

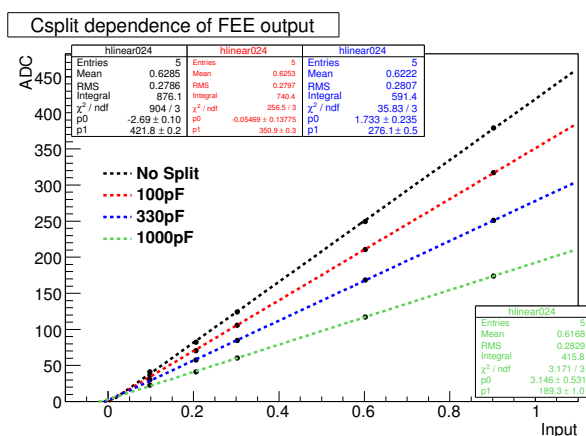


図 3.7: MuTr FEE の出力値の C_{split} 依存性。縦軸は FEE の ADC 値で、横軸は入力パルス高に比例した arbitrary unit

MuTRG-AD ボード上のプリアンプ部分における増幅率は 10 mV/fC であり、測定値より、アンプ部分からのノイズは 15 mV (RMS) である。図 3.8 はテストパルスを入力したときの現行 FEE と MuTRG-AD ボードのアンプ部分からの出力波形である。MuTRG-AD ボードにおいてベースラインが信号入力からグランドレベルまで戻る時間は、現行 FEE の整形時間に比べれば十分小さいことが分かる。

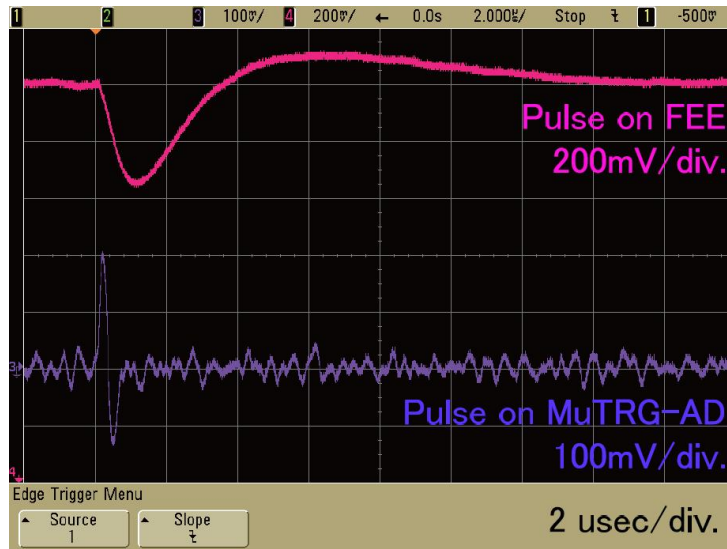


図 3.8: 現行 FEE の信号 (赤) と MuTRG-AD ボードのプリアンプからの出力波形 (青) のスナップショット

生信号を論理信号化するコンパレータ部分においては、我々は LED (Leading Edge Discriminator) と CFD (Constant Fraction Discriminator) の両方を用いている。LED は、入力信号がある決まった設定値 (閾値) を横切ったときに出力パルスを生成する。構成が単純でノイズに強い安定した特性を持つ反面、異なるパルス高を持つ入力信号に対して異なったタイミングの出力を生成してしまう欠点がある。LED の閾値の設定には 8-bit DAC (Digital to Analog Converter) を用いている。DAC のプログラムは MuTRG-TX ボード上に実装されている FPGA から実行され、チャンネル毎に独立した閾値を設定することができる。一方、CFD はハイパスフィルタを通した入力信号とローパスフィルタを通した入力信号の交差するタイミングによって出力パルスを生成する。これは MuID の読み出し回路で使われている、ケーブルを使わない手法であり、pseudo-CFD と呼ばれる [14]。pseudo-CFD を用いることによって、入力信号の高さに関わらず一定のタイミングで信号を出力することができる。MuTRG-AD ボードは、LED と pseudo-CFD の論理積 (AND) をとった信号を出力している。これによって、ノイズに強く (LED の効果による)、出力タイミングもよく決まった (pseudo-CFD の効果による) 信号を出力できる。

図 3.9 は pseudo-CFD の効果を良く表している、オシロスコープのスナップショットである。LED の出力は、信号の高さによって時間的なばらつきが出ているのに対して、pseudo-CFD からの信号は時間分布の広がりを抑えられていることが分かる。ここで、pseudo-CFD からの信号は必ず LED の出力よりも遅れて出てくるため、これらの AND をとった信号は必ず pseudo-CFD のタイミングで出力される。

図 3.10 は pseudo-CFD ありのとき (上図) となし (LED のみ, 下図) のときの、ADC 値に対する TDC 分布を示したものである (ADC 値は現行 FEE によって取得したもの)。この図から、pseudo-CFD の効果が発揮されるのは閾値あたりであることが分かる。残念ながら pseudo-CFD を用いても時間分布は 1 ビームクロック (106 nsec) よりも広がってしまう。しかし、これは MuTRG-AD ボード自身のノイズに原因がある訳ではない。図 3.11 は ADC 値が約 150 チャンネル位⁴になるようなキャリブレーションパルスを MuTr に入力したときの、MuTRG-AD ボードからの出力信号の TDC 分布であるが、RMS 値で ~11 nsec である

⁴最小イオン化粒子 (MIP) に対する Most Probable Value (MPV) がこの程度の値になる。

ことが分かる⁵。よって、時間分布が1 ビームクロックよりも広がってしまう原因は、荷電粒子が通過する際に MuTr 中に誘起される電荷のドリフトタイムの広がりが約 100 nsec (最長ドリフトパスは 5 mm) の広がりを持つことにあると考えられる。

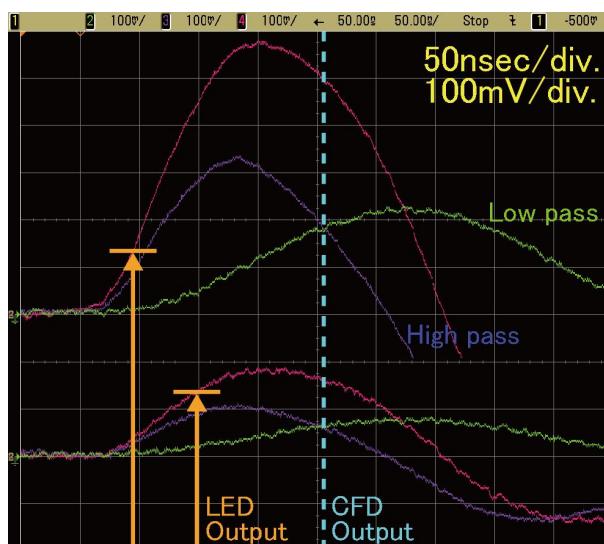


図 3.9: pseudo-CFD による効果を表すスナップショット。振幅の異なる信号に対して、LED のタイミングでは出力時間がばらついてしまっているのに対して、pseudo-CFD のタイミングは同じになっている (赤: 入力信号、青: ハイパスフィルターを通した信号、緑: ローパスフィルターを通した信号)。

⁵ キャリブレーションパルスは anode wire に入力され、入力直後に cathode に電荷を誘起させる。

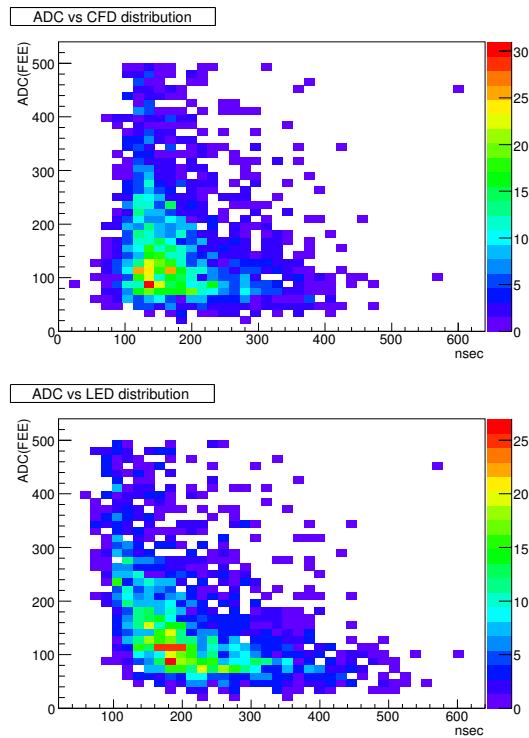


図 3.10: ADC 値に対する TDC 分布 (上: pseudo-CFD を用いたときの分布、下: LED のみのときの分布)。pseudo-CFD を使った時のほうが時間分布の広がりが小さくなる。

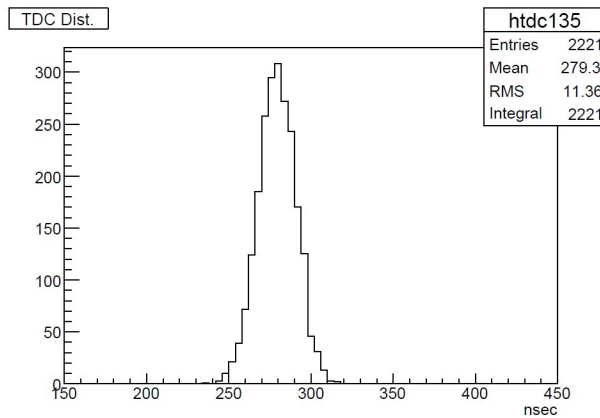


図 3.11: MuTr に MIP の MPV が誘起されるようなキャリブレーションパルスを入力したときの、MuTRG-AD ボードからの出力信号の時間分布

MuTRG-AD ボードの全体像を図 3.12 に載せる。また、MuTRG-AD ボードとシャーシ (箱) の詳細を表 3.1 にまとめる。信号入力から信号出力までの時間 (ボードによる信号遅延) は ~ 300 nsec で、この信号遅延の大部分は pseudo-CFD によるものである。MuTRG-AD の出力信号は LVDS レベルである。LED 部分については、各 ch それぞれに閾値を設定することができるため、DAC の個性によって設定する閾値にばらつきが生じてしまうことは問題にならない。閾値の最大値は 512 mV で、2 mV ステップで設定できるようになっている。

MuTRG-AD ボード用のシャーシには2枚のボードが収容できるようになっている。MuTRG-AD ボードは現行 FEE 用シャーシの上部に取り付ける計画になっているため、縦幅と横幅は現行 FEE 用のシャーシにサイズを合わせてある（図 3.13）。またシャーシには、水によって基板を冷やす機構や、乾燥空気を基板に吹き付け、湿気に対して強くするための機構も持っている。

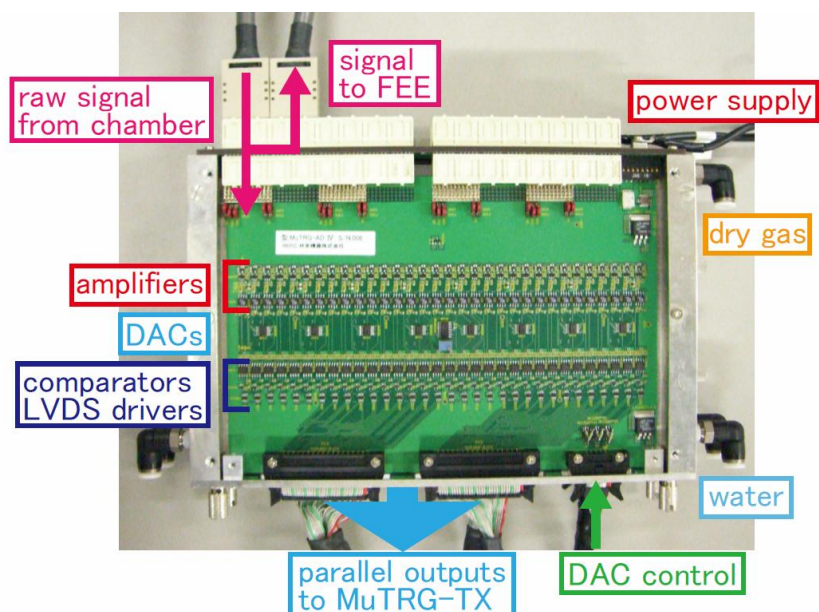


図 3.12: MuTRG-AD ボードの写真。各部の簡単な説明も写真中に記入してある。

MuTRG-AD ボードの詳細	
ボードサイズ	6 U
供給電圧	6 V (regulator によって 5.0 , 3.3 V に下げて使用する)
消費電圧 (消費電流)	~9 W (~1.5 A)
信号遅延	~300 nsec
シャーシの詳細	
シャーシサイズ (縦 × 横 × 高さ)	177 mm × 257 mm × 50 mm
収容ボード数	2
冷却機能と乾燥機能	水冷用と乾燥空気用のコネクタあり

表 3.1: MuTRG-AD ボード及びシャーシの詳細

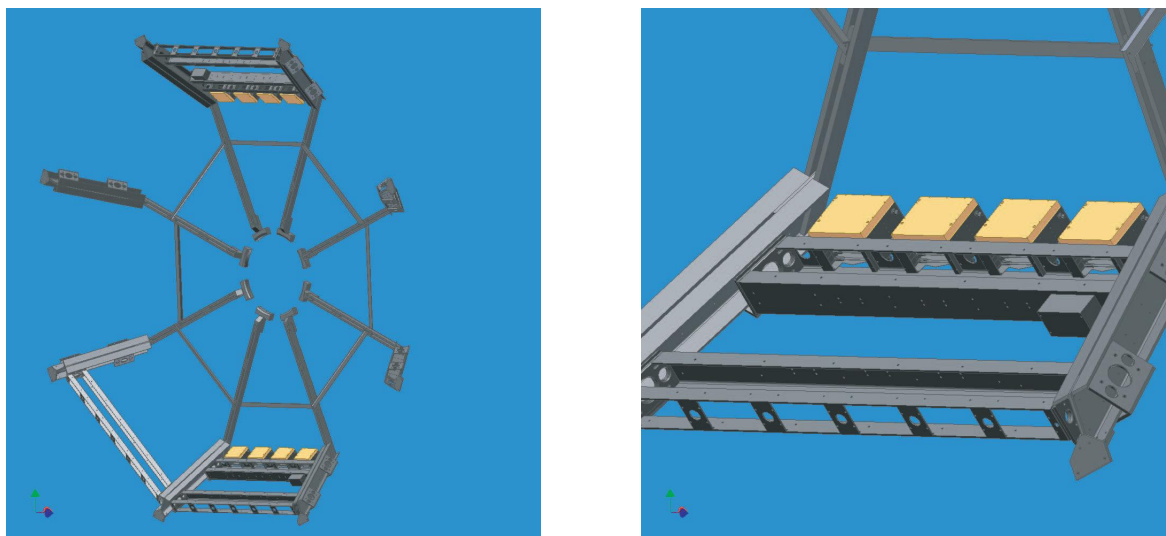


図 3.13: MuTRG-AD ボード及びシャシーの設置位置を CAD で描いたもの（ステーション 2 Octant 3 & Octant 7 にのみ黄色で描いてある）。右図は Octant 7 の位置を拡大したもの。

3.3.2 MuTRG-TX ボード

設計概念

MuTRG-TX ボードの役割は、MuTRG-AD ボードから出力される MuTr のヒット情報を測定室側へ送信することである。MuTRG-TX ボードは MuTRG-AD ボードのそばにおかれ、64-bit のパラレル（並列）信号（LVDS レベル）を受信し、それらの信号をシリアル（直列）化し、光信号に変換した後、1.2 Gbps の速さで送信する。また、MuTRG-AD ボード上の DAC をプログラミングし、閾値を設定するという役割も持つ。

要求性能

図 3.14 は MuTRG-TX ボードのブロックダイアグラムとデータの流れを示したものである。主要な役割を果たすチップは、Field Programmable Gate Array (FPGA; Xilinx Co., Spartan3, XC3S1000, FG456)、TLK1501 (TI Co.) そしてオプティカルトランシーバー (AVAGO Co., AFBR5710LZ) である。

FPGA の役割は、データフォーマットと、MuTRG-AD ボードの閾値設定のための DAC プログラミングである。FPGA は、データを 1 bit の列にシリアル変換する IC である TLK1501 の入力ピン数（16 本）に対応させるため、64-bit のパラレルな入力信号を 16-bit×4 列にならべなおし、更にビームクロックカウンターと Carrier Extend (C.E.)⁶ の 2 つの 16-bit データを付け加える。これによって 6 列となった 16-bit データは、ビームクロック（106 nsec ~ 9.4 MHz）を 6 倍にしたクロック（9.4 MHz×6）で非同期 FIFO（First In First Out module）に送信される。ここで、非同期 FIFO を用いる理由は TLK1501 の仕様にある。TLK1501 の仕様として、動作クロックのジッター（クロック周期のばらつきのこと）が Peak to Peak で 40 psec 以内という要求があるが、PHENIX のビームクロックは RMS で 25 psec のジッターを持つため、この要求を満たさない。そのため、TLK1501 を用いたシリアルリンク部には送信用クロックとして低ジッ

⁶C.E. はシリアル化されたデータから元のパラレル信号にならべ直す際に使う目印である。

ターの水晶発振器を用いる。水晶発振器の周波数としては、ビームクロックを6倍したもの（ $56.4\text{ MHz} = 9.4\text{ MHz} \times 6$ ）よりも若干早い60 MHzのものを使っており、56.4 MHzで非同期FIFOに入力されたデータは情報を失うことなく60 MHzのクロックにのせかえられ、TLK1501によって安定に送信される（図3.15にFPGA論理のブロックダイアグラムを示す）。

受信側ではこの逆が行われ、再びビームクロックに同期した信号が出力される（60 MHzクロックの方がビームクロックを6倍したものよりも速いため、定期的に空データが送られるが、受信側で除去すれば問題にならない）。

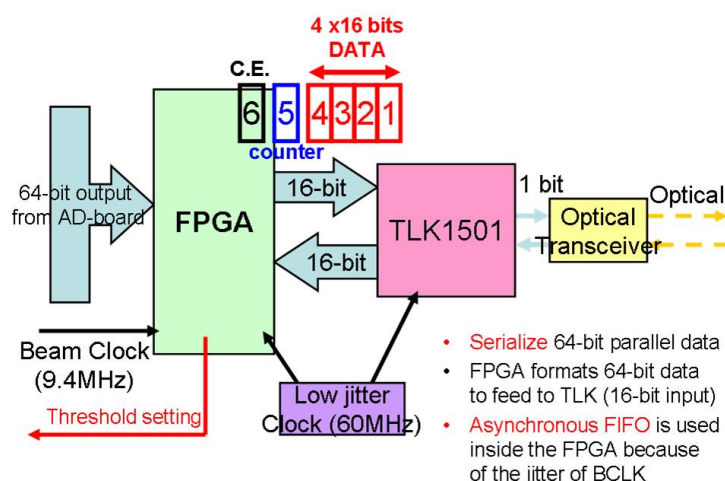


図 3.14: MuTRG-TX ボードのブロックダイアグラムとデータの流れ。

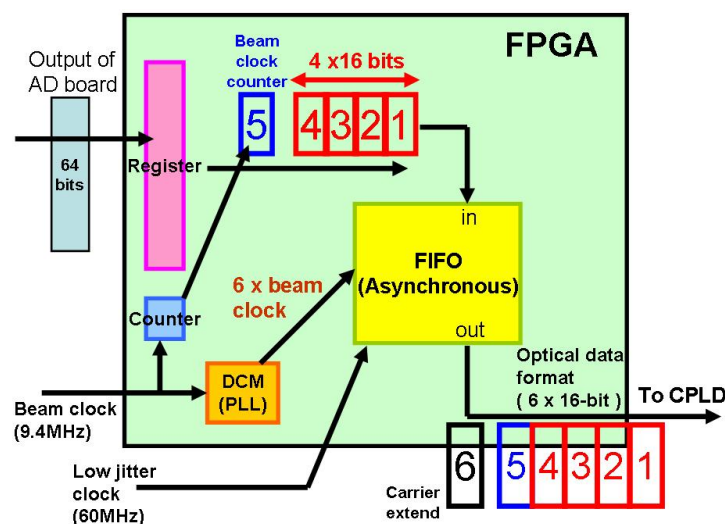


図 3.15: MuTRG-TX ボードのFPGA 論理のブロックダイアグラム。64-bit の平行な入力信号にビームクロックカウンターとC.E.を付け加えて16-bit×6列にならべなおし、非同期FIFOを用いることによって動作クロックの切り替えを行った上でTLK1501に送信している。

TLK1501は16-bitの平行信号を1bitの列にシリアル化するデバイスである。TLK1501の後方にオ

プティカルトランシーバが配置されおり、TLK1501 から出力された 1 bit 信号 (CML レベル) はこのオプティカルトランシーバによって光信号に変換され、測定室側へ送信される。TLK1501 は送信 (TX) 機能だけでなく、受信 (RX) 機能ももつ IC であるため、測定室側からの信号を受けることもできる。この機能によって、測定室側からのスローコントロール (MuTRG-AD ボードと MuTRG-TX ボードの制御) が可能となっている (詳細については 3.3.3 章参照)。TLK1501 におけるシリアル化の際のエンコーディング方法は 8b/10b なので、MuTRG-TX ボードのデータ送信レートは、 $16 [\text{bit}] \times 60 [\text{MHz}] \times 10/8 = 1.2 [\text{Gbps}]$ となる。オプティカルトランシーバである AFBR5710 はこのデータ送信レートに耐えられる仕様である。

図 3.16 は MuTRG-TX ボードの全体像である。また、表 3.2 に MuTRG-TX ボードとそのシャシーの詳細をまとめた。

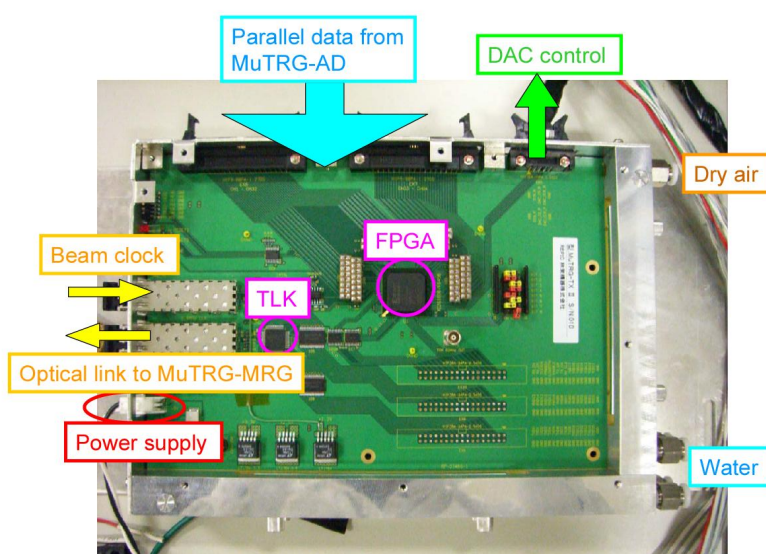


図 3.16: MuTRG-TX ボードの写真。各部の簡単な説明も写真中に記入してある。

MuTRG-TX ボードの詳細	
ボードサイズ	6 U
供給電圧	6 V (regulator によって 3.3, 2.5, 1.2 V に下げて使用する)
消費電力 (消費電流)	~3 W (0.4~0.6 A)
信号遅延	2~3 ビームクロック (212~318 nsec)
シャシーの詳細	
シャシーサイズ (縦 × 横 × 高さ)	173 mm × 246 mm × 50 mm
収容ボード数	2
冷却機能と乾燥機能	水冷用と乾燥空気用のコネクタあり

表 3.2: MuTRG-TX ボード及びシャシーの詳細

テストベンチにおける性能評価

MuTRG-TX ボードはデータ送信と同時に、データ受信もできる設計になっているので、2つのボードを使うことによって動作試験を行うことが可能である。図 3.17 は動作試験のセットアップであり、図 3.18 はセットアップのブロックダイアグラムである。

MuTRG-TX ボードの動作試験の詳細は以下の通りである。2つのボードを光ケーブルで接続した後、VME モジュールである、パルスパターン生成モジュール (PPG) をつかって 64-bit のランダムパターンを作り、送信側の MuTRG-TX ボードに入力してデータ送信する。そして、受信側のボードに送られてきたシリアルデータをパラレルデータに回復して⁷、TDC に入力してデータ収集した。このようにして TDC で収集したデータを、PPG で作ったランダムパターンと比較することによって MuTRG-TX ボードの性能評価 (主に FPGA 論理の評価と、実装された IC の動作評価) を行った。図 3.19 は動作試験の結果を表したものである。左図において、横軸は受信側ボードの出力チャンネル (0~63 ch) を表し、縦軸は送信側ボードの入力チャンネルを表す。色の濃さはそのチャンネルに入力されたパルス数を表す。この図より、入力したチャンネルと同じチャンネルにデータが回復されており、MuTRG-TX ボードが情報を失うことなくデータ送信に成功していることが分かる。図 3.19 の右側は各チャンネルの検出効率を表している。検出効率は、

$$(N_{ch} \text{ の検出効率}) = \frac{(N_{ch} \text{ の出力側におけるパルスの検出個数})}{(N_{ch} \text{ の入力側におけるパルスの入力個数})}$$

で定義される量である。この図からも、MuTRG-TX ボードの FPGA 論理及び実装された IC が正しく動作していることが確認できる。ちなみに、図 3.19 において、1 ch だけ歯抜けのチャンネルが存在するが、これはランダムパターンを生成する際のソフトウェアの問題であって、MuTRG-TX ボードのデザインに不具合があるわけではないことが分かっている。その証拠に、この動作試験を行う度に、異なったチャンネルにおいて歯抜けが確認された。

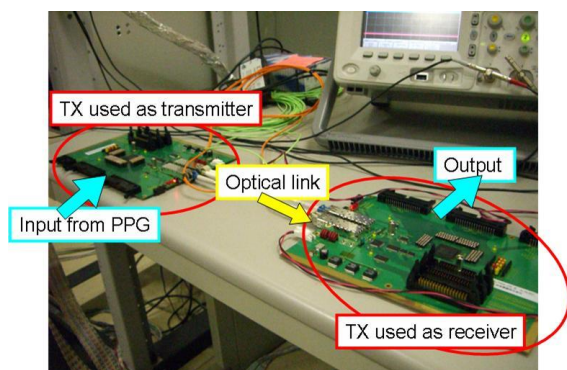


図 3.17: 性能評価用テストベンチの写真

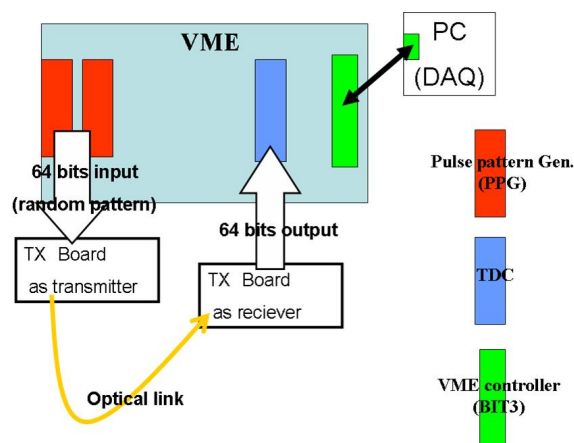


図 3.18: 性能評価用テストベンチのブロックダイアグラム。MuTRG-TX ボード 2 枚をデータ送信用とデータ受信用として接続し、TDC を用いてデータ収集する。

⁷MuTRG-TX ボード上の FPGA 論理を受信用にすることが可能である。

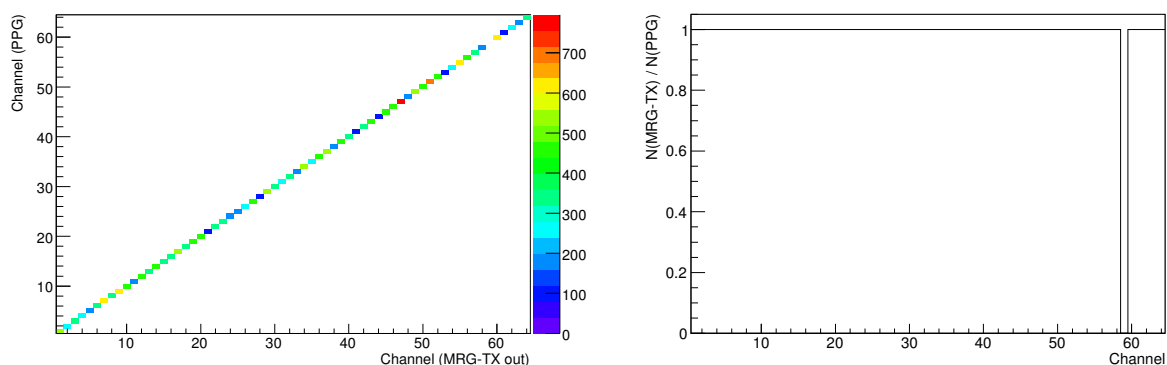


図 3.19: 左図：横軸は出力チャンネル（TDC で測定する側）で縦軸は PPG からの信号入力チャンネルである。右図：各チャンネルの検出効率。

3.3.3 MuTRG-ADTX ボード

設計概念

MuTr を使ったトリガー生成回路の開発において、MuTRG-AD ボードと MuTRG-TX ボードの開発は別々に行われてきた。これは、MuTr の生信号（アナログ信号）を扱う MuTRG-AD ボードの機能と、論理化した後のデジタル信号を扱う MuTRG-TX ボードの機能を開発段階から 1 枚の回路上に配置した場合、想定外の効果（グラウンドの具合によって MuTr の現行 FEE におけるノイズがひどくなる等）が現れることを恐れたのと、問題の切り分けを行い易くするためなどの理由があった。

2007 年夏に行った、MuTRG-AD ボードと MuTRG-TX ボードを PHENIX 検出器に設置しての動作試験の結果、MuTRG-AD ボードと MuTRG-TX ボードの機能を統一した回路でも現行 FEE への影響は変わらないであろうと予想されたため（4 章参照）、これら 2 種類の両方の機能を兼ね備えた回路の開発を進めることになった。この、統一された回路が MuTRG-ADTX ボードである。

基本的には MuTRG-AD ボードと MuTRG-TX ボード合わせた機能を持ち、更に、測定室側からの制御（スローコントロール）を行いやすくする目的で、新たに Complex Programmable Logic Device (CPLD; Xilinx Co., XC95144XL) を実装している。図 3.20 は CPLD も含めた場合のブロックダイアグラムである（TX パートのみ）。スローコントロールの内容としては、FPGA 論理の書き込みや初期化、ビームクロックカウンターのリセット等がある。

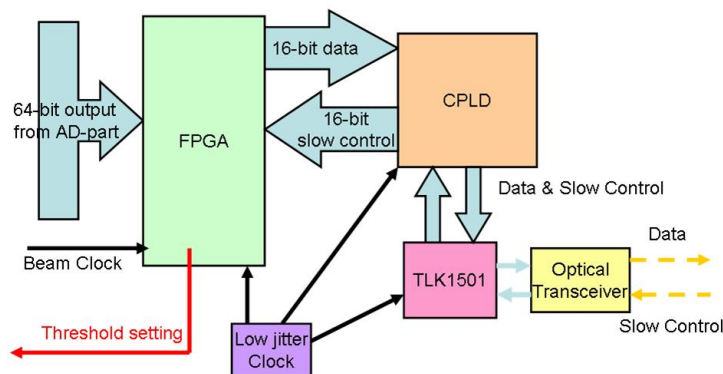


図 3.20: スローコントロールを行うために、MuTRG-ADTX ボードに CPLD を用いた場合のブロックダイアグラム（デジタル信号処理部分のみをかき出している）。

MuTRG-ADTX ボードの動作試験については現在進行中であるが、理研にあるテストベンチにおいて、現行 FEE のノイズレベルは MuTRG-AD ボードと MuTRG-TX ボードの 2 枚に分かれていたときと比べてほとんど変化は無い。また、PC から VME バスと光ケーブル越しに行った、スローコントロールのテスト（FPGA の書き込みや、リセット）についても期待通りの動作をすることが確認できている。2 つのボードの機能を 1 枚にまとめたことによって、予想もしなかった不具合が生じてしまう可能性もある。こういった不具合がないことを確認するため、2008 年 2 月下旬に MuTRG-ADTX ボード数枚を PHENIX 検出器に設置して動作試験を行うことも計画中である。

図 3.21 は MuTRG-ADTX ボードの全体像である。また、表 3.3 に MuTRG-ADTX ボードとそのシャーシの詳細をまとめた。

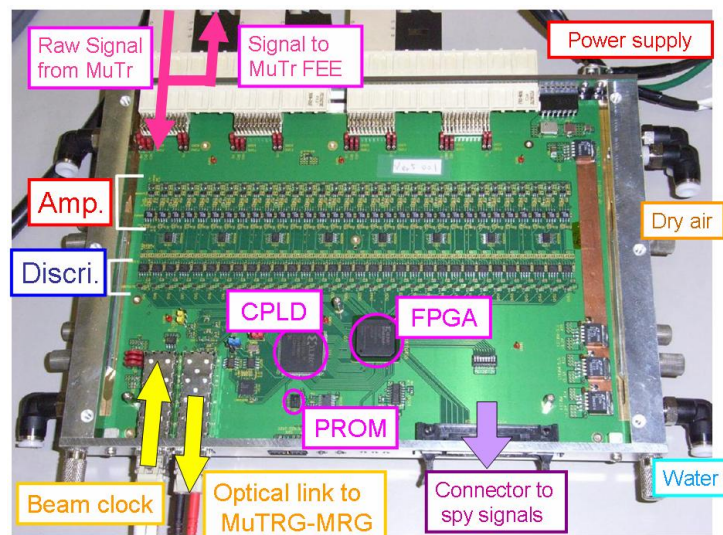


図 3.21: MuTRG-ADTX ボードの写真。各部の簡単な説明も写真中に記入してある（PROM とはフラッシュメモリーのこと、この IC 経由で FPGA に書き込まれる）。

MuTRG-ADTX ボードの詳細	
ボードサイズ	6 U
供給電圧	6 V (regulator によって 5.0, 3.3, 2.5, 1.2 V に下げて使用する)
消費電力 (消費電流)	~12 W (~2.0 A)
信号遅延	5~6 ビームクロック (530~636 nsec)
シャーシの詳細	
シャーシサイズ (縦 × 横 × 高さ)	189 mm × 267 mm × 36 mm
収容ボード数	2
冷却機能と乾燥機能	水冷用と乾燥空気用のコネクタあり

表 3.3: MuTRG-ADTX ボード及びシャーシの詳細

3.3.4 MuTRG-MRG ボードと DCM Interface ボード

設計概念

MuTRG-ADTX ボードは MuTr の近くに置かれ、1 枚あたり 64 ch 分のヒット情報を論理信号化し、光ケーブルを通して送信する。MuTr のチャンネル数は合計 ~9000 ch にも及ぶ (表 3.4 参照) ため、測定室側に送られてきたデータをまとめた上で、PHENIX の DAQ システム及びトリガー決定を行う回路に取り込む必要がある。また、MuTRG-ADTX ボードに対するビームクロックや、スローコントロールを供給する必要もある。

これらの機能を果たす回路が MuTRG-MRG ボードと DCM Interface ボードである。図 3.22 に MuTr の信号が MuTRG-ADTX、MuTRG-MRG、DCM Interface ボードを通り、PHENIX の DCM (データ収集モジュール) とレベル-1 トリガー発行ボード (LL1 ボード) まで送られる際の概念図を示す。また、図 3.23 は MuTRG-MRG ボード越しに MuTRG-ADTX ボードを制御 (スローコントロール) する際の概念図である。

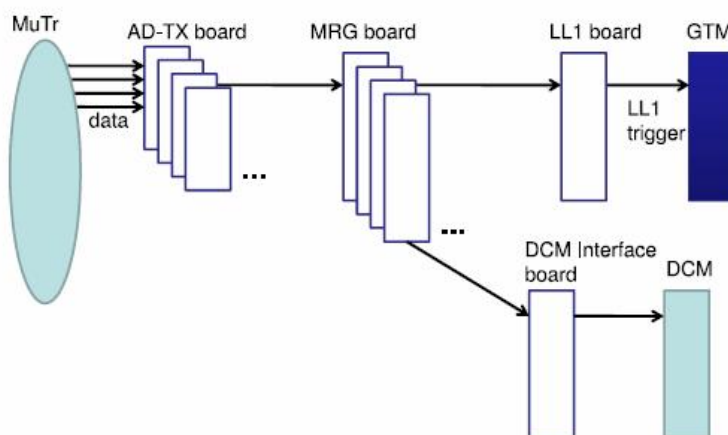


図 3.22: 我々が開発中の回路全てが完成したときのデータの流の概念図。MuTRG-MRG ボードが LL1 ボードと DCM Interface ボードにデータを送り、DCM Interface ボードが DCM にデータ送信する。

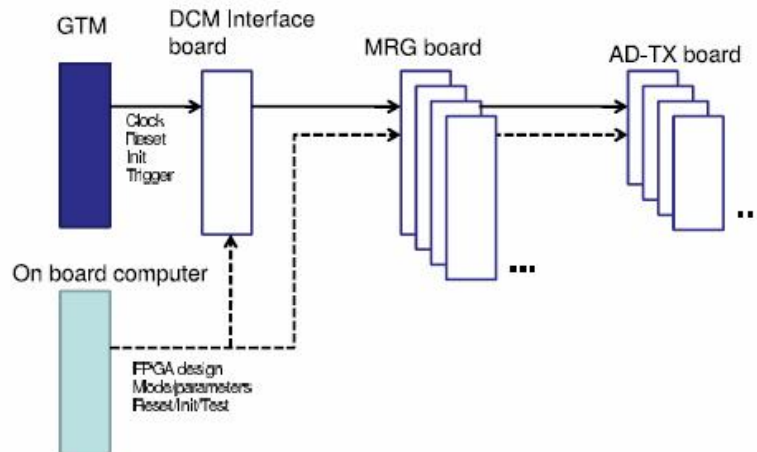


図 3.23: スローコントロール信号やビームクロックを送る時の概念図。GTM からの信号を DCM Interface ボードが受け取り MuTRG-MRG ボードに送信する。MuTRG-MRG ボードはその信号をさらに MuTRG-ADTX ボードに向けて送信する。MuTRG-MRG ボードは VME バス越しの操作も可能である。

MuTRG-MRG ボードは MuTRG-ADTX ボードからの信号を受け取り、LL1 ボードと DCM Interface ボードへ送信する。1 枚の MuTRG-MRG ボードは最大で 10 枚の MuTRG-ADTX ボードからのデータを受信でき、約 50 イベント（ビームクロック）分のデータを一時的にバッファリングすることができる。LL1 ボードへは各ビームクロック毎にデータ送信し、DCM Interface ボードに対しては、トリガーが発行されたイベントに対してのみデータ送信する。また、測定室側の PC から送られてくる MuTRG-ADTX ボードに対する制御信号（FPGA への書き込み等）やビームクロックを MuTRG-ADTX ボードへ向けて送信する役割も持つ。

DCM Interface ボードは MuTRG-MRG ボードから送られてきた、トリガーにかかったイベントのヒット情報を PHENIX のデータ収集モジュールである DCM に向けて送信する。また、PHENIX 検出器全体のタイミングを制御するためのモジュールである Granule Timing Module (GTM) からの信号（ビームクロックや初期化命令やトリガー等）を MuTRG-MRG ボードに送信する機能も持つ。

要求性能

LL1 ボードには各 Arm の MuTr の各ステーションからの情報を入力する必要があるが、MuTr を通過した μ 粒子が Octant をまたいだ場合にはトリガーを発行しないようにデザインされる計画である（3.2 章参照）。そのため、別の Octant の情報を 1 つの LL1 ボードに送信する必要はない。設置する MuTRG-ADTX ボードの数は、1 Arm , 1 ステーション , 1 Octant, 1 Plane あたり最大 5 枚であり（表 3.4 参照） MuTRG-ADTX ボードの検出効率を良くするために 2 Plane 分の論理和（OR）を取る計画である（5.2.2 章参照）ことを考えれば、1 Octant の情報をまとめるためには、1 枚の MuTRG-MRG ボードで 10 枚の MuTRG-ADTX ボードからのデータを受信できれば十分である（ステーション 3 の情報は Half Octant 毎にまとめられるので、受信するチャンネル数が最大になるのは、North Arm ステーション 2 用の MuTRG-MRG ボードである）。

MuTRG-MRG ボードは、MuTr の各 1 Octant , 2 Plane から送られてくる情報をチャンネル順に並べなおし、OR をとる。こうして、1 Octant 分のヒット情報を再現し、各ビームクロック毎に LL1 ボードに送信する。この際、データ送信には TLK3101 (TI Co.) を用いるつもりであり、この IC の入力ピンが 16-bit であるため、3.3.2 章で説明したようなデータフォーマットが必要になる。1 LL1 ボードに送信する最大のチャンネル数は、192 ch (North Arm ステーション 2 の 1 Octant 分、表 3.4 参照) であるため、16-bit をひとまとまりとしたときのデータパケット数は $192 \text{ ch}/16 \text{ bit} + 2 = 14$ 個 (最後の 2 つはビームクロックカウンターと C.E.) となる。ここでも、PHENIX ビームクロック ($\sim 9.4 \text{ MHz}$) のジッターは TLK3101 の許容範囲を超えているため、非同期回路を作る必要があり、140 MHz の低ジッタークロックが配置される。よって、LL1 へのシリアルデータ送信レートは、データエンコーディングの 8b/10b を考慮して、 $16 [\text{bit}] \times 140 [\text{MHz}] \times 10/8 = 2.8 [\text{Gbps}]$ となる。

		ステーション 1	ステーション 2	ステーション 3	合計
North Arm	チャンネル数/Octant	96	192	320	608
	MuTRG-ADTX の枚数/Octant/Plane	2~3	5	7	14~15
	MuTRG-MRG の枚数	8	8	16	32
South Arm	チャンネル数/Octant	96	160	256	512
	MuTRG-ADTX の枚数/Octant/Plane	2~3	4	6	12~13
	MuTRG-MRG の枚数	8	8	16	32

表 3.4: 1 Octant あたりのチャンネル数、1 Octant , 1 Plane あたりの MuTRG-ADTX ボード数と MuTRG-MRG ボードの数。MuTRG-MRG ボードはステーション 1 と 2 については、1 Octant , 2 Plane 分、ステーション 3 については 1 Half Octant , 2 Plane 分の MuTRG-ADTX ボードからの信号を受けるため、受信口として最大 10 口あれば良い (North Arm ステーション 2 用)。

トリガーが発行されたイベントに対してのみ、MuTRG-MRG ボードから DCM Interface ボードにデータが送信される。DCM Interface ボード 1 枚に対しては、16 枚の MuTRG-MRG ボードからの信号を入力することができる⁸。MuTRG-MRG ボードの数が合計で 64 枚であることから (表 3.4 参照)、DCM Interface ボードの必要枚数は 4 枚である。DCM Interface ボードは MuTRG-MRG ボード 16 枚分のデータをあわせて DCM へ送信する。DCM Interface ボードと DCM 間のデータ送信には TLK2501 (TI Co.) という IC が使われる予定で、送信レートは 1.6 [Gbps] になる。また、PHENIX のタイミングを制御する GTM からの信号を受けるために HDMP1024 (AVAGO Co.) という IC が実装されている。GTM はタイミング制御のために 20 bit のデータをシリアル化して送信しており (G-Link と呼ぶ、詳細については [15] 参照)、DCM Interface ボードはこの 20 bit のシリアル信号から制御の内容を抽出し、MuTRG-MRG ボードへ送信するという役割も担っている。

MuTRG-MRG ボードと DCM Interface ボードは現在開発中である。

LL1 と DCM

LL1 ボードは、MuTRG-MRG ボードから送信されてきた MuTr のヒット情報と RPC のヒット情報を受け取り、その情報からミュオンアーム内を通過した μ 粒子の粗い軌道を求め、高運動量 μ 粒子を選択的

⁸この数は MuTRG-MRG ボードを設置する VME クレーットの最大スロット数によって制限されている。

に選り出す。そして、高運動量 μ 粒子が検出されれば PHENIX 検出器に対してトリガーを発行するという機能を持つ (3.2 章参照)。このボードは現在 PHENIX Collaboration の 1 つである、Iowa 州立大学の研究チームが中心となって開発中である。

DCM は PHENIX 検出器においてデータ収集のために使われている既存の回路であり、PHENIX 側が、我々 Muon Trigger Upgrade グループのために新しく用意してくれる予定である。

第4章 PHENIX における性能試験

本章では、2007年夏に行った、我々が開発してきた回路の動作試験について説明する。この動作試験は、我々の開発した回路（MuTRG-AD ボードと MuTRG-TX ボード）を実際に PHENIX 検出器の MuTr の一部に設置して宇宙線データを収集し（夏の間 RHIC はシャットダウンしているためビームは出ていない）、MuTr 現行 FEE への影響の見積もり及び新しい回路の性能評価を目的としたものである。

ここでは、まず、実際に PHENIX に設置するために考慮しなければならない問題点及び新しいトリガー生成回路が満たすべき性能について述べ、その後、実験のセットアップやデータ収集方法及び取得したデータセットについて説明する。

4.1 PHENIX への実装について

ここまで、我々の開発した MuTr 用トリガー読み出し回路の詳細について説明してきたが、実際に MuTr 内に設置するためには、考えなければならない問題点が幾つか存在する。ここではまずこれらの問題についてまとめる。その後、問題点を解決するために我々の回路に要求される性能について述べる。

考慮すべき点

考えなければいけない事項は以下の通りである。

1. 新しい回路を設置することによって、現行 FEE のノイズはどれだけ増加するのか？（要求される位置分解能を維持できるのか？）
2. 信号を分割することによる、ノイズ以外の現行 FEE への影響は？（入力信号の遅れや、クラスタリングへの影響）
3. 5% の分割比で、トリガー用読み出し回路として十分な検出効率及び棄却能力が得られるか？（MuTRG-AD ボード上のノイズは問題にならないのか？）
4. 図 3.10 で見られた、時間分布の広がりについてはどのように対処するのか？（ゲート幅をどれだけ広げるのか？また、そのことによってトリガーの棄却能力はどれくらい影響を受けるのか？）
5. 新しい回路を設置すると MuTr のアクセプタンスを削ってしまうが（図 3.13 参照）、それによる影響はどれくらいか？

新しいトリガー回路に要求される性能

上述した考慮すべき点を解決するために、新しいトリガー回路に要求される性能について述べる。

1. について

MuTr に対する具体的な要請としては、 J/ψ や ψ' を十分分離でき、さらに Υ の励起順位を分離できるといふことがある。現在、この要請は約 $100 \mu\text{m}$ の位置分解能 (ノイズレベルは約 1%) を出すことによって達成されている。しかし、図 2.14 より、 $120 \mu\text{m}$ の位置分解能であってもこの要求は達成可能であることが分かる。以上より、我々は $120 \mu\text{m}$ の位置分解能を目標にした。 $120 \mu\text{m}$ の位置分解能に対応するノイズレベルは 1.3% である (図 5.1 参照)。つまり、新しいトリガー回路を設置しても、MuTr 現行 FEE のノイズレベルが 1.3% 程度に抑えられていることを確認しなければならない。また、MuTr の動作電圧を上げればガス増幅率が上がり、信号分割比は変化しないため、ノイズレベルは小さくなるはずである。実際に動作電圧をあげることによって、ノイズレベルをどこまで小さくできるのか確認する必要もある。

2. について

C_{split} という新たなコンデンサーを入れることによって現行 FEE への入力信号が遅延したり、信号を分割することによって現行 FEE へ入る生信号が減ってしまい、現行 FEE の検出効率が低下してしまう等の影響が考えられる。これらについては、実際にデータをとって影響を調べる必要がある (5.1 章にて詳しく述べている)。

3. について

これまでの研究によって、我々の開発してきたトリガー回路は十分な性能を持っていることは分かっている [5, 8, 6, 9]。これらの検証は全て日本にあるテストチェンバーを用いて行われてきた。そのため、実際に PHENIX 検出器内に設置した上での性能評価をしなければならない。また、MuTRG-AD ボード上のノイズによる Fake Hit Rate が 10 kHz であってもトリガーとして十分な棄却能力を持つことはシミュレーションによって確認されている [16]。よって、Fake Hit Rate が 10kHz となるように MuTRG-AD ボードの閾値を設定したときに検出効率がどの程度になるかを検証すれば良い。

4. について

これについても、ゲート幅を 5 ビームクロック (530 nsec) に広げても十分な棄却能力を持つことがシミュレーションによって確認されている (どのビームクロッキングによるイベントであるのかは RPC の情報を使って見分ける) [16]。よって、5 ビームクロック以内のゲート幅を設定した時に十分な検出効率が得られることを確認すればよい。

5. について

MuTRG-AD ボードのシャシーの高さは約 5 cm であり、設置することによって MuTr のアクセプタンスを削るが、それによる μ 粒子の検出ロスは何% 以下である [16]。また、実際に設置する MuTRG-ADTX ボードのシャシーの高さは ~ 3.6 cm なので (表 3.3 参照)、影響は更に小さいと考えられる。

PHENIX 検出器中に我々の回路を設置するためには、以上の性能があることを確認しなければならない。特に、1, 2, 3, 4 については、実際に PHENIX 検出器に回路を設置した上で評価する必要がある。そこで、我々は 2007 年夏に MuTRG-AD ボードと MuTRG-TX ボードを PHENIX・MuTr の一部に設置して

動作試験を行った。次節以降ではこの動作試験の詳細について説明する。

4.2 実験セットアップ

MuTr の一部に MuTRG-AD ボードと MuTRG-TX ボードを設置して、宇宙線データを収集した (図 4.1)。これは、我々の回路からのデータを PHENIX のデータストリームに合わせて収集し、MuTr の現行 FEE によって得られたデータと我々の回路から得られたデータを比較し、その性能評価を行うこと意図したものである。また、我々の回路が設置されたときと設置されていないときの現行 FEE のデータを比べることによって、我々の回路が与える影響も見積もることができる。ここで、我々の回路からのデータを PHENIX データストリームに合わせるために MuID の ROC (Read Out Card) の一部を間借りした (4.2.1 章参照)。使用した PHENIX 検出器のサブシステムとしては、MuTr と MuID である (MuID 一部をトリガー生成用に用いた)¹。

また、PHENIX の DAQ システムはビームクロック (106 nsec, ビームが出ていないときでもシステムクロックとして同じ周波数のクロックが供給されている) と同期してデータ収集しているため、これよりも時間分解能の良いデータを取ることは出来ない。しかし、4.1 章でも述べたように、我々の回路においては時間分布の広がり方が 1 つの問題になっているので、詳細な時間分布を得ることも重要である。そこで、我々は独自のデータ収集システムを構築し、TDC を使って時間分布のデータも収集した (Local DAQ と呼ぶ, 4.2.2 章参照)。

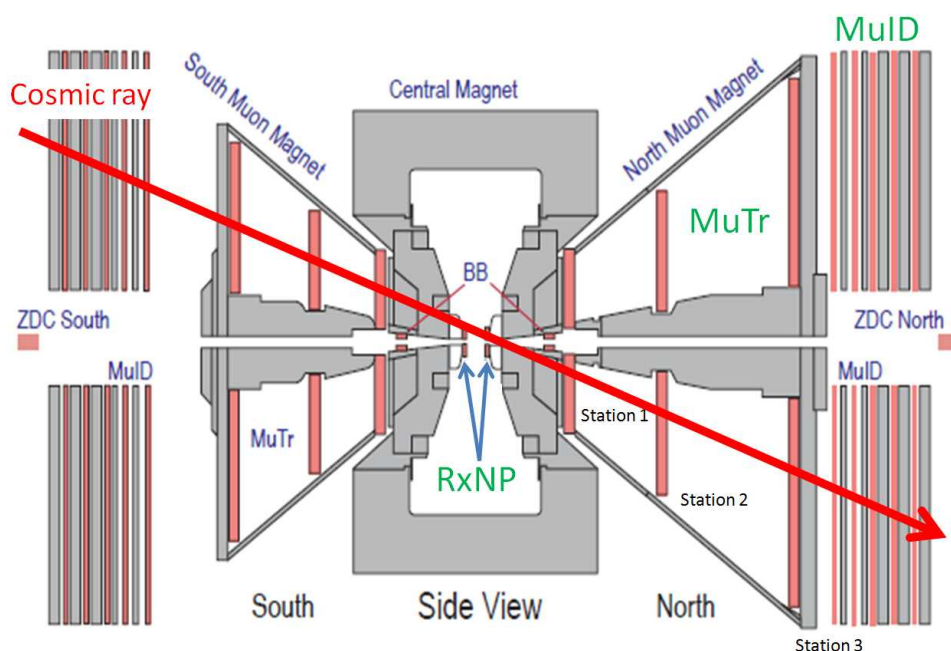


図 4.1: 動作試験のイメージ図 (宇宙線が通ったところ)

¹衝突点付近からきた宇宙線を選び出す目的で RxNP も用いたが、データが十分にたまらなかったため解析には用いていない。

4.2.1 MuTRG-AD ボードと MuTRG-TX ボードの設置

設置位置と設置方法

我々は、新しい回路を North Arm MuTr ステーション 1 Octant 7 ギャップ 2 の non-stereo plane (96 ch) と North Arm ステーション 2 Octant 7 ギャップ 2 の non-stereo plane (192 ch) 及び North Arm ステーション 2 Octant 7 ギャップ 3 の non-stereo plane (48 ch) をカバーするように設置した (表記については 2.3.3 章参照)。ステーション 1 と 2 のギャップ 2 に設置した MuTRG-AD ボードと MuTRG-TX ボードは PHENIX の DAQ システムを用いてデータ収集を行い、ステーション 2 のギャップ 1 に設置した回路は、Local DAQ を用いてデータ収集するためのものである。図 4.2 は新しい回路設置前のステーション 2 Octant 7 における現行 FEE の写真である。

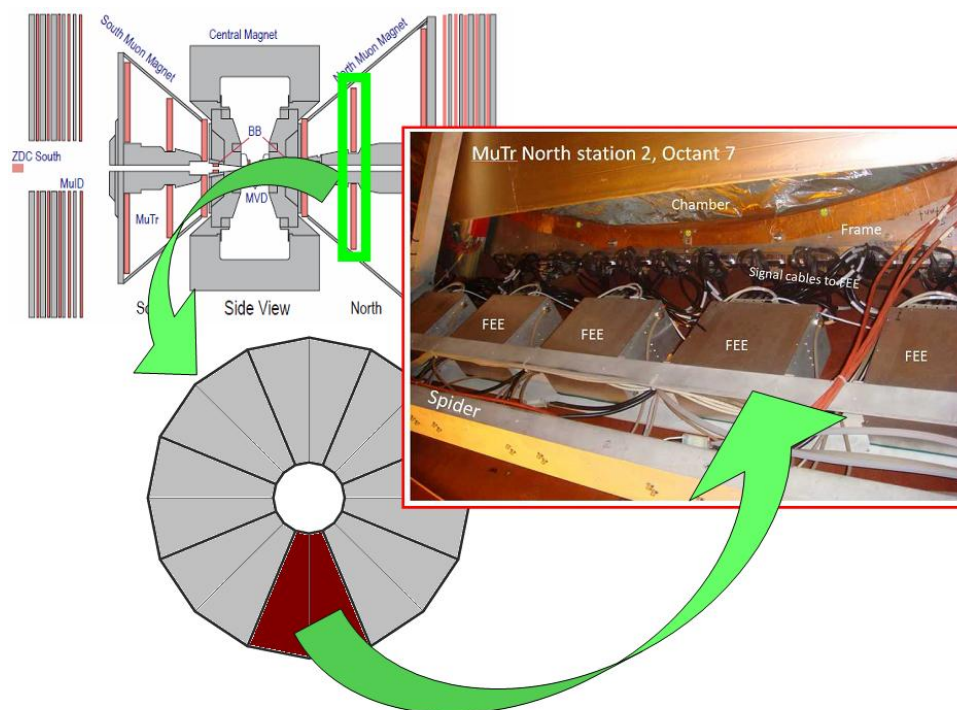


図 4.2: MuTRG-AD , TX ボード設置位置と、設置前のステーション 2 Octant 7 の MuTr 現行 FEE の写真

MuTr からの信号を MuTRG-AD ボードのバックプレーン上で分割して、現行 FEE へ入力する必要がある (3.3.1 章参照)。そのため、設置方法としては、以下の手順を踏むことになる。

1. 現在 MuTr の FEE に接続されている信号ケーブルを一旦抜く
2. 抜いた MuTr からの信号ケーブルを MuTRG-AD ボードのバックプレーンに接続する
3. MuTRG-AD ボードのバックプレーンと MuTr の FEE の間を新たに用意したケーブルで接続する

接続の仕方を示した写真を図 4.3 に示した。また、図 4.4 は 1 組の MuTRG-AD ボードと MuTRG-TX ボードを設置し終わったときの写真であり、図 4.5 はステーション 1 とステーション 2 のカバーするチャン

ネル全てに MuTRG-AD , TX ボードの組を設置したときの写真 (左がステーション 1 で右がステーション 2)。ステーション 2 については、基板への乾燥空気の吹きつけや、冷却用の水を流すことを行っており、今回のテストでは水漏れなどシャシーに不具合がないかどうかの確認も行った。その結果、シャシーに不具合は見つからなかった。

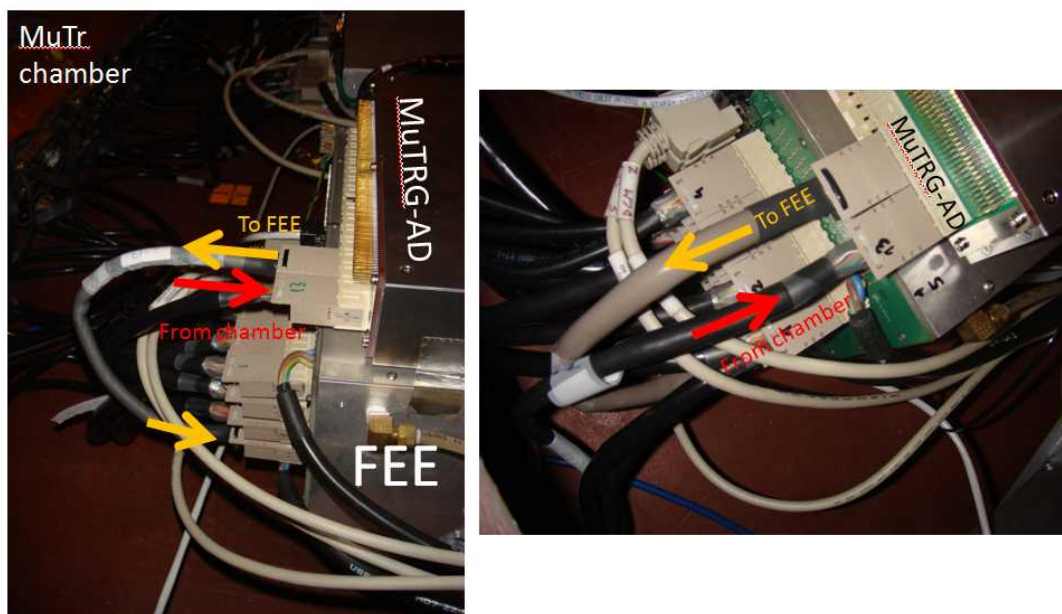


図 4.3: MuTr と MuTRG-AD ボード、MuTr FEE の接続方法。MuTr からの信号を MuTRG-AD ボードシャシーのバックプレーン上で分割して、現行 FEE へ入力している。

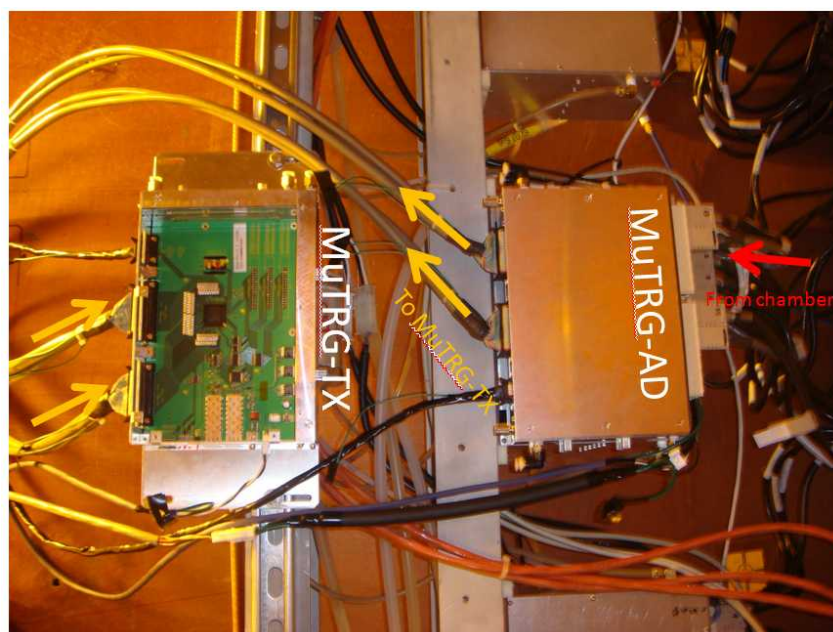


図 4.4: 1組の MuTRG-AD ボードと MuTRG-TX ボードが設置されたときの写真 (ステーション 2 Octant 7)。水冷用のチューブ及び乾燥空気用のチューブはこの段階ではまだ接続されていない。

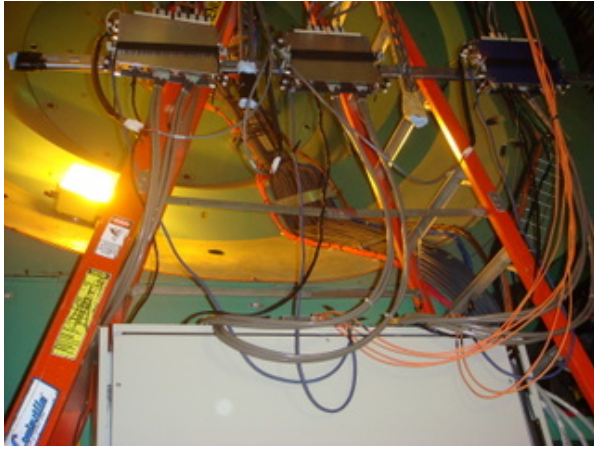


図 4.5: 左図: ステーション 1 への設置後の写真。3 つの MuTRG-AD ボード用シャシー (MuTRG-AD ボードは 3 枚) と 2 つの MuTRG-TX ボードのシャシー (MuTRG-TX ボードは 3 枚) が設置されている。右図: ステーション 2 への設置後の写真。5 つの MuTRG-AD ボード用シャシー (ボード数は 5 枚) と 3 つの MuTRG-TX ボード用シャシー (ボード数は 5 枚) が設置されている。また、水冷用チューブと乾燥空気用チューブも取り付けられている。

MuTRG-AD, TX ボード 1 組で 64 チャンネル分のデータを送信することが出来るが、物理的な配置や MuTr の信号ケーブルの長さの問題があるため、全チャンネルを使うことはできなかった。今回の実験では、ステーション 1 (96 ch) をカバーするのに 3 組、ステーション 2 (192 ch) をカバーするのに 5 組の MuTRG-AD, TX ボードを用いた。また、Local DAQ 用 (48 ch) をカバーするために、1 枚の MuTRG-AD ボードを用いた。MuTRG-AD ボードの出力にはビームクロックを使っていないため、時間分布を詳しく調べるには MuTRG-AD ボードの出力を測定するのが最も適している。

MuTRG-AD, TX ボードのシャシーはそれぞれ 2 枚ずつボードをいれることが出来るが、今回は製作時間の関係もあって、MuTRG-AD ボード用シャシーは 8 個 (ステーション 1 に 3 個, ステーション 2 に 5 個, Local DAQ 用の MuTRG-AD ボードはステーション 2 用のシャシーのうち 1 つに 2 枚のボードを入れた) と、MuTRG-TX ボード用に 5 個 (ステーション 1 用に 2 個, ステーション 2 用に 3 個) 用意した。

表 4.1 に今回の実験でもちいたシャシー、ボード、カバーしたチャンネルナンバー等の情報をまとめた。

MuTRG-AD 番号 (シャシー番号)	TX 番号 (シャシー番号)	ステーション	Octant	ギャップ	Plane	チャンネル
6 (6)	6 (4)	1	7	2	2	80-95
7 (7)	7 (4)	1	7	2	2	48-79
8 (8)	8 (5)	1	7	2	2	0-47
1 (1)	1 (1)	2	7	2	1	0-47
2 (2)	2 (1)	2	7	2	1	48-95
3 (3)	3 (2)	2	7	2	1	96-111
4 (4)	4 (3)	2	7	2	1	112-159
5 (5)	5 (3)	2	7	2	1	160-191
9 (4)	-	2	7	3	1	112-159

表 4.1: 設置した MuTRG-AD, TX ボード及びシャシーの情報。ステーション 1 では Plane 2、ステーション 2 では Plan 1 がそれぞれ non-stereo plane である。ボード及びシャシーの番号は区別するために便宜上つけたものである。

接地方法

MuTRG-AD, TX ボードの設置に際して最も注意を払わなければならないのはグラウンドの接続方法である。これによって、MuTr の現行 FEE のノイズが劇的に変化してしまうからである。ノイズ除去の試行錯誤を重ねた結果、図 4.6 のように、現行 FEE, MuTRG-AD ボード, MuTRG-TX ボードのグラウンドを全て共通にした場合に、現行 FEE のノイズレベルが最も小さいことが分かった（このときのノイズレベルについては 5.1.1 章参照）。ただし、これらのグラウンドは MuTr の支え (SPIDER) や Muon Magnet の YOKE とは接続してはいけない。また、このとき、各 MuTRG-AD, TX ボードの組への複数台低電圧 (LV) 供給モジュール側のグラウンドを全て接続したうえで、現行 FEE への LV 供給モジュールのグラウンドとは切り離しておく必要があることも分かった (図 4.7)。

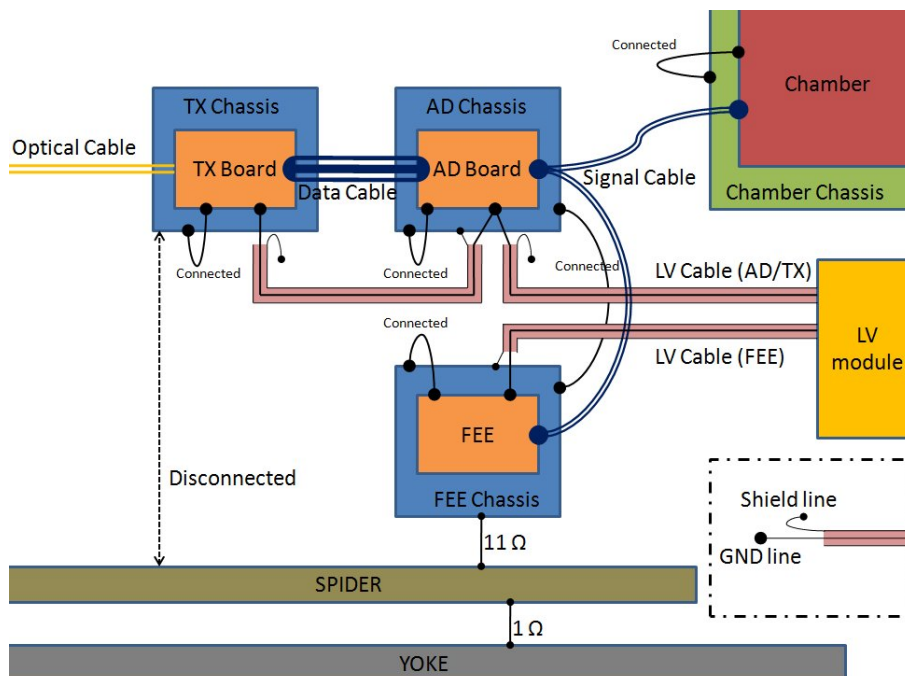


図 4.6: グラウンドの接続の仕方。現行 FEE, MuTRG-AD ボード, MuTRG-TX ボードのグラウンドとシャシーを全て接続した上で、MuTr の支えや Muon Magnet の YOKE とは切り離したときに現行 FEE のノイズレベルが最も小さくなった。

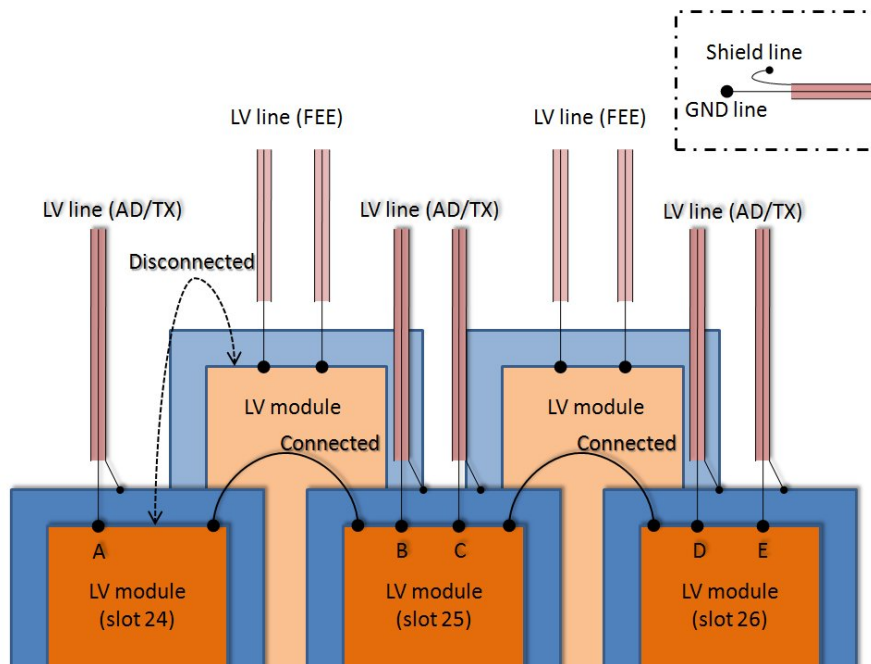


図 4.7: LV 供給モジュール側におけるグラウンドの接続方法。各 MuTRG-AD, TX ボードの組への複数台 LV 供給モジュール側のグラウンドを全て接続したうえで、現行 FEE への LV 供給モジュール側のグラウンドとは切り離れたときにノイズレベルは最も小さくなった。

この接地方法の試行錯誤の結果、MuTRG-AD ボードと MuTRG-TX ボードを 1 体にしても良いと考えられ、MuTRG-ADTX ボードの開発が進められた (3.3.3 章)。

データ収集方法

ステーション 1 ギャップ 2 の 96 ch、ステーション 2 ギャップ 2 の 192ch に設置した我々の回路のデータは PHENIX のデータストリームに合わせて取得しなければ、MuTr の現行 FEE の取得データとイベント対応させることが難しくなり、性能評価できなくなってしまう。そこで、我々は MuID の ROC の一部 (動作試験において使わない部分) を間借りして、我々の回路のデータを PHENIX のデータストリームに取り込むことにした。

ここで、MuTRG-TX ボードから送信されるデータはシリアルな光信号である。よって、この送信されてくるデータを受け取り、元の平行データに回復し、更に MuID ROC の入力レベル (典型的な入力信号の大きさは 500 mV ~ 1 V で、閾値は 90 mV) に合った信号を出力するようなインターフェイスボードが必要になってくる。我々はこのインターフェイスボードをデザイン、生産し、実際に動作試験において使用した。

ステーション 1 用とステーション 2 用のデータは別々にまとめた方が都合が良いので、インターフェイスボードの光信号の受け口は最大 5 つで良い (ステーション 1 の MuTRG-AD, TX の組は 3 つ、ステーション 2 の MuTRG-AD, TX の組は 5 つなので)。よって、仕様としては、オプティカルトランシーバー (AVAGO Co., AFBR5710LZ) 及び TLK1501 (TI Co.) を 6 つ実装し (1 つはビームクロックの受け口として使用)、その後方に FPGA (Xilinx Co., Spartan3, XC3S4000, FG900) が配置され、また、出力用の

68 ピンコネクタ（32 pin 分が出力として使える）を 9 個備えたものである（ $32 \times 9 = 288$ ピン分信号を出力できる）。

図 4.8 は実験における MuTRG-AD, TX ボードと MuID ROC の接続のブロックダイアグラムであり、図 4.9 はインターフェイスボードの写真である。また、図 4.10 はインターフェイスボードの機能をブロックダイアグラムで表したものである。

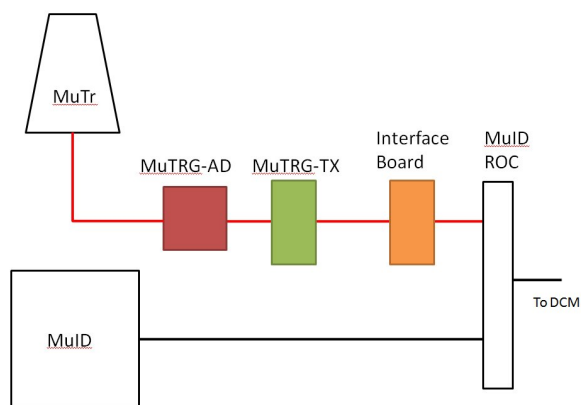


図 4.8: テスト実験におけるデータ収集のためのセットアップのブロックダイアグラム



図 4.9: インターフェイスボードの写真（ステーション 1 用）

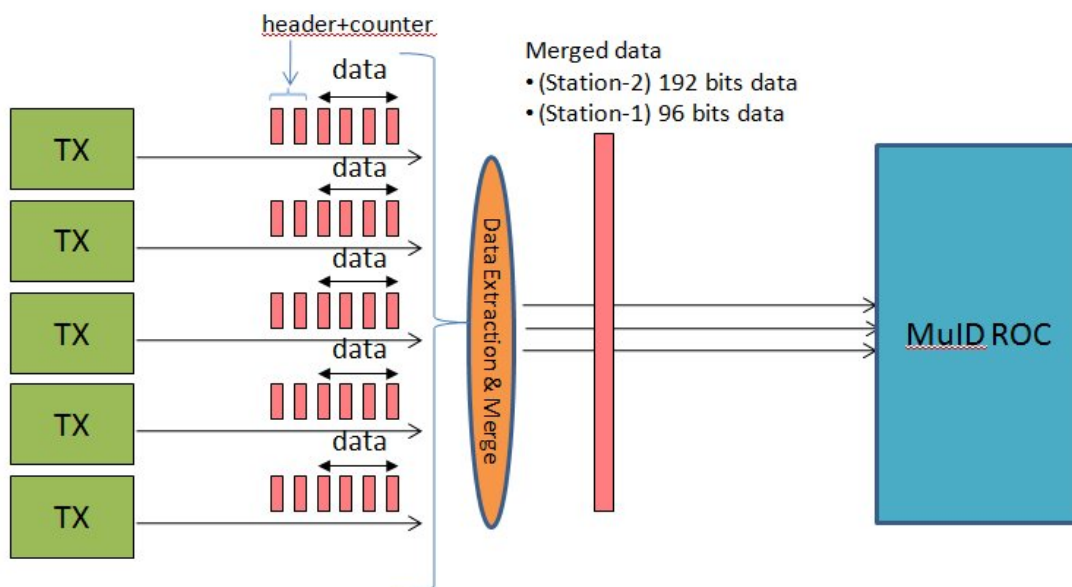


図 4.10: ブロックダイアグラムで表したインターフェイスボードの機能

トリガー

宇宙線データ（ほとんどが μ 粒子）を収集するために使用したトリガーは MuID LL1 と BLT (1D) の OR を取ったものである。データレートとしては、MuID LL1 が ~ 4.7 Hz、BLT が ~ 670 Hz であった。

4.2.2 Local DAQ System

より詳細な時間分布を得るために、Local DAQ を組んで、TDC (CAEN Co., V1190A) を用いて MuTRG-AD ボードからのデータを取得した (解析の詳細は 5.2.3 参照)。Local DAQ 用の MuTRG-AD ボードが設置されたのは、ステーション 2 Octant 7 ギャップ 3 の non-stereo plane の 192 ch のうち、48 ch 分だけである。トリガーは、MuTr のそばに設置した 1 枚のシンチレーター (幅 10 cm, 長さ 52 cm) を用いて作った。また、PHENIX DAQ 用のトリガーである MuID LL1 と BLT の信号も TDC に入力した。これは、MuTRG-AD ボードからのデータに、MuID LL1 または BLT 信号があるというカットをかけることによって、Local DAQ のデータを PHENIX DAQ で収集したデータの質に近づけようという意図をもって行った。しかし、これを行っても、Local DAQ のデータと PHENIX DAQ で収集したデータのイベント対応を行うことはできない。

図 4.11 に Local DAQ システムのブロックダイアグラムを示す。また、図 4.12 はシンチレーターを MuTr のそばに設置したときの写真である。実験中は、Local DAQ を用いてステーション 2 とステーション 1 それぞれに MuTRG-AD ボードを設置した時の時間分布を測定しようとしたが、ステーション 1 の方は時間的な制約からほとんどデータをとれなかった。

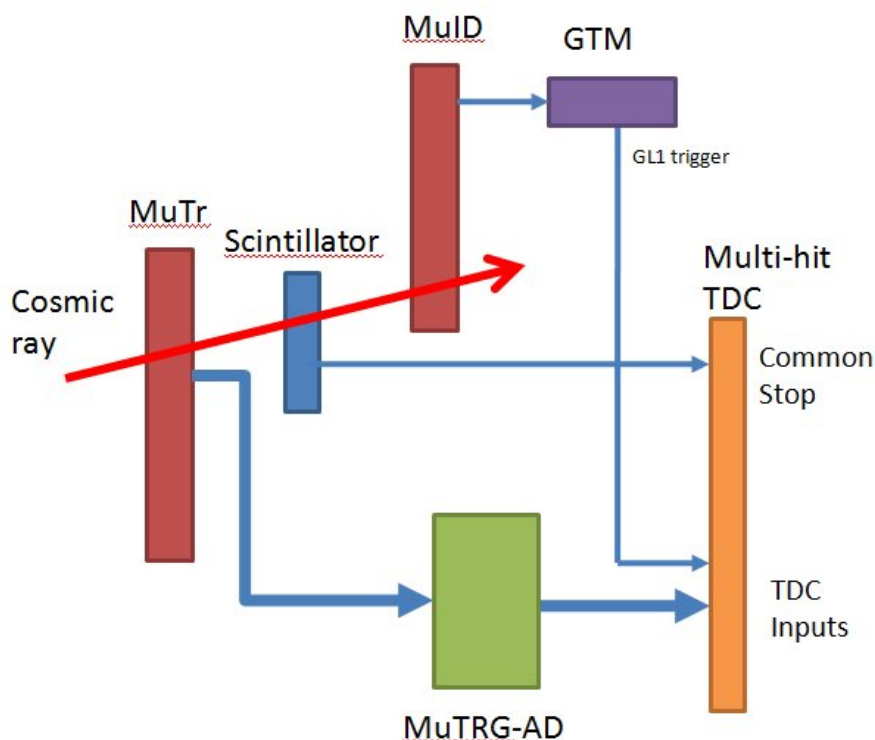


図 4.11: Local DAQ システムのブロックダイアグラム

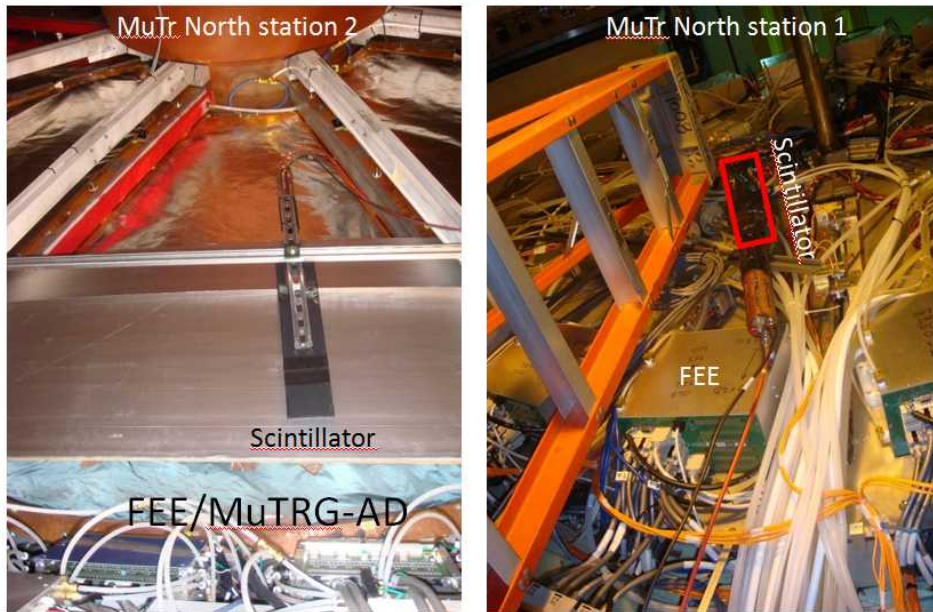


図 4.12: トリガー用シンチレーターを MuTr のそばに設置した写真 (左: ステーション 2 のそばに設置したとき, 右: ステーション 1 のそばに設置したとき)

4.3 取得したデータセット

上記セットアップにて約 2 週間データ収集を行った。また、1 日 1 回 MuTr のキャリブレーションを行い、ノイズレベルの安定性のチェックや、環境によって変化するガス増幅率の違いへの対応 (オフライン解析において活用) を行った。また、MuTRG-AD ボードの閾値を変化させてのデータ収集や、MuTr の動作電圧 (HV) を通常²より 25 V 上げた状態でのデータ収集も行った³。表 4.2 に取得データセットをまとめる。

データ	トリガー	条件	データ量
MuTr Pedestal	キャリブレーションシステム	接地条件を変えてのデータ収集	各条件につき ~1 k イベント
MuTr キャリブレーション	キャリブレーションシステム		1 日 1 回
宇宙線	MuID LL1 BLT	F.H.R < 1 kHz	266 M イベント
宇宙線	MuID LL1 BLT	F.H.R = 1 kHz (閾値 ~ 28 mV)	12 M イベント
宇宙線	MuID LL1 BLT	F.H.R = 10 kHz (閾値 ~ 25 mV)	16 M イベント
宇宙線	MuID LL1 BLT	全チャンネル閾値 20 mV	16 M イベント
宇宙線	MuID LL1 BLT	HV +25 V	30 M イベント

表 4.2: 取得データのまとめ。「条件」における F.H.R は Fake Hit Rate を意味しており、MuTRG-AD ボードにおける閾値を表す (5.2.1 章参照)。

²通常の動作電圧は、ステーション 1 では 1875 V, ステーション 2 では 1900 V である。

³実際は、ステーション 1 の動作が湿気によって不安定だったため、ステーション 2 のみ 1925 V に上げた状態でデータ収集した

第5章 新トリガー系の性能評価

新しい回路を PHENIX に設置するためには確認しなければならないことが幾つかある (4.1 章参照)。2007 年夏のテスト実験は、4.1 章で挙げた事項のうち 1~4 を確認するために行われた。

この章においては、確認事項のうちの 1, 2 について 5.1 章において検証した後、3, 4 について 5.2 章において議論する。

5.1 現行回路への影響

5.1.1 ノイズレベル

ここでいうノイズレベルとは、

$$(\text{ノイズレベル}) = \frac{(\text{Pedestal の RMS 値})}{(\text{MuTr のピークストリップにおける MPV})} \quad (5.1)$$

で定義される量である¹。図 5.1 より、明らかにノイズレベルと位置分解能には相関があるため、現行 FEE のノイズレベルを測定すれば MuTr の位置分解能の大体の値は予想できることになる。以下では MuTRG-AD, TX ボードを実際に設置したときに、ノイズレベルがどれだけ変化するかについて検証する。

¹RMS は Root Mean Square, MPV とは Most Probable Value のことである。また、MuTr にヒットがあったとき、1 ストリップ (チャンネル) ではなく複数のストリップに電荷は誘起される。このうち、最大の電荷が誘起されたストリップをピークストリップと呼ぶ。

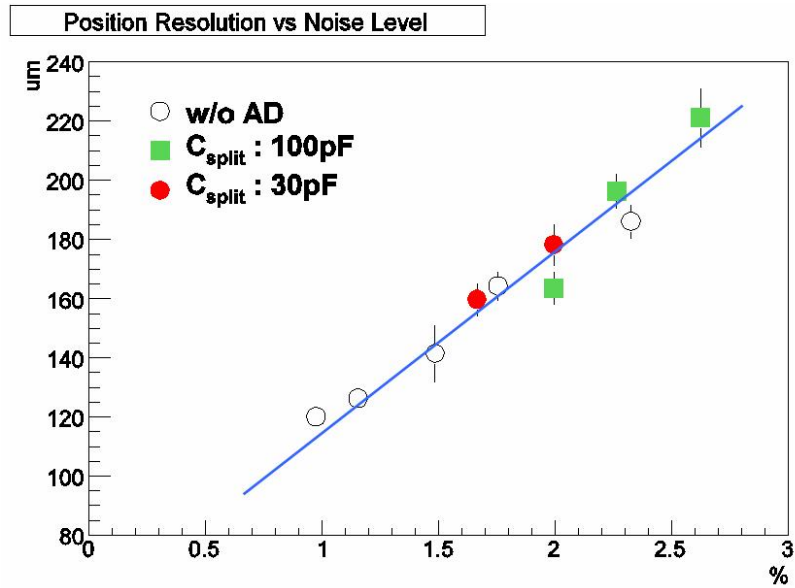


図 5.1: MuTr の現行 FEE におけるノイズレベルと MuTr の位置分解能の関係 (reference 検出器の位置分解能による不確定性 $\sim 50 \mu\text{m}$ を含む)。MuTRG-AD ボードを接続しなかったとき (白点) と接続したとき (赤点と緑点) においてテストベンチで得られたものであり、ノイズレベルと MuTr の位置分解能に相関があることが明らかである [9]。この図より、ノイズレベル 1.3 % のときには $\sim 120 \mu\text{m}$ 位置分解能が達成できることが分かる (reference 検出器の位置分解能を差し引いて)。

Pedestal

図 5.2 は Pedestal 分布の例である。ここでは、この分布の RMS 値をもってノイズを議論することが出来る。

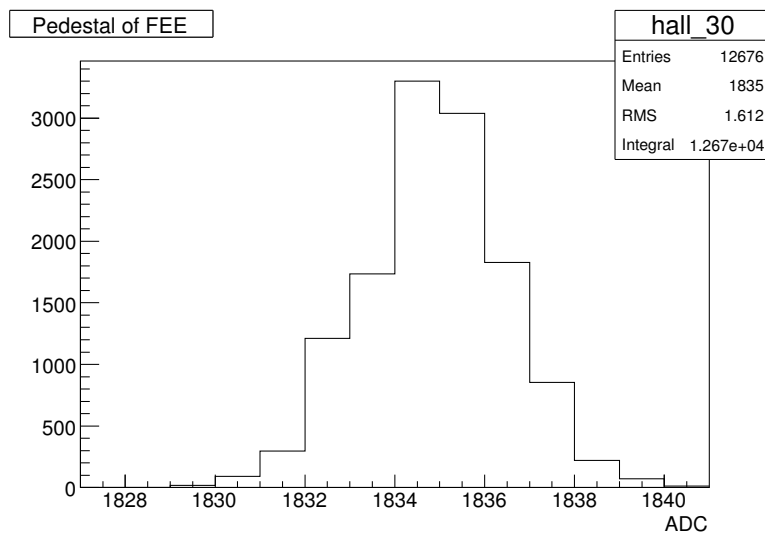


図 5.2: Pedestal 分布の例

図 5.3 は、2007 年夏のテスト実験中に MuTRG-AD , TX ボードを設置した場所における各チャンネルの Pedestal の RMS 値である。黒いプロット点が新しい回路を設置する前の値で、赤い点が設置した後の値である。明らかに設置した後の方が Pedestal の RMS 値が大きくなっていることがわかる。ここで、上はステーション 1 (96 ch) , 下はステーション 2 である (192 ch) 。下のプロットについては、構造が見えるが、MuTr の 1 つの Octant は 2 つの Half Octant に分かれており、Half Octant の中心のほうgstリップの長さが長くなっているため、キャパシタンスが大きく、ノイズが大きくなってしまふ。よつて、ステーション 2 の 40 ~ 60 ch 辺りと 140 ~ 160 ch 辺りの Pedestal RMS の値は周りのストリップに比べて大きくなつてしまふのである (確認しづらいが、ステーション 1 についても同様の傾向が見られる)。

図 5.4 は図 5.3 中の黒点の値と赤点の値の比をとつたものである。これより、我々の回路を設置することによつて、Pedestal RMS の値は平均で、ステーション 1 では ~ 35 %、ステーション 2 では ~ 22 % 増加したことがわかる。ここでもまた構造が見えている。既に大きなキャパシタンスを持つている長いストリップに対しては、MuTRG-AD ボード上のコンデンサー C_{split} を付加することはノイズの大きさという観点ではあまり影響を及ぼさないため、図 5.3 とは逆の形を持つた構造が見えている。

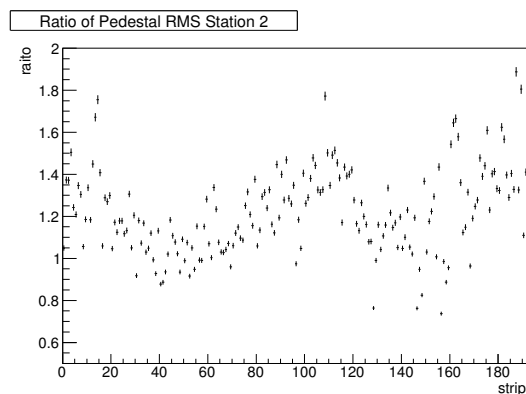
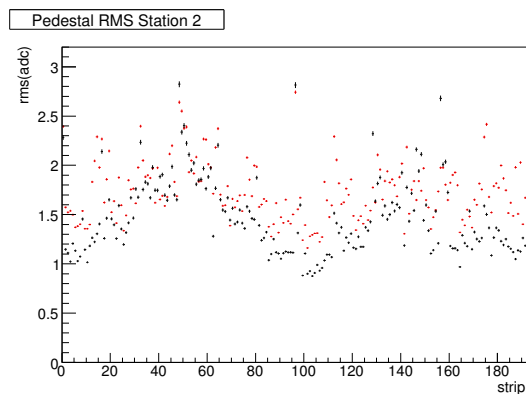
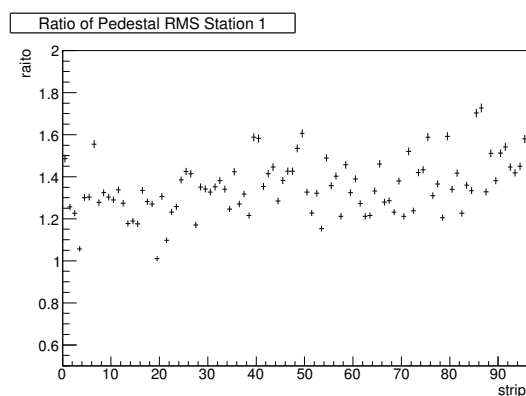
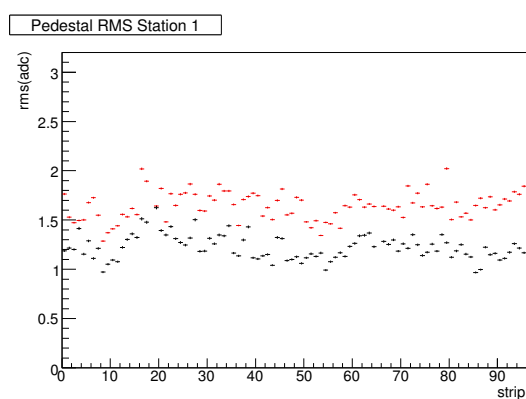


図 5.3: ステーション 1 (上図) ステーション 2 (下図) の各ストリップにおける Pedestal の RMS 値 (黒: MuTRG-AD , TX ボード設置前, 赤: 設置後)。設置後の RMS の方が大きくなつてゐることがわかる。

図 5.4: 新たな回路の設置前と後での Pedestal RMS 値の比 (上図: ステーション 1, 下図: ステーション 2)。回路を設置することによる RMS の増え方としては長いストリップよりも短いストリップの方が顕著に現れる。

Gain

MuTRG-AD ボードは MuTr の生信号の一部を分割して使うため、現行 FEE の方へ入る信号は新しい回路を設置する前後で変化するはずである。このことを定量的に見積もるためにキャリブレーションパルスを用いて、信号の高さがどれ位変化するのかを確認した。図 5.5 はキャリブレーションパルスを MuTr に入力したときに現行 FEE へ出力される信号の振幅について、MuTRG-AD , TX ボードを設置する前と後で比をとったものである（上がステーション 1 で下がステーション 2）。この図より、我々のボードを設置することによって現行 FEE へ入る信号は、設置しない場合と比べて ~ 90 % に減少していることが分かる。ステーション 1 の 40 ch 辺りに 90% よりもだいぶ小さい値になっているチャンネルがあるが、ここはストリップの短い部分であり、他のストリップと比べてもデータがうまく取れず、おかしな挙動をすることが分かっている。

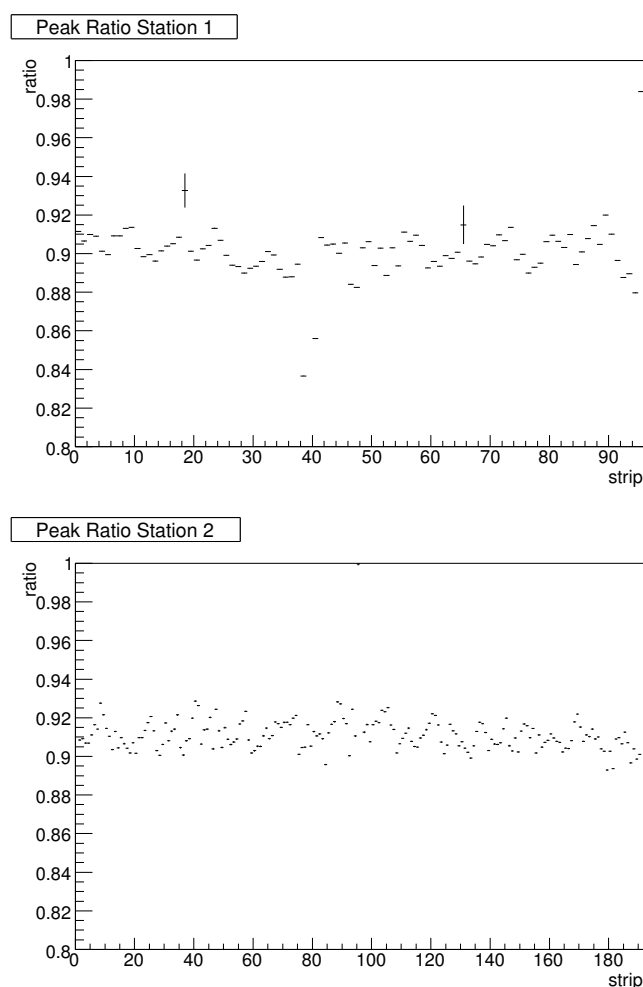


図 5.5: キャリブレーションパルスを入力したときの、現行 FEE における信号の振幅の比 (MuTRG-AD , TX ボードを設置した後と前とで比を取っている)。上がステーション 1 で下がステーション 2。ともに設置前に比べて振幅が 90 % になっていることが分かる。

2007年夏の実験においては C_{split} として 56 pF のコンデンサーを用いた（本当は 50 pF を使いたかったが、市販品として 50 pF のコンデンサーは出回っていなかったため、この値を選択した）。そのため、信号の分割比は 94 : 6 になるため、現行 FEE へ入る信号は MuTRG-AD, TX 設置前の ~ 94 % になるはずである。つまり、図 5.5 の結果は、計算よりも小さい値となっている。

この ~ 90 % に減少するということが正しいかどうか検証するために、宇宙線データについても新しい回路の設置前後で現行 FEE へ入る信号の振幅がどう変化するのかを解析する必要がある。設置前後の宇宙線データを比較するために、電荷分布の MPV を用いた。図 5.6 に MuTr の電荷分布を示す。横軸は "q value" と呼ばれる、ADC 値にキャリブレーション較正を施した値である。この電荷分布を Landau Fit すれば MPV が求まる（図中には Fit 曲線も示してある）。宇宙線データについて、それぞれのチャンネルの電荷分布から MPV を求めたものが図 5.7 である（ステーション 1 Octant 7 ギャップ 2 の non-stereo plane（左）とステーション 2 Octant 7 ギャップ 2 の non-stereo plane（右））。この図から分かるように、幾つか MPV が変な値を取るチャンネルが存在するが、そのようなチャンネルは除去した上でデータ解析を行った。

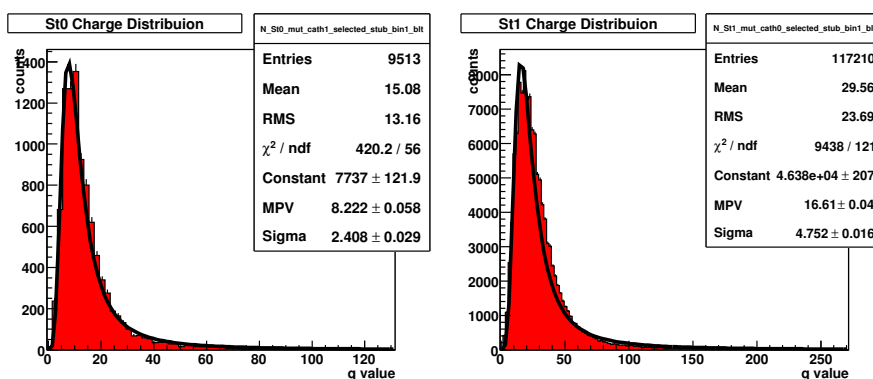


図 5.6: MuTr の電荷分布（横軸は q value）。左がステーション 1 で右がステーション 2 である。

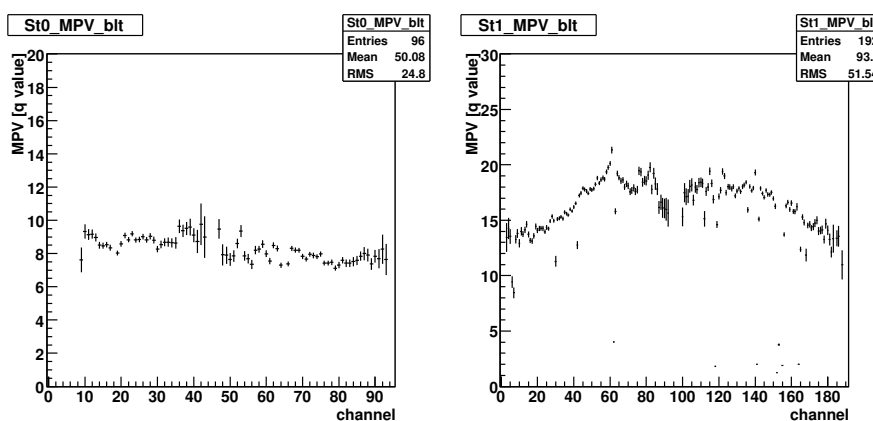


図 5.7: チャンネル毎の MPV の分布。左がステーション 1 で右がステーション 2 である。特にステーション 2 において、ところどころ変な値のチャンネルが存在することが分かる。これは、キャリブレーション較正がうまくいっていないか、デッドチャンネルであると考えられるため、これらのチャンネルは除去して解析した。

このようにしてチャンネルごとの MPV を求め、新しい回路を設置する前と後で MPV の比がどう変化するかを計算したものが図 5.8 である。ここで使ったチャンネルはステーション 2 Octant 7 Half Octant 2 ギャップ 3 の non-stereo plane である。この面には Local DAQ 用の MuTRG-AD ボードを設置してあり、図中の青点線の間チャンネルに回路が設置してある。この面を使った理由としては、新しい回路が全チャンネルを覆っているギャップ 2 では回路の設置時期が早かったため、設置前のデータが十分に取れていないためである（Local DAQ のセットアップの時期はデータ収集期間の中ごろであったため、ギャップ 3 については設置前と設置後のデータが揃っている）。回路を設置してあるチャンネルにおける比の平均は ~ 0.97 になった。しかし、我々の回路を設置していないチャンネルについては、比の値が 1 より大きくなっているように見受けられる。

新しい回路を設置していないチャンネルにおいて MPV の値が増加しているように見える（比が 1 より大きくなっている）のは、ガスの密度や MuTr FEE のアンプゲインが温度によって変化してしまったためと考えられる²。

図 5.9 はステーション 2 Octant 7 におけるギャップ 1~3 までの全ての plane において MPV の比を計算したものである。新しい回路を設置した plane はギャップ 3 カソード 1 (non-stereo plane) HalfOctant 2 であるため、その部分の比だけが他と比べて小さくなっていることが分かる³。また、ボードが設置されていない plane については MPV の比が ~ 1.03 と、1 より大きくなっていることが分かる。

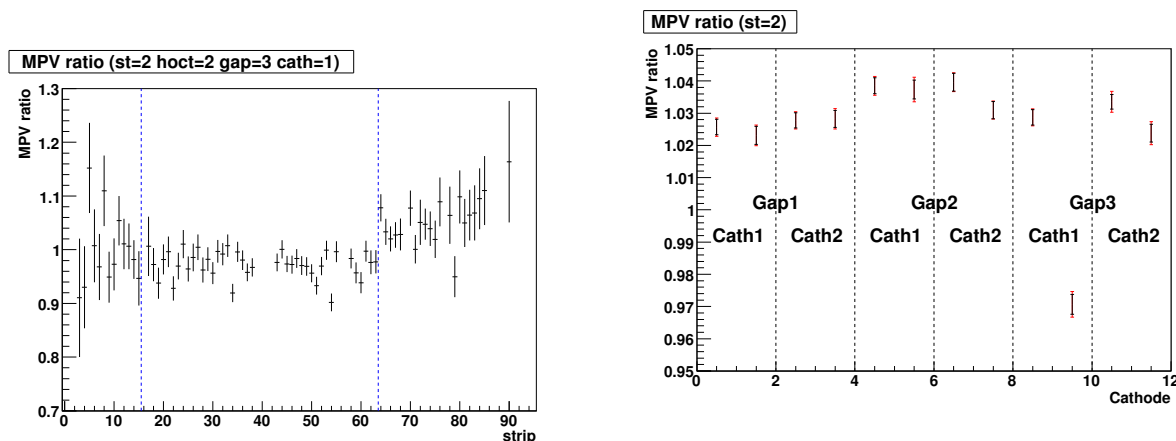


図 5.8: MuTRG-AD , TX ボードの設置前後における MPV の比 (ステーション 2 Octant 2 HalfOctant 2 ギャップ 3 の non-stereo plane)。青点線で区切られた内側のチャンネルが新しいボードを設置した位置である。

図 5.9: ステーション 2 Octant 7 におけるギャップ 1~3 までの全ての plane において MPV の比を計算したもの。Cath 1 は non-stereo plane、Cath 2 は stereo plane である。また、各 Cath において 2 個点があるのは、Half Octant 1 と 2 で分けているためである。回路を設置していない部分については 3% 程度 MPV が上昇していることが分かる

新しい回路を設置していない部分には触れていないため、この MPV の上昇は温度などの環境に起因したものであると考え、設置した部分についても同じ程度 MPV が上昇したと考え、新しい回路を設置した

²実際に、Pedestal の平均値は温度によって 2 ADC ch/degree 程度変化することが確認されている。

³ギャップ 2 カソード 1 HalfOctant 1 と 2 についても新しい回路は設置されているが、Local DAQ 用の MuTRG-AD ボードを設置する 1 週間位前から設置されているため、このデータ解析における "新しい回路の設置前と後" では両方とも回路は設置されており、そのため、MPV の比には設置による影響が現れてこない。

部分について MPV の比は ~ 0.97 となり、設置していない部分については ~ 1.03 となることから、設置前後で、現行 FEE へ入る信号は $0.97/1.03 \sim 0.94$ 倍になる。つまり、新しい回路設置後の現行 FEE へ入る信号は、設置前の $\sim 94\%$ になる。これは計算と合っている。

キャリアレーションパルスでは新しい回路設置前の $\sim 90\%$ であったのに対して、宇宙線では設置前の $\sim 94\%$ であることが分かった。この違いは、MuTRG-AD ボードのプリアンプ部に周波数依存性があるためであると考えられる。宇宙線による MuTr の信号と、キャリアレーションパルスによる信号では周波数成分に違いがあるために、このように分割比に違いが出てくるのである。

ノイズレベル

ノイズレベルは式 (5.1) で計算される。MuTr において、我々の回路を入れない状態で $100\ \mu\text{m}$ の位置分解能を達成するには 1% のノイズレベルに保つ必要があり、実際に現在このノイズレベルが達成されている。図 5.10 と図 5.11 はそれぞれステーション 1 とステーション 2 のノイズレベルである (全ギャップ、全 plane 分)。図 5.10 において MuTRG-AD, TX ボードが設置されているのはギャップ 2 カソード 2 (non-stereo plane) であり、これは 2 段目の右側 2 つのプロットである (2 つに分かれているのは Half Octant 毎に分けているため)。3 段目 (ギャップ 3) において、ノイズレベルが ~ 0.03 (約 3%) まで上昇しているが、これは我々の回路を設置していないギャップであり、直接的な関係はないと考えられる。また、1 段目の一番左の図 (ギャップ 1 カソード 1 Half Octant 1) の 15 ch まで抜けている部分があるが、この部分のデータは収集されておらず、何らかの理由によってハードウェア的に mask されていた部分である。我々の回路を設置している部分のノイズレベルに注目すると、ノイズレベルは Half Octant 1, 2 とともに平均で $\sim 1.2\%$ になっていることが分かる。

図 5.11 において新しい回路を設置しているのはギャップ 2 カソード 1 (non-stereo plane) であり、これは 2 段目の左側 2 つのプロットである (2 つに分かれているのは Half Octant)。また、赤点は MuTr の HV (High Voltage) を $25\ \text{V}$ 上げてデータ収集したときのノイズレベルをあらわしている。ここでも我々の回路を設置した部分に注目すると、ノイズレベルの平均は Half Octant 1 で $\sim 1.4\%$ 、Half Octant 2 で $\sim 1.3\%$ になっている。また、HV を上げた状態におけるノイズレベルをみると、Half Octant 1, 2 とともに $\sim 1\%$ まで減少していることが分かる。

以上より、MuTRG-AD, TX ボードを設置しても MuTr の現行 FEE のノイズレベルは $\sim 1.3\%$ 程度に抑えられることが分かった (1% から 1.3% へ 30% の増加)。このノイズレベルは、4.1 章で書いたように、MuTr の位置分解能への要求を満足するものである。また、HV を上げればノイズレベルの増加を打ち消すことができる。

ここで、HV を上げる事の実現性について触れておく。現在の MuTr は、ちょっとした環境の変化によってすぐに放電を起こしてしまう。これは、電圧をかける部分に使用しているコンデンサーの不良によると考えられており、このコンデンサーの交換作業が進行中である。現在の状態では、MuTr の HV を $25\ \text{V}$ 上げて稼動することはあまり現実的ではないが、コンデンサーの交換作業が完了した際には HV を上げて稼動は可能であると考えられる。また、HV を上げることによって、ADC のダイナミックレンジにおける値

の大きい部分が Saturate してしまう心配があるが、ダイナミックレンジが約 2000 (11-bit ADC) であるのに対して、現在の HV における MIP の MPV は約 150 ~ 160 チャンネル (キャリブレーション較正を施す前の値) であり、HV を上げたとき MPV の増加は 30 % であることを考えれば (図 5.26 参照)、HV を上げたときのダイナミックレンジに対する影響はほとんど無いと考えて良い。以上より、将来的には、MuTr の HV を 25 V あげた状態でデータ収集することは可能である。

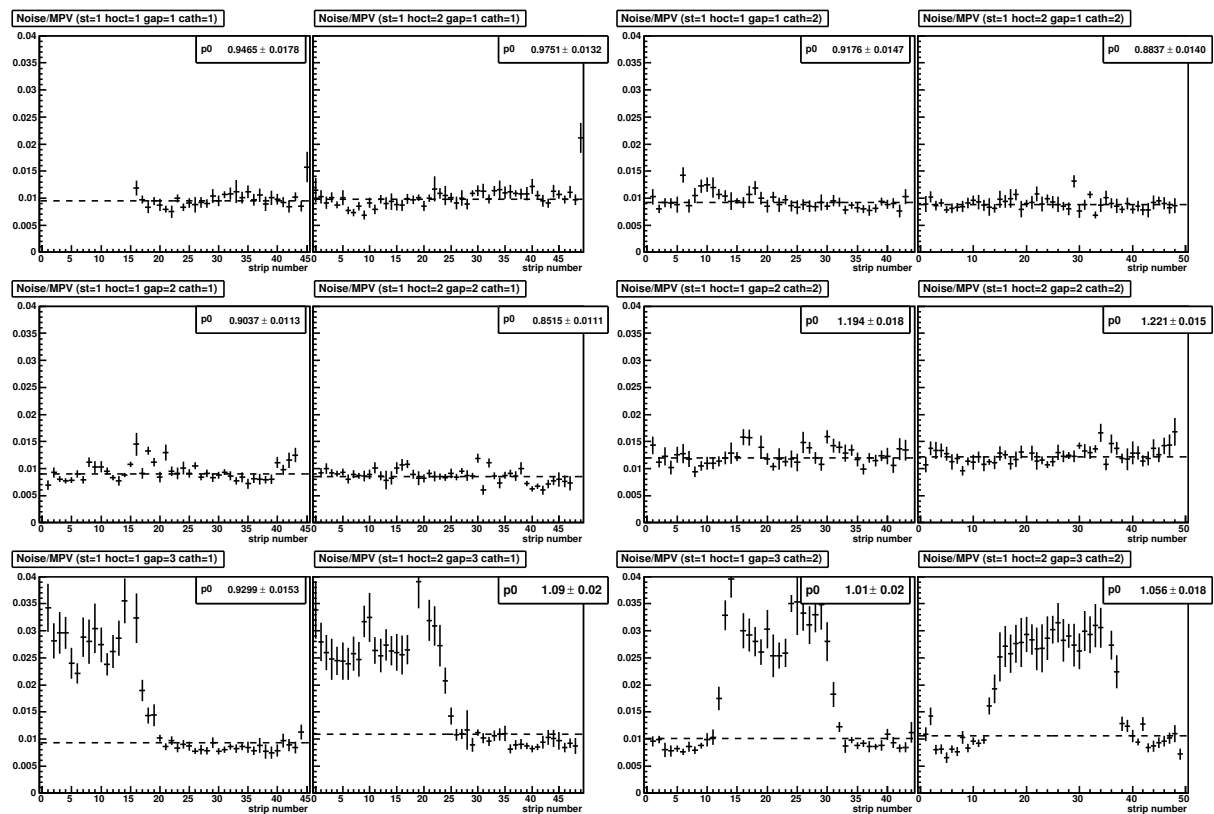


図 5.10: ステーション 1 全ギャップのノイズレベル。上段から順にギャップ 1, 2, 3 に対応し、左側 2 つがカソード 1 (stereo plane)、右側 2 つがカソード 2 (non-stereo plane) である。各 cathode が 2 つに分かれているのは、Half Octant 毎に分けてプロットしているからである。MuTRG-AD, TX ボードが設置されているのは 2 段目の右側 2 つのプロットである。また、ノイズレベルの平均値が右上に表示してある。

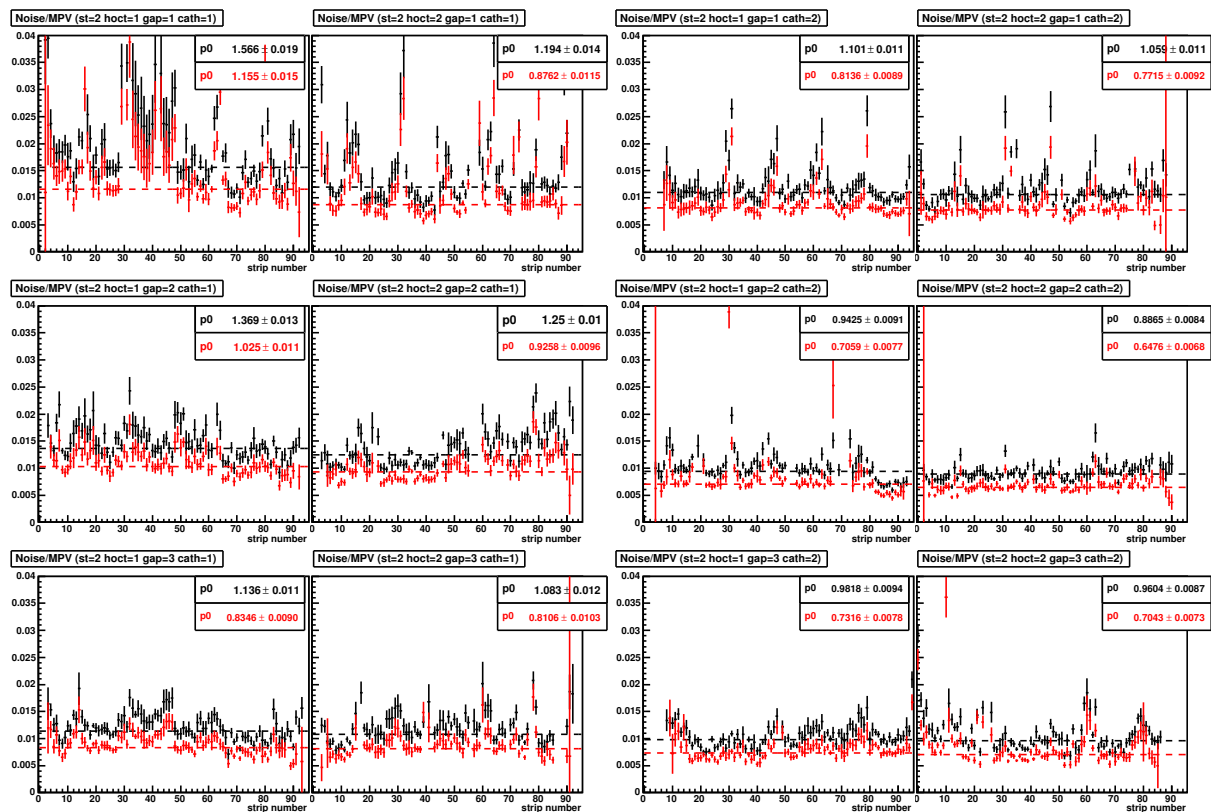


図 5.11: ステーション 2 全ギャップのノイズレベル。上段から順にギャップ 1, 2, 3 に対応し、左側 2 つがカソード 1 (non-stereo plane)、右側 2 つがカソード 2 (stereo plane) である。各カソードが 2 つに分かれているのは、Half Octant 毎に分けてプロットしているからである。新しい回路を設置しているのは 2 段目の左側 2 つのプロットである。また、各プロットにおけるノイズレベルの平均値が右上に表示してある。赤点のプロットは HV を 25 V 上げてデータ収集したときのノイズレベルであり、全カソードにおいてノイズレベルが小さくなっていることが分かる。

5.1.2 現行 FEE 側の信号遅延

新しい回路を設置することは現行 FEE へ新たなキャパシタンスを付け加えることと等価である。新たなキャパシタンスを付け加えると、電気的なノイズが大きくなるだけでなく、時定数が大きくなるため現行 FEE の方へ入る信号を遅延させることも懸念される。ここでは、信号の遅延によってどのような影響を受けるかについて議論する。

ピーク時間分布

2.3.3 章でも述べたように、現行 FEE は入力信号のうち 4 点のみをサンプルしてデータとして記録している。解析の際には、このデータを 2 次関数で Fit することによって MuTr の信号波形を再構成している (図 5.12)。つまり、この 4 サンプルの位置をどこに設定するのかによって再構成される波形が変わってきてしまう⁴。また、Fit によって再構成された波形の高さが最大になる位置をピーク時間と呼び、単位は Clock

⁴4 サンプルの位置を設定することを Latency の設定という。1 Clock 単位で調節できるようになっている。

(ビームクロックのこと。1 Clock は 106 nsec に対応) で表す (図 5.12 におけるピーク時間は約 7.6 Clock の位置)。

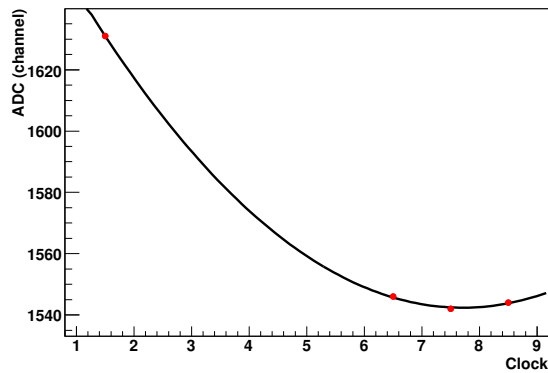


図 5.12: 4 サンプルから波形を再構成した一例

ステーション 2 Octant 7 ギャップ 2 の non-stereo plane のあるチャンネルにおいてボードを設置する前と設置した後でピーク時間の位置がどう変化したかを表すのが図 5.13 である。黒線が設置前のピーク時間の分布 (平均 7.36 Clock) であり、赤線が設置後のピーク時間分布 (平均 8.29 Clock) であり、約 1 Clock 分ピーク時間が遅くなっているのが分かる。

また、図 5.14 はステーション 2 Octant 7 ギャップ 3 Half Octant 2 non-stereo plane (Local DAQ 用の MuTRG-AD ボードを設置した位置) の全チャンネルにおけるピーク時間の分布を示したものである。ここでも、新しい回路を設置した部分 (青点線で囲まれた部分) についてはピーク時間が約 1 Clock 分遅れている。

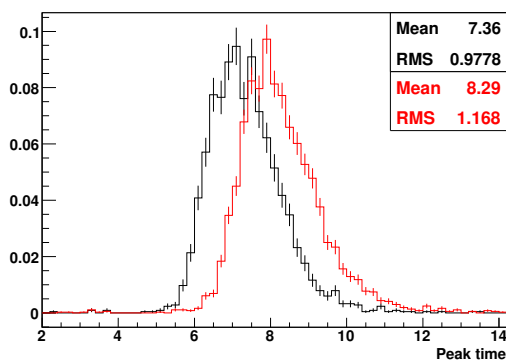


図 5.13: ステーション 2 Octant 7 ギャップ 2 カソード 1 (non-stereo plane) のあるチャンネルにおけるピーク時間分布。黒が新しい回路を設置する前の分布で、赤が設置後の分布。赤の方が 1 Clock 分遅れていることが分かる。

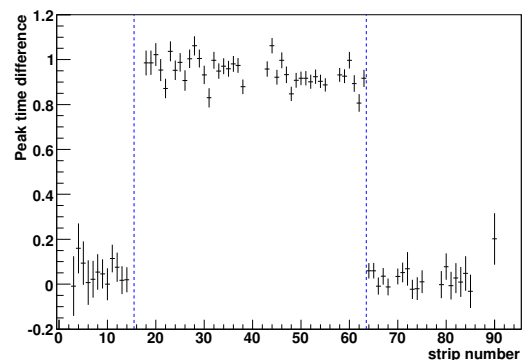


図 5.14: ステーション 2 Octant 7 ギャップ 3 Half Octant 2 カソード 1 (non-stereo plane) におけるチャンネル毎のピーク時間の分布。青点線で囲まれた部分に新しい回路が設置されている。

ここで、ピーク時間の分布が変化することによって生じる問題について考察する。MuTr の現行 FEE の

Latency は cathode 毎に設定できるような仕様になっていない。5.2 章で詳しく説明するが、検出効率を上げるために、MuTRG-AD, TX ボードは 1 ステーションにつき 2 plane 分設置する予定である。1 ステーションにつき 6 plane (1 ギャップにつき 2 plane あり、1 ステーション内には 3 ギャップ存在する) があるため、1 ステーション内に新しいボードを設置しない plane (4 面) と設置する plane (2 面) が混在することになる。つまり、1 ステーション内にピーク時間分布の異なる plane が存在してしまうことになる。このとき、ピーク時間分布の異なる plane のデータを同時に取る必要があるが、Latency の設定は cathode 毎にかえることが出来ないため、どちらか一方の波形をきれいに再構成するような Latency の設定しか出来ないことになる。

図 5.15 は、Latency の設定をずらしたときに、Fit によって得られる信号の高さがどのように変化するかを表したものである (ステーション 2 Octant 7 ギャップ 2 non-stereo plane, キャリブレーションパルスを入力したときのデータ)。ここで縦軸は、波形をきれいに再構成できる Latency 設定のときの信号の高さに対する、Latency をずらしたときの信号の高さの比である。赤点が Latency の設定を 1 Clock 遅らせたとき、青点が 2 Clock 遅らせたとき、緑点が 3 Clock 遅らせたときの比である。この図から分かるように、Latency の設定が 1 Clock ずれたときの影響としては、Latency 設定が正確に出来ているときに比べて信号の高さが $\sim 1\%$ 減少する程度である。

しかし、位置分解能を計算するとき重要になってくる、隣り合うチャンネルどうしに注目すると、Latency 設定が正確にできているときとできていないときで、相対的な信号の高さはあまり変化していない。よって、信号の高さが 1% 減少することによる位置分解能への影響は無いと考えて良い。また、実際に現在行われている、MuTr の現行 FEE における Latency の設定方法自体が、信号の高さが最大となる Latency の値から ± 1 Clock ずれて設定されることを許容している。よって、新しい回路を設置することによって、1 ステーション内にピーク時間分布の異なる plane が存在してしまうことは全く問題にならない。

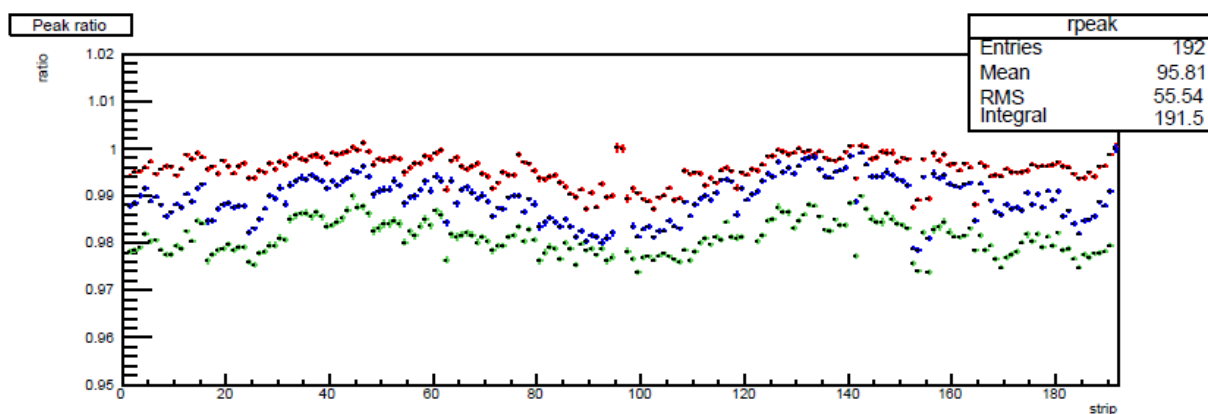


図 5.15: Latency の設定をずらしていったときに、Fit によって得られる信号の高さがどう変化するかを表したものである。赤が 1 Clock、青が 2 Clock、緑が 3 Clock 分だけ Latency を遅らせて取った時の信号の高さである。この図は、キャリブレーションパルスを MuTr へ入力したときのデータを比較している。Latency の設定が 1 Clock ずれたときの影響は、Latency 設定が正確に出来ているときに比べて信号の高さが $\sim 1\%$ 減少する程度である。

5.1.3 現行 FEE の検出効率

新しい回路は MuTr の信号の一部を分割してトリガー生成に使用するため、新しい回路設置後の現行 FEE へ入ってくる信号は設置前の ~ 94 % に減少する (宇宙線の場合, 5.1.1 章参照)。現行 FEE 自体は入力信号の 4 サンプルをとり、デジタル信号化してデータとして記録するが、この際に信号が 94 % に減る事で、4 サンプルから信号波形を再構成しても信号として検出されなくなり、現行 FEE 自体の検出効率が減少してしまうことが懸念される。また、このことは複数のストリップに渡って信号があった場合に行われるクラスタリングへも影響を及ぼす可能性がある。ここでは、現行 FEE の検出効率 (または MuTr の検出効率) 及び現在の MuTr 解析で行われているクラスタリングの方法が、新しい回路を設置することによってどのような影響を受けるのかについて議論する。

検出効率

現行 FEE (又は MuTr) の検出効率は以下のように計算される。

1. 1 つの Station 内で宇宙線トラックがひけるイベントを取り出す (stub と呼ぶ)
2. 選び出した stub イベントのうち、新しい回路を設置していないギャップ (夏テストにおいてはギャップ 1 とギャップ 3) 両方において、stereo plane と non-stereo plane の両方にヒットがあったものを選ぶ
3. ひいているトラックから、新しい回路を設置したギャップ (ギャップ 2) のどこにヒットが期待されるかを見積もり、実際にその位置にクラスターのピークストリップがあるかどうかを調べる

3. においては、宇宙線が Station に対して垂直に入射しているかどうか分からないため、期待されるチャンネルと ± 1 ずれたチャンネルにヒットがあった場合でも OK とする。図 5.16 に検出効率の出し方の模式図を示す。

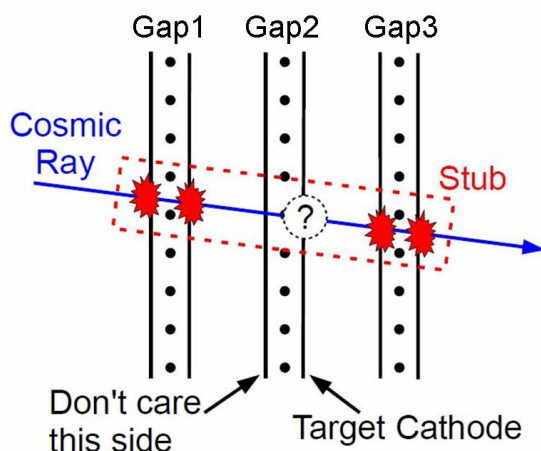


図 5.16: 現行 FEE の検出効率の求め方の模式図。ギャップ 1 とギャップ 3 の 2 plane にヒットがあったときに、ギャップ 2 の対応するストリップ (及びその ± 1 ずれたストリップ) にヒットがあるかどうかを調べる。

図 5.17 と 5.18 にそれぞれステーション 1 ギャップ 2 とステーション 2 ギャップ 2 の検出効率を示す。上段がカソード 1 の Half Octant 1, 2 であり、下段がカソード 2 の Half Octant 1, 2 である。ステーション 1 ではカソード 1 (上段) が stereo plane でカソード 2 (下段) が non-stereo plane である。新しい回路は下段に設置されている。ステーション 2 ではカソード 1 (上段) が non-stereo plane でカソード 2 (下段) が stereo plane であり、新しい回路は上段に設置されている。図より、検出効率はステーション 1 で ~95%、ステーション 2 で ~99% であることが分かる。ステーション 1, 2 共に新しい回路を設置した面 (non-stereo plane) と設置していない面 (stereo plane) で検出効率にほとんど違いはないため、新しい回路を設置することによって現行 FEE (または MuTr) の検出効率が下がることは無いと考えられる。

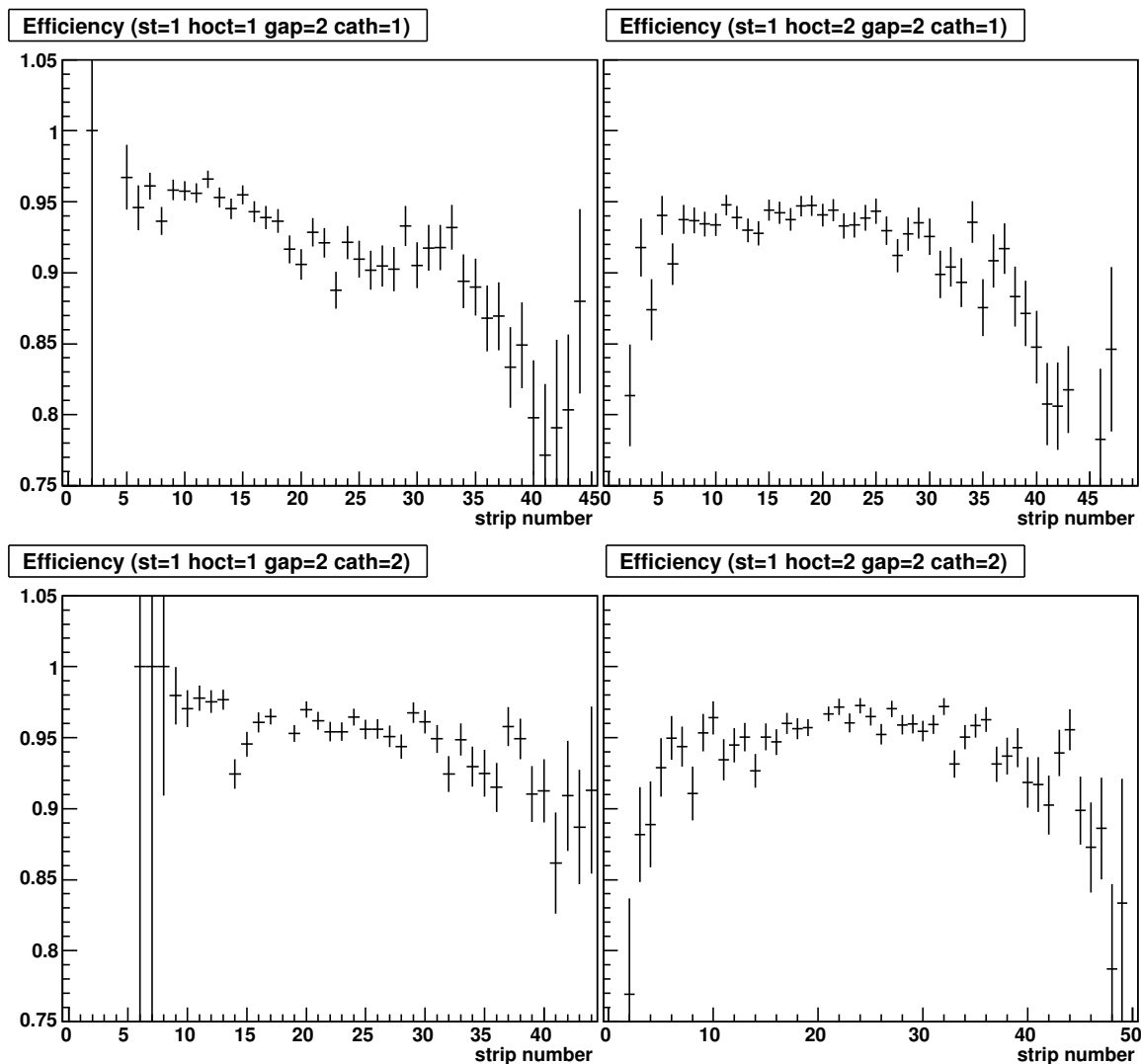


図 5.17: ステーション 1 ギャップ 2 の検出効率。上段が stereo plane で、下段が non-stereo plane である。新しい回路は下段に設置されている。端のチャンネルの検出効率が低いように見えるのは統計が少ないためであると考えられる。

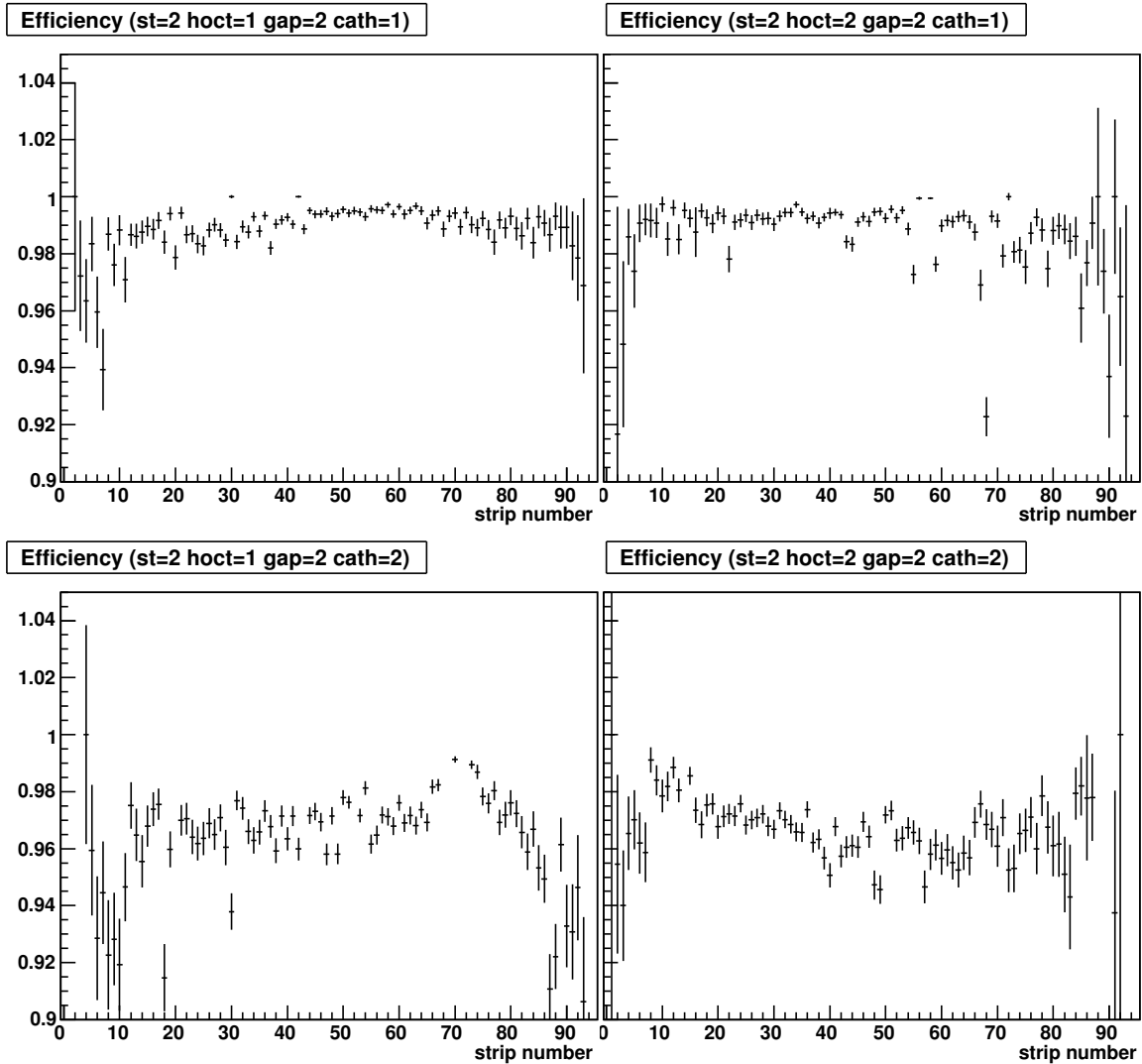


図 5.18: ステーション 2 ギャップ 2 の検出効率。上段が non-stereo plane で、下段が stereo plane である。新しい回路は上段に設置されている。

クラスタリングへの影響

MuTr における粒子の通過位置は、複数ストリップに誘起された電荷（クラスター）の分布を Mathieson Fit することによって得られる（2.3.3 章参照）。よって、新しい回路を設置することがクラスタリングにどのような影響を与えるか確認することは重要である。

図 5.19 と 5.20 は、それぞれステーション 1 とステーション 2 におけるクラスターサイズ（1つのクラスターにおけるストリップの本数）の分布を表したものである（ともにギャップ 1～ギャップ 3 全ての plane の分布を重ねてプロットしてあり、規格化したものをログスケールで表示している）。左が Half Octant 1 で、右が Half Octant 2 であり、黒線は新しいボードを設置していない面、赤と緑線は設置した面である（赤はギャップ 2 の non-stereo plane, 緑はギャップ 3 の non-stereo plane でステーション 2 のみにある）。

この図より、全ての plane においてクラスターサイズ分布は 2 ストリップが支配的であることが分かる。

また、新しい回路を設置した plane のクラスターサイズは、設置していない plane と比べて若干大きくなる傾向が見受けられる。

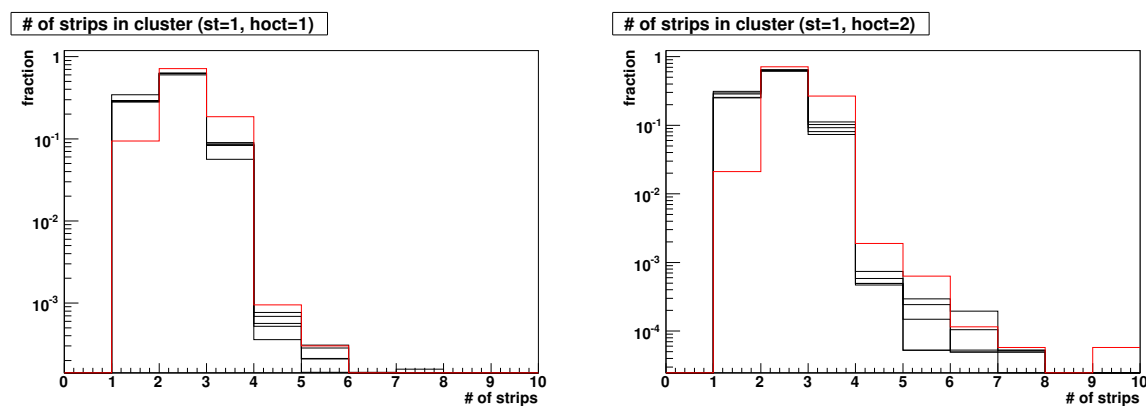


図 5.19: ステーション 1 におけるクラスターサイズの分布。左が Half Octant 1 で、右が Half Octant 2 であり、黒線が新しい回路を設置していない面の分布で、赤線が設置した面の分布を表す。

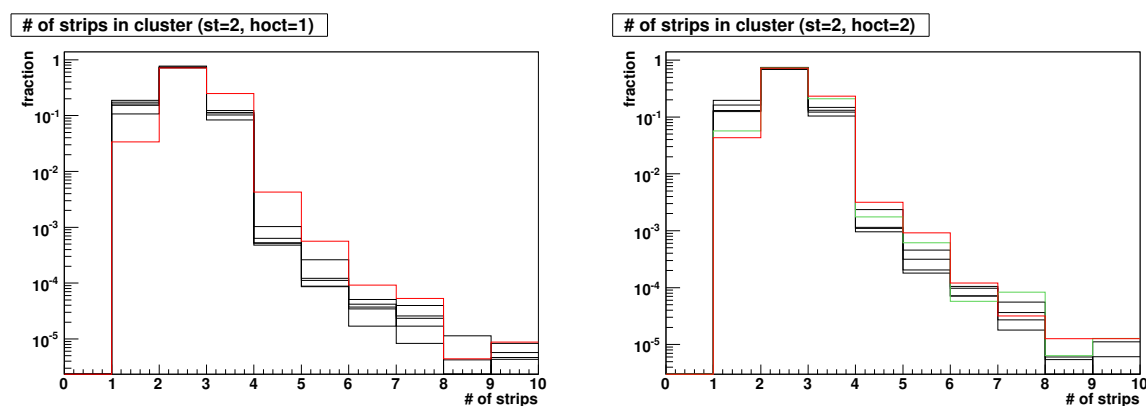


図 5.20: ステーション 2 におけるクラスターサイズの分布。左が Half Octant 1 で、右が Half Octant 2 であり、黒線が新しい回路を設置していない面の分布で、赤線がギャップ 2 において設置した面、緑線がギャップ 3 において設置した面を表す。

図 5.21 はクラスターサイズの平均値とピーク時間の平均値の関係を表したものである（左はステーション 1 で右はステーション 2）。この図にプロットされている各点は 1 つのストリップ（チャンネル）に対応する。黒点は新しい回路を設置していない面のストリップ、赤と緑点は設置した面のストリップを表す（赤はギャップ 2 の non-stereo plane, 緑はギャップ 3 の non-stereo plane でステーション 2 のみにある）。

この図からも、5.1.2 章でも述べたように、新しい回路を設置するとピーク時間が 1 Clock ずれていることが確認できる。更に、ピーク時間が大きくなるほどクラスターサイズも大きくなるという相関があるように見える。しかし、この相関は新しい回路を設置していないストリップ（黒点）についても見えているため、新しい回路を設置したことによって生じた効果ではないと考えられる。

以上より、クラスターサイズが若干大きくなるとはいえ、その分布においては 2 ストリップが支配的であるということを考えると、新しい回路を設置してもクラスタリングには影響を及ぼさないと言える。

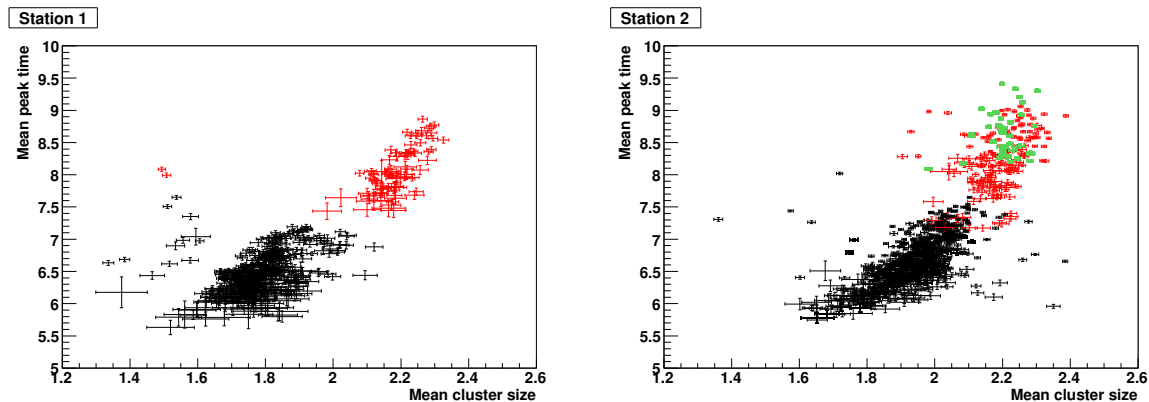


図 5.21: クラスターサイズとピーク時間の平均値の関係。左がステーション 1 で右がステーション 2 である。黒点は新しい回路を設置していない面のストリップ、赤点はギャップ 2 non-stereo plane のストリップ、緑点はギャップ 3 non-stereo plane のストリップに対応する。点の色に関わらず、クラスターサイズとピーク時間の間には相関が見られる。

5.1.4 まとめ

MuTRG-AD, TX ボードを設置したときに現行 FEE に与える影響について考察してきたことをまとめると以下の通りである。

- 新しい回路を設置したときの現行 FEE のノイズレベルは 1.3 % 程度に抑えることができた。このノイズレベルに対応する位置分解能は約 120 μm であり、これは MuTr の位置分解能に対する要求を満たす。
- MuTr の動作電圧を 25 V 上げることによって、ノイズレベルを 1 % まで下げることができる。
- 新しい回路を設置したとき、現行 FEE へ入る信号のピーク時間は約 1 Clock 遅れるが、これは問題にならない。
- 新しい回路を設置したとき、現行 FEE へ入る信号は設置していないときに比べて $\sim 94\%$ に減少するが、検出効率が悪くなることはない。
- 新しい回路を設置したことによるクラスタリングへの影響はない。

5.2 新しい読み出し回路の性能評価

5.2.1 ノイズによるヒット率 (Fake Hit Rate) の見積もり

MuTRG-AD ボードは MuTr の信号の 5 % を増幅、論理信号化してトリガー用情報として下流に送信する。この 5 % の信号は小さいため、効率良く送信しようとする、論理信号化するときの閾値を低くしなければならない。しかし、閾値が低いと電氣的ノイズによって本来はヒットがないチャンネルでもヒットがあったかのような信号を送信してしまう (Fake Hit)。閾値を低く設定しすぎると、Fake Hit の頻度 (Fake Hit Rate) が大きくなりすぎ、トリガー用情報として正しくない情報が下流に送信されて、トリガーの棄却能力が低下してしまう。つまり、棄却能力を悪くせず、かつ、なるべく低い閾値 (または大きな Fake Hit

Rate の状態) を設定してやる必要がある。ここでは、チャンネル毎に適切な閾値を設定し、Fake Hit Rate を任意の値に調節する方法について説明する。

Fake Hit Rate は次の式によって計算できる。

$$(\text{Fake Hit Rate}) = \frac{(\text{Fake Hit の数})}{(\text{トリガー回数}) \times (\text{ゲート幅})} [\text{Hz}] \quad (5.2)$$

データ収集に用いた MuID ROC (Read Out Card) のゲート幅は 2 ビームクロック (212 nsec) であるため、式 (5.2) 中のゲート幅に 212 nsec を入れて計算すれば良い。

MuTr 現行 FEE におけるデータ収集でもそうであったように、MuID ROC においても適切にデータ収集を行うためにはタイミングをあわせる必要がある (Latency の設定)。Latency の設定は 1 Clock (ビームクロック) 単位で調節することができる。Fake Hit の数を知るために、Latency をわざと外してデータ収集した。

Fake Hit Rate を調整するための、各チャンネルの閾値の設定方法は以下の通りである。

1. MuTRG-AD ボードの全チャンネルの閾値を 20, 30, 34 mV に設定し、それぞれの閾値において各チャンネルの Fake Hit Rate を測定する。
2. Fake Hit Rate をプロットし、次式で Fit する。

$$y = p_0 \exp(p_1 x) \quad (5.3)$$

ここで、 y は Fake Hit Rate、 x は閾値を表す。図 5.22 は Fake Hit Rate をこの関数で Fit したときの一例である。

3. 各チャンネルの Fit 関数のパラメーター (p_0 と p_1) から設定したい Fake Hit Rate における閾値を計算する。
4. 計算によって求めた各チャンネルの閾値を MuTRG-AD ボード上で設定する。

図 5.23 はこの手法を用いて Fake Hit Rate を調節した後の、ステーション 2 における各チャンネルの Fake Hit Rate を示したものである。左図が Fake Hit Rate を 1 kHz、右図が 10 kHz に設定したときのものである。これより、数チャンネルを除いて Fake Hit Rate を意図した値に設定できていることが分かる。

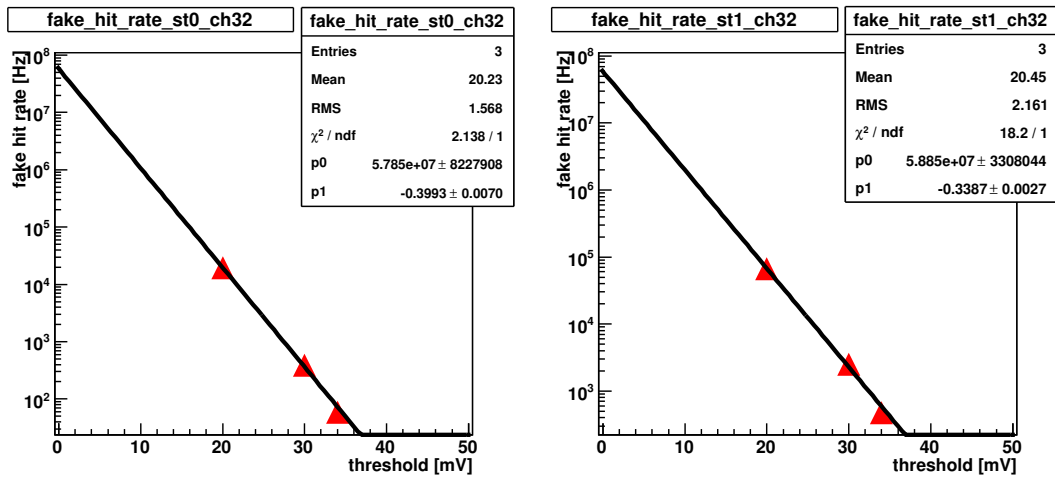


図 5.22: あるチャンネルの Fake Hit Rate を式 (5.3) で Fit したときの図。赤三角点が閾値が 20, 30, 34 mV のときの Fake Hit Rate である。(左: ステーション 1 の 33 ch, 右: ステーション 2 の 33 ch)

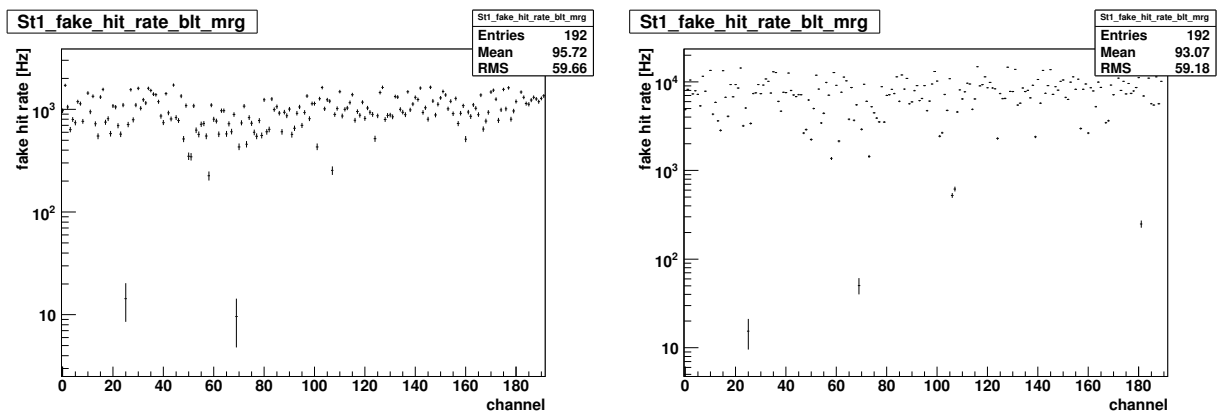


図 5.23: ステーション 2 において、全チャンネルの Fake Hit Rate が同じになるように設定した後の各チャンネルの Fake Hit Rate をプロットしたもの。左図は Fake Hit Rate を 1 kHz、右図は 10 kHz になるように設定した。

5.2.2 新しい読み出し回路の検出効率

これまででもテストベンチを使って、新しい読み出し回路の性能評価は行われてきた [6, 8, 9]。しかし、PHENIX 検出器においてその性能評価を行うことは、実際に設置するためには避けて通れない道である。ここでは、PHENIX 検出器実機に設置したときの新しい回路の性能について議論する。

検出効率の導出

検出効率は MuTr の現行 FEE で取得したデータと、MuID ROC を間借りして取得した新しい回路のデータを比較することによって導く。MuTr データとしては stub イベント (1 ステーション内でトラックがひけるイベント) のうち、6 plane 全てにヒットがあるものだけを扱う。そのデータと、新しい回路からのデー

夕を比較して、同じチャンネルにヒットがあるかどうかから検出効率を出した。ここでは、MuTr のデータからは誘起された電荷の値 (q value と呼んでいる、ADC 値をキャリブレーション較正した値) も得られるので、電荷の大きさに対する検出効率を求めている。具体的な手順としては以下の通りである。

1. MuTr 固有の問題か、新しい回路の問題かを切り分けるために、MuTr のデータにおいて電荷分布の MPV がおかしい値になっているストリップ (チャンネル) を解析から取り除いた (図 5.7 参照)。これらのおかしいストリップは壊れているか、またはキャリブレーション較正が正しく機能していないストリップであると言える。
2. ステーション 1, 2 それぞれにおいて、q value に対する検出効率 (Turn on Curve) を求める (図 5.24) ⁵。
3. Turn on Curve をガウス分布の積分関数で Fit する (図 5.24 に Fit 曲線も示す)。この関数は

$$f(x) = \frac{p_2}{2} \left(1 + \frac{2}{\sqrt{\pi}} \int_0^x dx' \exp\left(-\frac{(x' - p_0)^2}{2p_1^2}\right) \right). \quad (5.4)$$

であり、パラメーター p_2 がプラトー領域の値に対応する。

図 5.24 から分かるように、ステーション 1, 2 共に Turn on Curve のプラトー領域の値は 1.0 になっている。また、図 5.7 より MPV はステーション 1 で 8~10、ステーション 2 で 14~19 である。よって、MIP (最小イオン化粒子) に対する検出効率はステーション 1, 2 とともにほぼ 100 % であるといえる (図 5.25 の上段 2 つの図が立ち上がり付近を拡大したもので、MPV の位置にマークしてある)。

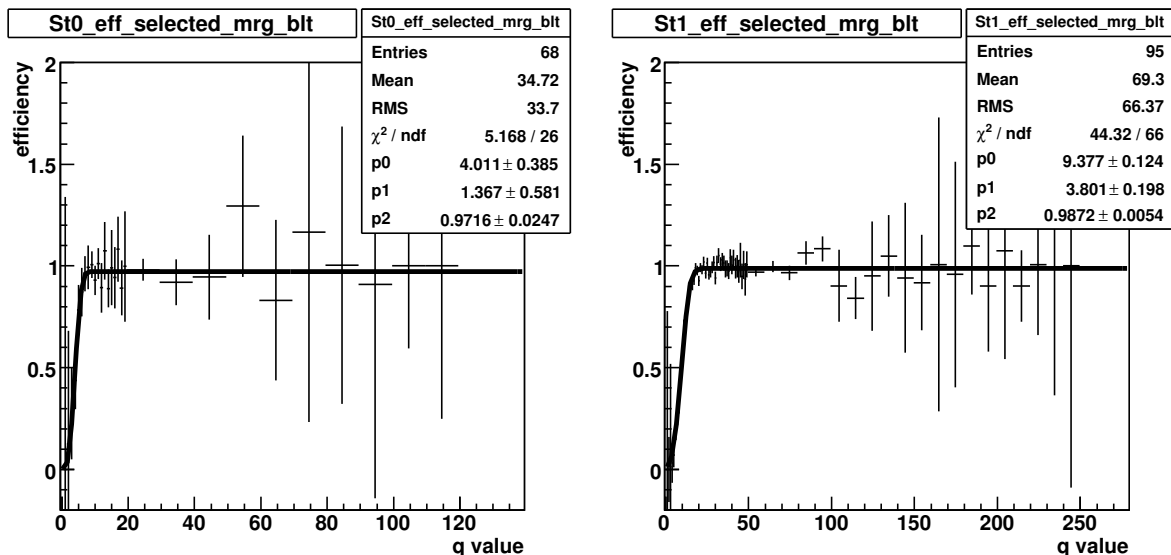


図 5.24: 新しい回路の、q value に対する検出効率 (左図: ステーション 1, 右図: ステーション 2)。小さい電荷に対しては検出効率が低く、大きい電荷に対しては検出効率が高くなっていることが分かる。

⁵Turn on Curve は各チャンネル毎に作成したかったが、統計が足りなかったため、このプロットはステーション 1, 2 それぞれについて全チャンネルのデータを合わせた上で作成している

最後に、クラスターのピークストリップに対する新しい回路の検出効率を導出する。MIP の MPV に対する検出効率がほぼ 100 % であることが確認でき、原理的には、新しい回路は大きな入力電荷に対して検出効率が 100 % になるはずなので、式 (5.4) におけるパラメーター p_2 を 1.0 に固定した上で再度 Turn on Curve を Fit する (図 5.25 の上段)。この Fit に得られたパラメーターを用いて、(ピークストリップの電荷分布) \times (Fit 関数) の計算を行う。こうして得られた分布が図 5.25 下段の緑色のプロットである (下に隠れている赤色のプロットはピークストリップの電荷分布である)。結局、ピークストリップに対する検出効率は、

$$(\text{ピークストリップに対する検出効率}) = \frac{(\text{緑色の分布の積分値})}{(\text{赤色の分布の積分値})} \quad (5.5)$$

で計算でき、図 5.25 においては、ステーション 1 で 94 %、ステーション 2 で 91 % となる (MuTRG-AD ボードの閾値は Fake Hit Rate が 1 kHz になるように設定している)。

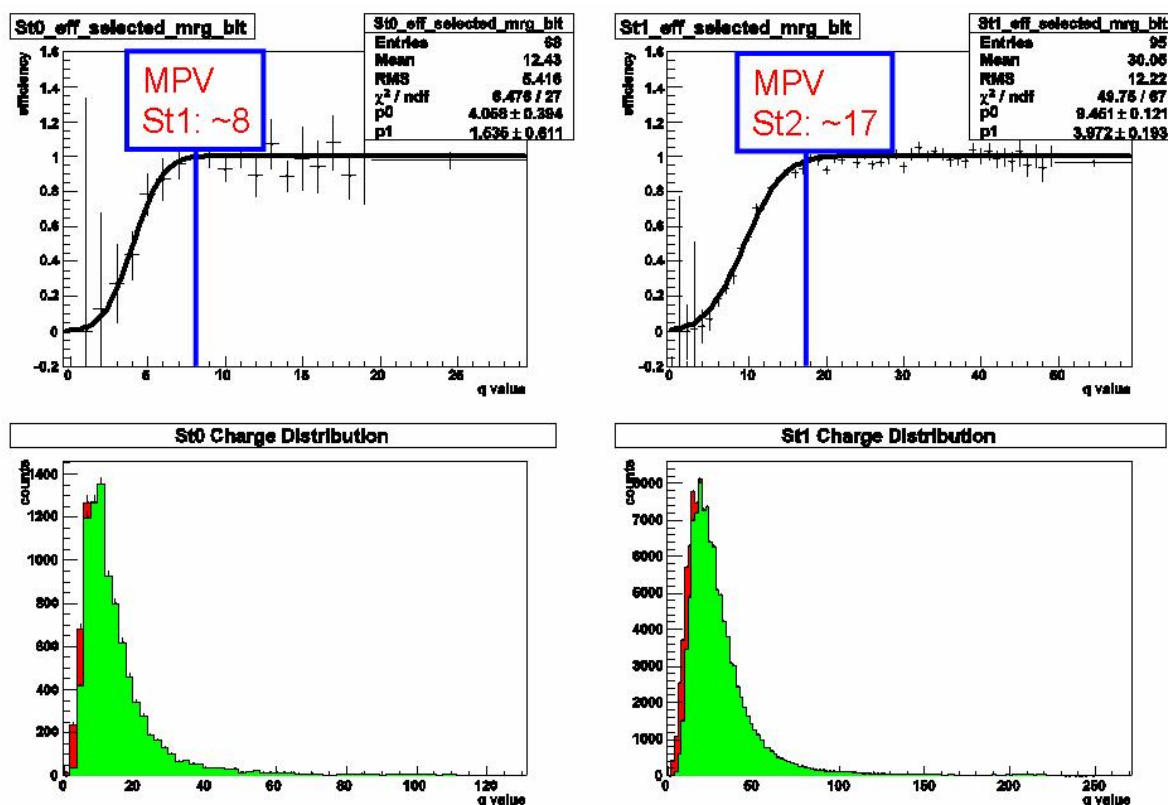


図 5.25: 上段:ステーション 1 (左), 2 (右) の Turn on Curve を、式 (5.4) のパラメーター p_2 を 1.0 に固定して再度 Fit した図。また、図 5.24 より拡大してあるため、立ち上がりエッジが MPV (ステーション 1: 8~10, ステーション 2: 14~19) よりも小さいまたは同じくらいの位置にすることが良く分かる。下段:ステーション 1 (左), 2 (右) の電荷分布の図。赤色の分布が、ピークストリップの電荷分布であり、緑色の分布が、(ピークストリップの電荷分布) \times (Turn on Curve の Fit 関数) を計算したものである。

HV をあげた時

MuTr の HV を 25 V 上げたとき、ゲインが増加するため、MIP の MPV が大きくなる。それに対して、MuTRG-AD ボードの性能は、MuTr の HV が通常（ステーション 2 では 1900 V）であろうが、25 V 上げた状態であろうが変化しない。よって、HV を上げたとき、新しい回路のピークストリップに対する検出効率は通常時よりも良くなると考えられる。

また、PHENIX 検出器に実際に新しい回路を設置してデータ収集する時には、現行 FEE のノイズレベルを 1 % に抑えるために HV を 25 V 上げて（ノイズレベルと HV の関係については 5.1.1 章参照）MuTr を動作させることも考えられている。よって、HV を 25 V 上げた状態における、新しい回路の検出効率を求めておくことは重要である。

図 5.26 はピークストリップの電荷分布である。左図は HV が 1900 V（通常電圧）のときのもので、右図が HV が 1925 V のときのものである（全チャンネルのデータを合わせたもの）⁶。この図から分かるように、HV を上げると MPV の値は約 17 から約 22 へ増加している。それに対して、Turn on Curve の方はその形状を変えない⁷。

上で説明した手順と同様にしてピークストリップに対する検出効率を求めた（図 5.28）。結果、ステーション 2 において、検出効率は 95 % まで上がることが分かった（MuTRG-AD ボードの閾値は Fake Hit Rate が 1 kHz になるように設定している）。

HV が 1900 V のときピークストリップに対する検出効率が 91 %（Fake Hit Rate = 1 kHz）だったので、HV を上げることによって検出効率が約 4 % 改善したと言える。

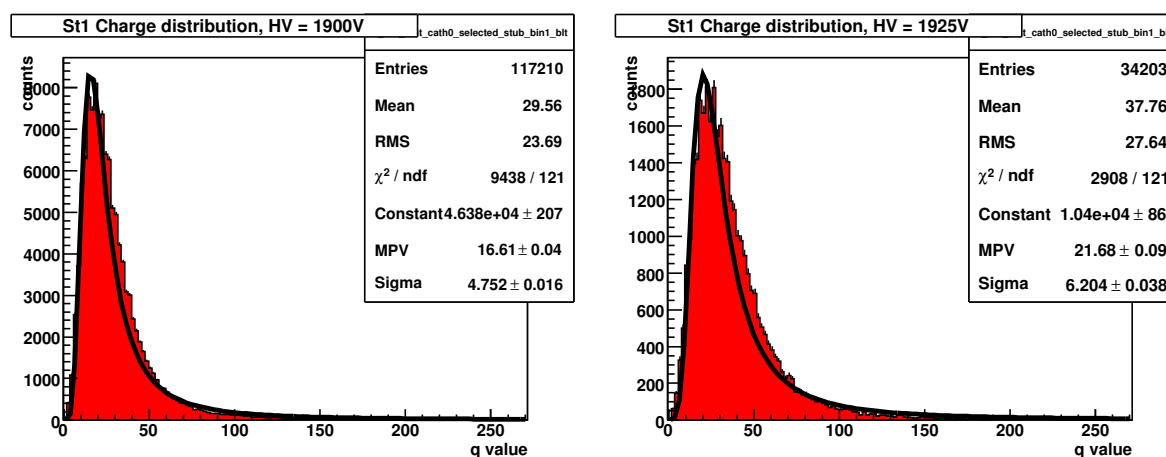


図 5.26: ピークストリップの電荷分布（左：1900 V，右：1925 V）。Fit 曲線（landau 分布）も表示している。

⁶ テスト実験中に HV を 25 V 上げてデータ収集できたのはステーション 2 だけであるため、ここではステーション 2 についてのみ議論する。

⁷ 図 5.27 と図 5.24 の右プロットのパラメーターを比較すれば良い。この 2 つは、MuTRG-AD ボードの閾値は同じで、HV の値だけが異なった状態で取られたデータである。

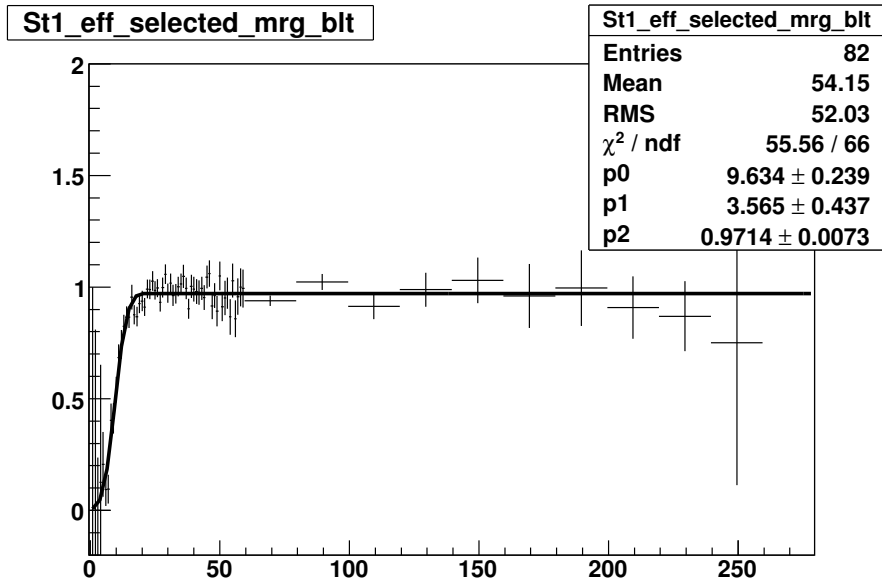


図 5.27: HV が 1925 V のときの Turn on Curve (ステーション 2)。Fit 曲線 (式 (5.4)) も表示してある。図 5.24 の右図 (HV が 1900 V のときの Turn on Curve) と比べて、形状が変化していないことが分かる。また、立ち上がり付近を拡大したものが、図 5.28 の左図である (MPV の位置にマークしてある)。

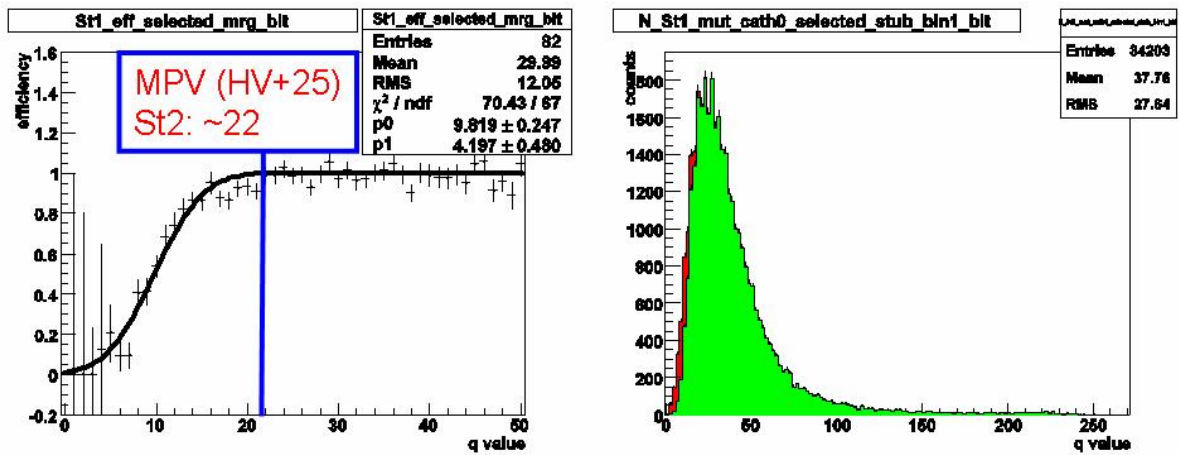


図 5.28: 左図: HV が 1925 V のときの Turn on Curve を式 (5.4) で Fit したもの (p_2 は 1.0 に固定)。右図: ピークストリップの電荷分布。赤色の分布が、ピークストリップの電荷分布であり、緑色の分布が、(ピークストリップの電荷分布) \times (Turn on Curve の Fit 関数) を計算したものである。

検出効率の閾値依存性

テスト実験において、MuTRG-AD ボードの閾値を変えたときの検出効率がどのように変化するかを調べるために閾値 (または Fake Hit Rate) を変えた状態でデータ収集を行った。ここでは、その結果について述べる。

閾値を変化させると、同じ大きさの入力信号があってもそれに対するボードの反応が変わってくる。Turn on Curve においては、その立ち上がりエッジ (パラメーター p_0) が変化すると期待される。しかし、立ち上がりの幅 (p_1) や、プラトー領域 (p_2) の値は変化しないはずである⁸。

実際に閾値を変化させたときに Turn on Curve がどのように変化するかを調べたのが図 5.29 である (ステーション 2 のみ)。閾値は、黒線が ~ 28 mV (Fake Hit Rate = 1 kHz), 赤線が ~ 25 mV (Fake Hit Rate = 10 kHz), 緑線が 20 mV (全チャンネル同じ値、Fake Hit Rate の範囲としては 20 kHz \sim 100 kHz に対応) である。この 3 つの Turn on Curve を式 (5.4) で Fit したときの各パラメーターの値を表 5.1 にまとめた。また、各閾値における、ピークストリップに対する検出効率もまとめてある。

この表より、閾値を変化させると、その立ち上がりエッジ (p_0) は変化するが、確かに、立ち上がりの幅 (p_1) や、プラトー領域 (p_2) の値は変化しないことが分かる。これより、新しい読み出し回路における閾値の設定が正しく機能していることが分かる。また、MuTRG-AD ボードの閾値を変化させても MIP の MPV は変化しないため、閾値を低くするほど立ち上がりエッジが低い q value の位置になり、結果、検出効率は高くなる。表より、Fake Hit Rate が 10 kHz となるような閾値 (~ 25 mV) のときにピークストリップに対する検出効率が 93 % を達成することが分かる。

Fake Hit Rate が 10 kHz に設定されたときの検出効率が、我々の求めたいものであった (4.1 章参照)。一般的にいて、93 % は十分に高い検出効率であるとはいえないが、これは新しい読み出し回路を MuTr の 1 面のみに設置したときの値である。MuTr の 1 つのステーションは 6 面のカソード面から構成され、non-stereo plane は 3 面存在する。よって、新しい回路を設置するカソード面を 2 面にし、それらの OR をとることによって、検出効率を $1 - (1 - 0.93)^2 \sim 0.99$ (99 %) まで上げることができる。現在の計画では、1 ステーションあたり 2 面分をカバーするだけの新しい回路を設置することによって、99 % の検出効率を達成するつもりである。

⁸立ち上がりの幅 (p_1) は MuTRG-AD ボード上のノイズによって決まっており、閾値を変化させてもノイズは変化しないため、 p_1 は変化しない。

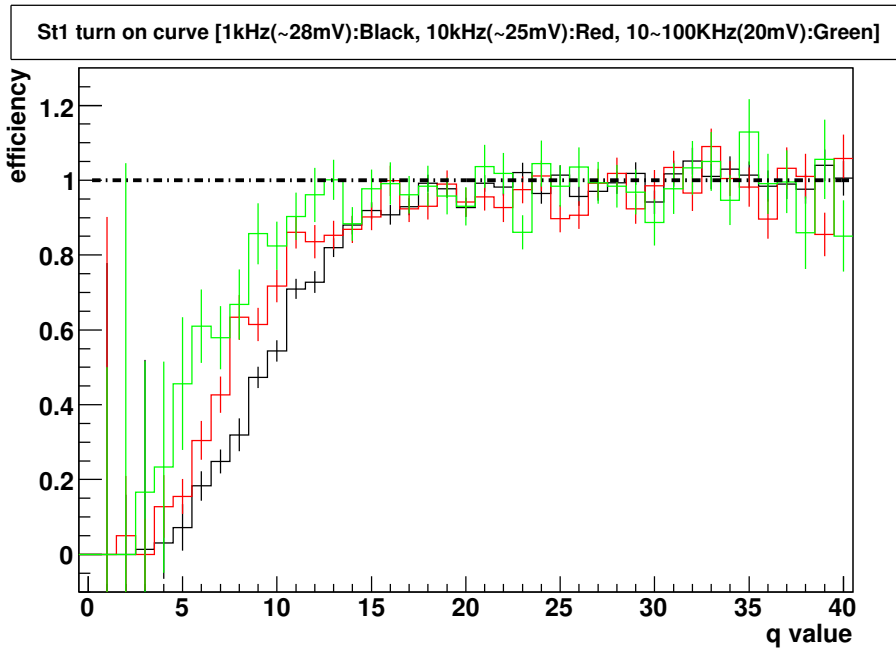


図 5.29: 閾値を変化させたときの Turn on Curve の変化をプロットしたもの (ステーション 2)。点線は検出効率 1.0 を示す線である。また、閾値は、黒線が ~ 28 mV (Fake Hit Rate = 1 kHz), 赤線が ~ 25 mV (Fake Hit Rate = 10 kHz), 緑線が 20 mV (全チャンネル同じ値、Fake Hit Rate の範囲としては 20 kHz \sim 100 kHz に対応) である。

parameter	黒 (Fake Hit Rate = 1 kHz)	赤 (Fake Hit Rate = 10 kHz)	緑 (全チャンネル 20mV)
p_0 (立ち上がりエッジ)	9.4 ± 0.1	7.7 ± 0.2	5.5 ± 0.7
p_1 (立ち上がり幅)	3.8 ± 0.2	3.5 ± 0.3	4.0 ± 0.9
p_2 (プラトー領域)	0.99 ± 0.01	0.96 ± 0.01	0.98 ± 0.01
ピークストリップに対する 検出効率	91%	93%	96%

表 5.1: 5.29 の Turn on Curve を式 (5.4) で Fit した際のパラメーターをまとめた表。各閾値におけるピークストリップに対する検出効率も表示してある。

5.2.3 時間分布

4.1 章でも述べたように、MuTr と接続したときの新しい回路からの出力信号の時間分布は、1 ビームクロック (106 nsec) よりも広がってしまうことが分かっている。しかし、ゲート幅を 5 ビームクロックまで広げてもトリガーは十分な棄却能力を持つことも予想されている。

ここでは、2007 年夏に行った性能評価実験において、PHENIX DAQ とは独立に Local DAQ で収集した詳細な時間分布情報を用いて、ゲート幅を変えていったときに検出効率がどのように変化するかを調べる。

Timing Scan

ここでは、PHENIX DAQ で収集したデータによって得られる時間分布情報について説明する。PHENIX DAQ はビームクロックで動作しているため、これ以下の時間分解能は得られないが、Local DAQ で収集したデータの正当性を評価する際に利用できる。

新しい回路からの信号は 1 ビームクロックよりも広がっているため、MuID ROC の Latency を 1 箇所に固定してデータ収集しても図 5.24 のように Turn on Curve のプラトー領域の値は 1.0 にはならない⁹。

図 5.30 は Latency を変化させてデータ収集した際に、Turn on Curve のプラトー領域の値がどのように変化していくのかを表したもの (Timing Scan と呼ぶ) である。Latency は 1 Clock (ビームクロック) 単位で設定できるため、この図からゲート幅を変化させたときの検出効率が得られそうであるが、それは難しい。なぜなら、MuID ROC のゲート幅は 2 ビームクロック (212 nsec) に設定されているため、1 つの Latency において収集したデータには 2 ビームクロック分のデータが重複して入ってきているからである。2 ビームクロック中での時間分布が一様である保障は無い上、宇宙線は PHENIX のクロックと同期していないため、単純に計算することはできない。

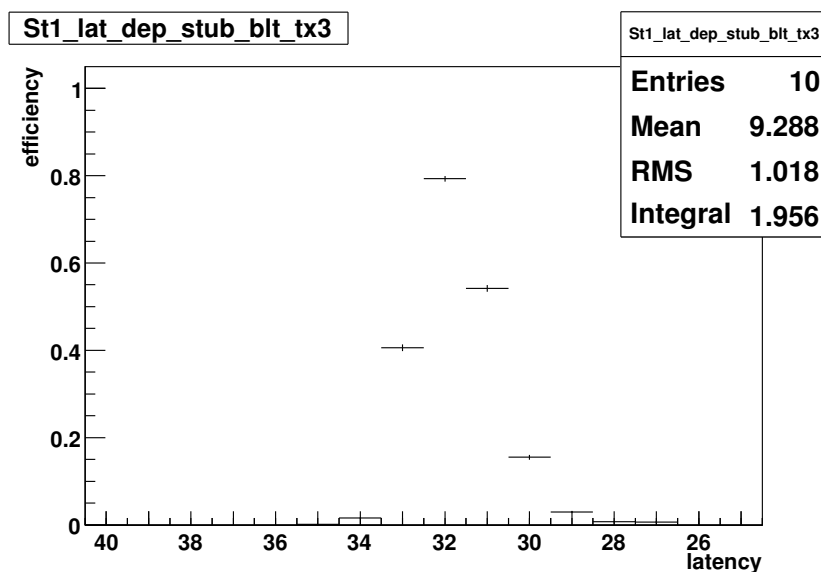


図 5.30: Timing scan の図。横軸はビームクロックに対応する arbitrary unit。

Local DAQ によるデータ

PHENIX DAQ で収集したデータからは、ゲート幅を変化させたときの検出効率を得ることは難しいことから Local DAQ によってデータ収集した。4.2.2 章でも述べたように、Local DAQ で収集したデータは PHENIX DAQ で収集したデータとイベント対応できない。しかし、より信頼度の高い、ゲート幅に対する検出効率を求めるためには、Local DAQ で収集したデータを PHENIX DAQ で収集したデータの質に近付

⁹5.2.2 章の Turn on Curve は、いくつかの Latency において収集したデータをあわせた上で導いたものである。

ける必要がある。そのため、PHENIX DAQ用のトリガーである MuID LL1 と BLT の信号も Local DAQ で収集し、トリガー信号があることを要求するようなカットをすることによって、データの質を近づけようとした。

図 5.31 は Local DAQ で得られたトリガー信号の時間分布である（全イベント数で規格化してある）。トリガーレート¹⁰を考慮すると、左の小さな分布が MuID LL1 で、右の大きな分布が BLT であると考えられる。この図から、MuID LL1 と BLT のタイミングが異なるということが分かる。これはつまり、トリガーを変えると最適な Latency も変化してしまうということである。このことを考慮すると、MuID LL1 トリガーによって収集されたデータと BLT トリガーで収集されたデータは分けて解析する必要があり、実際に 5.1 章と 5.2 章の結果は分けて解析して得たものである。

図 5.32 は MuTRG-AD ボードからの信号の時間分布である（全イベント数で規格化されている）。黒線は、PHENIX のトリガー信号があるという要求をしない場合の分布（w/o GL1 分布と呼ぶ）で、赤線は、トリガー信号があるという要求をした場合の分布（w/ GL1 分布と呼ぶ）である。w/ GL1 分布の方が w/o GL1 分布に比べて時間的に広がっているように見える。MuID LL1 や BLT は衝突点から来たストレートトラックを選び出すトリガーであるため、このトリガーに引っかかる宇宙線が MuTr 内で落とすエネルギーは、斜め入射の宇宙線に比べて小さいと考えられる。一方、信号が小さいほど時間分布が広がる傾向にあるため（図 3.10 参照）垂直に入射した宇宙線による信号の時間分布は広がってしまう。w/ GL1 分布の方がより垂直に入射した宇宙線トラックを選び出していることを考えれば、この分布は w/o GL1 分布に比べて時間的に広がってしまうことが理解できる。

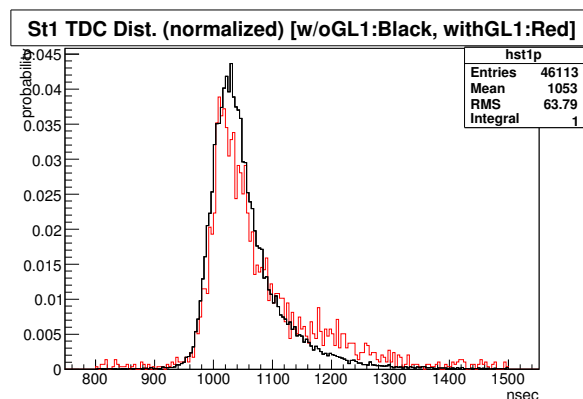
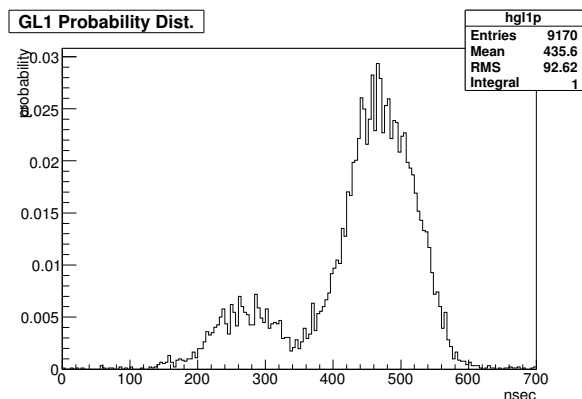


図 5.31: MuID LL1 (左) と BLT (右) の分布。宇宙線と PHENIX のビームクロックは同期していないため、分布はガウス分布になっている。

図 5.32: Local DAQ によって収集した MuTRG-AD ボードの時間分布。黒が w/o GL1 分布で、赤が w/ GL1 分布。

Timing Scan のシミュレーションと Local DAQ データの比較

Local DAQ で収集したデータでは、例えば電荷分布を得ることができないため、MPV による悪いチャンネルの除去等ができない。そのため、PHENIX のトリガーが存在することを要求した w/ GL1 分布でも

¹⁰MuID LL1 が ~ 4.7 Hz、BLT が ~ 670 Hz

まだ少し信頼性が不足しているように見える。よって、ここでは、Local DAQ で収集したデータからゲート幅に対する検出効率を計算する前に、このデータの信頼性についてもう少し議論する。

具体的な方法としては、Local DAQ で収集した MuTRG-AD ボードの時間分布とトリガーの時間分布 (図 5.31 と 5.32) から、PHENIX DAQ で得ることのできる唯一の時間情報である、Timing Scan のプロット (Latency に対する検出効率の図) をシミュレートする。そして、シミュレーションによって得られた Timing Scan と実際に宇宙線データから得られた Timing Scan (図 5.30) を比較することによって Local DAQ のデータの信頼性を確認した。

Local DAQ のデータから Timing Scan をシミュレートするには次式を使う。

$$(\text{ある Latency における検出効率}) = \int_{t_{\text{offset}} + t_{\text{trig_min}}}^{t_{\text{offset}} + t_{\text{trig_max}}} dt [G_{\text{trig}}(t - t_{\text{offset}}) \times \int_t^{t+2\text{BCLK}} dt' F_{\text{tdc}}(t')]. \quad (5.6)$$

ここで、各文字の意味は以下のとおりである。

- G_{trig} : トリガーの時間的な確率分布 (図 5.31 の MuID LL1 と BLT の分布を分離して、それぞれ規格化したもの)
- F_{tdc} : MuTRG-AD ボードの出力信号の時間的な確率分布 (図 5.32)
- t_{offset} : (Latency) \times (BCLK=106 nsec) + (MuID ROC と MuTRG-TX におけるクロックの位相差)
- $t_{\text{trig_min}}/t_{\text{trig_max}}$: G_{trig} 分布における、横軸 (時間) の最小/最大値

t_{offset} における、MuID ROC と MuTRG-TX におけるクロックの位相差 (以下、位相差と呼ぶ) は、 $0 \leq (\text{位相差}) < 106 \text{ nsec}$ の範囲の値をとり、この値によってシミュレートされる Timing Scan の形は変化するため、重要なパラメーターとなる。

図 5.33 と 5.34 はシミュレーションによって得られた Timing Scan の例である。図 5.33 では、トリガー分布 (G_{trig}) に BLT を、MuTRG-AD の時間分布 (F_{tdc}) に w/ GL1 分布を用いており、図 5.34 では、トリガー分布に BLT を、MuTRG-AD の分布に w/o GL1 分布を用いた (位相差としては左から、0, 35, 70, 105 nsec に設定している)。位相差を大きくするに連れてピークの位置が後ろにずれて行くことが分かる。また、ビームクロック分一周したら (位相差が 106 nsec ずれば) Timing Scan はもとの形にもどるため、位相差が 0 nsec のものと 105 nsec のもので似たような形になっていることも分かる。

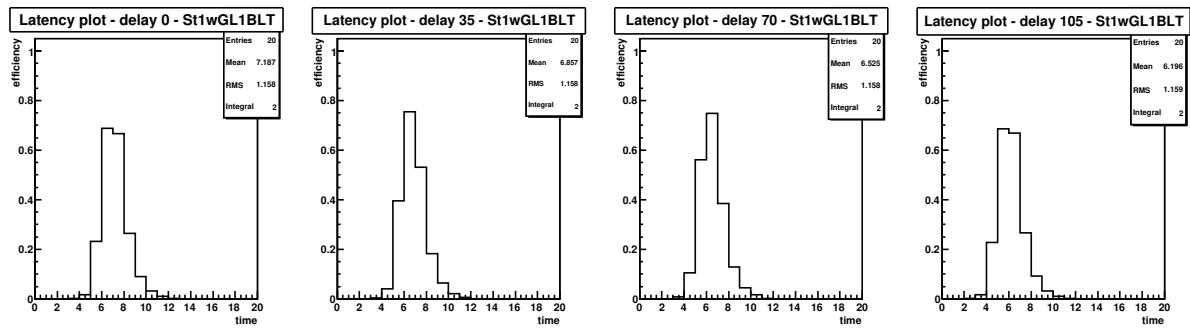


図 5.33: G_{trig} として BLT 分布、 F_{tdc} として w/ GL1 分布を用いたときのシミュレーションによって得られた Timing Scan プロット。位相差は左から 0, 35, 70, 105 nsec である。

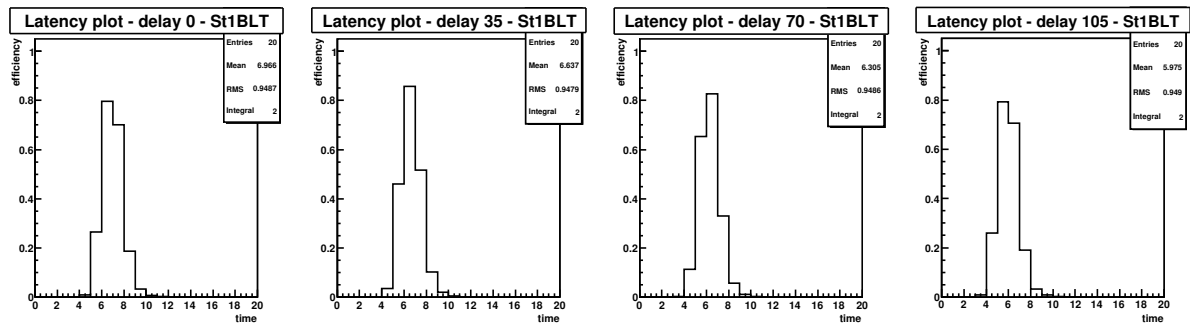


図 5.34: G_{trig} として BLT 分布、 F_{tdc} として w/o GL1 分布を用いたときのシミュレーションによって得られた Timing Scan プロット。位相差は左から 0, 35, 70, 105 nsec である。

以上のようにして Timing Scan をシミュレートし、実データから得られた Timing Scan を Fit してみた¹¹。Fit の際のパラメーターは、縦軸方向の振幅だけである。

図 5.35 が Fit 結果である。左図は、図 5.30 の Timing Scan¹² に対して、図 5.33 と同じ G_{trig} と F_{tdc} を用いてシミュレートした 106 個の Timing Scan を Fit していき、そのうちで最も良く Fit できたものを表している。右図は、図 5.34 と同じ G_{trig} と F_{tdc} を用いてシミュレートした Timing Scan によって図 5.30 を Fit したときのベスト Fit である。

残念ながら、図 5.35 の左右を比較して、w/ GL1 分布と w/o GL1 分布のどちらが Timing Scan を良く Fit できているかを判断することはできない。しかし、Fit の結果を見る限り、Local DAQ のデータから Timing Scan の図は良く再現することができることは分かる。この結果は、Local DAQ によって収集したデータに対する信頼性を上げてくれている。

¹¹ 位相差の値として、 $0 \leq (\text{位相差}) < 106 \text{ nsec}$ が選べるので、1 nsec おきに 106 個の Timing Scan をシミュレートし、Fit した。

¹² この Timing Scan は、BLT トリガーによるイベントから得たものである。

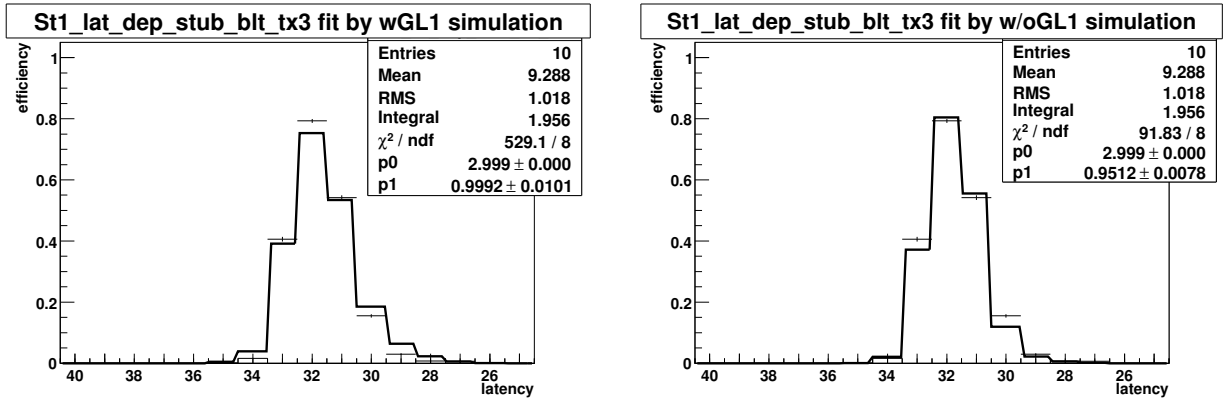


図 5.35: 左 : w/ GL1 分布を用いてシミュレートした Timing Scan によって Fit したものの。ベスト Fit における位相差は 34 nsec であった。右 : w/o GL1 分布を用いてシミュレートした Timing Scan によって Fit したものの。ベスト Fit における位相差は 23 nsec であった。

ゲート幅に対する検出効率

Local DAQ で収集したデータにおいても、PHENIX DAQ で収集したデータと同じような宇宙線データを記録していると考えて良いということが、ここまでの議論によって確認できた。よって、ここでは、Local DAQ によって得られた詳細な時間分布から、ゲート幅を変えていったときに検出効率がどのように変化するのかを調べる。

図 5.36 は、図 5.32 の時間分布を 1, 2, 3 ビームクロックのゲート幅で積分したときの分布を表したときのものである (左が w/ GL1 分布を、右が w/o GL1 分布を積分したもの)。黒線が 1 ビームクロック幅にしたとき、赤線が 2 ビームクロック幅にしたとき、青線が 3 ビームクロック幅にしたときのものである。

図 5.36 の各プロットに対する検出効率の最大値を表 5.2 にまとめた。結果、ゲート幅を 3 ビームクロックにしたとき、検出効率は 94 ~ 98 % を達成することが分かった¹³。

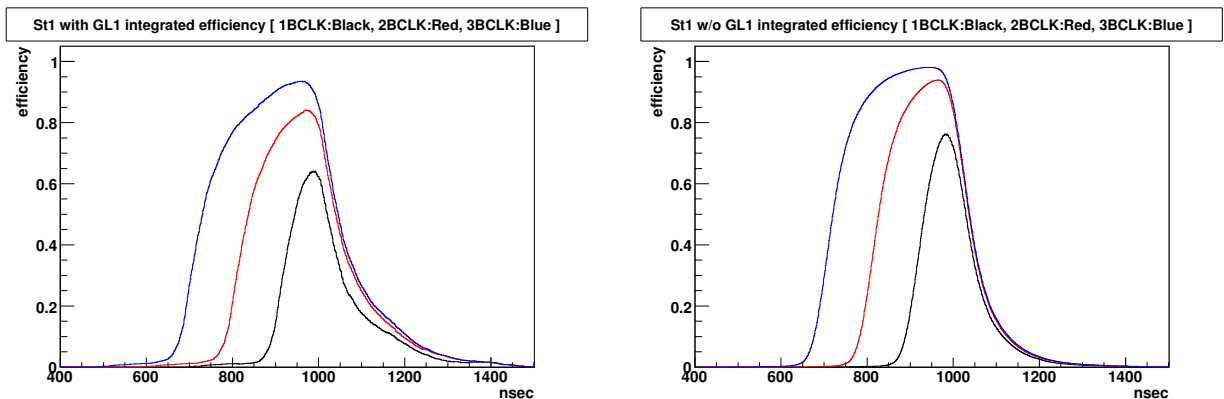


図 5.36: 左 : w/ GL1 分布を 3 通りのゲート幅で積分したときの分布。ゲート幅は、黒線が 1 ビームクロック (106 nsec)、赤線が 2 ビームクロック (212 nsec)、青線が 3 ビームクロック (318 nsec) である。右 : w/o GL1 分布を 3 通りのゲート幅で積分したときの分布。色の意味は左図と同様。

¹³ここで注意しておきたいのは、ここで述べている検出効率はゲート幅に対する検出効率であり、5.2.2 章で議論したピークストリップに対する検出効率とは異なるものである。

Gate 幅 [Beam Clock]	w/ GL1 分布	w/o GL1 分布
1	64 %	76 %
2	84 %	94 %
3	94 %	98 %

表 5.2: ゲート幅を変えたときの検出効率の最大値を表にしたもの。w/ GL1 分布と w/o GL1 分布の両方の結果についてまとめている。

5.2.4 まとめ

新しい読み出し回路の性能について得られたことをまとめると以下の通りである。

- Fake Hit Rate を 10 kHz に設定したときの、ピークストリップに対する検出効率は 93 % である。将来、MuTr 全体に設置する時には 2 面分をカバーし、その OR を取る計画であるため、検出効率は 99 % 以上が期待できる。
- MuTr の動作電圧を 25 V 上げることによって、ピークストリップに対する検出効率は約 4 % 改善する。
- Local DAQ によって収集したデータは信頼できるものであり、そのデータより、ゲート幅を 3 ビームクロックにしたとき、ゲート幅に対する検出効率は 94 ~ 98 % を達成する。

第6章 まとめ

RHIC PHENIX 実験において、陽子中海クォークのスピンを抽出するためには、 W ボソン測定用高運動量 μ 粒子トリガーが必須である。筆者は、このトリガー用回路の開発に携わり、MuTRG-TX ボードを開発した。また、実際に PHENIX 検出器の一部に MuTRG-AD, TX ボードを設置し、その性能評価を行った。更に、新しい回路を設置することが現行 FEE に対してどのような影響を与えるのかについても検証した。結果、現行 FEE へ与える影響としては、

- ノイズレベルは 1.3 % 程度に抑えることができる (30 % の増加)。このノイズレベルに対応する位置分解能は約 $120 \mu\text{m}$ であり、これは MuTr の位置分解能に対する要求を満たす。
- MuTr の動作電圧を 25 V 上げることによって、ノイズレベルを 1 % まで下げることができる。
- 現行 FEE へ入る信号は設置していないときに比べて $\sim 94\%$ に減少するが、現行 FEE の検出効率が悪くなることはない。現行 FEE への入力信号のピーク時間は約 1 Clock 遅れるが、これが問題になることはない。また、クラスタリングへの影響もない。

また、新しい回路自体の性能としては、

- Fake Hit Rate を 10 kHz に設定したときの、ピークストリップに対する検出効率は 93% である。将来、MuTr 全体に設置する時には 2 面分をカバーし、その OR を取る計画であるため、検出効率は 99% 以上が期待できる。
- MuTr の動作電圧を 25 V 上げることによって、ピークストリップに対する検出効率は約 4 % 改善する。
- 新しい回路からの信号の時間分布は 1 ビームクロックの中におさまらないが、ゲート幅を 3 ビームクロックにすると検出効率は 94 ~ 98 % を達成する (どのビームクロッシングにおけるイベントであるかの判断は RPC の信号によって行う)。

を得ることができた。

以上より、我々が開発してきた回路が、PHENIX 本体中でもトリガー生成回路として十分な性能を発揮することが確認できた。2007 年 11 月末には、この結果を PHENIX の Review で発表し、実際にこのトリガーシステムを用いた実験が遂行可能であると認定された。現在、新しいトリガーシステム完成のための詰めに入っており、2008 年・2009 年の 2 年をかけて我々の回路を PHENIX 検出器中に設置する予定である。RHIC では、2008 年末に始まる RUN9 と 2009 年末に始まる RUN10 において陽子の 500 GeV 衝突が行われる予定であるため、我々の回路の設置は丁度このタイミングにあっている。2007 年夏に我々が行ったテスト実験のおかげで、世界で初めての陽子中海クォークスピンの直接測定があと一步のところまで迫って来ていると言える。

謝辞

最後にこの場をかりて、論文を書くにあたってお世話になった方々にお礼を申し上げたいと思います。

所属研究室の今井憲一教授には夏の実験を手伝いに来ていただき、物理から検出器、更には人生に至るまで、長年の経験を元にしたとても興味深いお話を色々聞かせていただきました。永江知文教授には修士論文を読んでいただき、文章や構成について色々なアドバイスをいただきました。村上哲也助教には日頃から気にかけていただき、トリガーアップグレードプロジェクトに関する相談等によっていただきました。また、夏の実験もご多忙の中わざわざ足を運んでいただき、協力していただきました。村上さんがいなければこのプロジェクトはここまでやって来れなかったと言っても過言ではないと思います。谷田聖助教は、スタッフの中では一番年齢が近いこともあり、日頃から学生を晩御飯に連れて行ってくれたり、その豊富な知識量でアドバイスを頂いたり、学生に近い存在として面倒を見ていただきました。また、夏実験でも手伝いに来ていただきました。

KEKの齊藤直人教授にはプロジェクトのリーダーとして励ましの言葉を頂きました。また、興味深い物理の話を色々していただき、楽しくプロジェクトを続けることができました。三部勉さんには、プロジェクトのまとめ役として、一人一人の個性が強いグループをうまくまとめて、率いて頂いています。夏の実験では、責任者としてPHENIXのテクニシャンや検出器のエキスパートと交渉していただきました。また、豊富な経験を生かした的確なアドバイスによって救われたことも何度もあります。KEKの秘書の飯田朋子さんには、出張の際の手続きなど様々な事務手続きにおいてかげながら支えていただきました。

理化学研究所の研究員の竹谷篤さんにはMuTRG-TXボード開発の際に、回路について素人であった僕に色々アドバイスをして頂き、業者とのやりとりをスムーズに行えるようにして頂きました。理研でテストベンチを組む際には場所を確保していただいたりと、プロジェクトの理研側の責任者として何かと面倒を見ていただきました。また、ご多忙のなか、夏実験も協力していただきました。中川格さんには、アメリカ常駐組として、PHENIX側の情報をいち早く伝えていただいたり、設置に際しての交渉ごとを引き受けていただいたり、分からないことについて迅速に情報収集していただいたりと、プロジェクトになくてはならない要として助けていただきました。夏実験中は、実験の手伝いのみならず、自宅に招いていただいたのバーベキュー等、皆が疲れたときの精神的なリフレッシュもしていただき、本当にお世話になりました。深尾祥紀さんには夏実験のデータ解析の際に、豊富な経験を生かした、的確な指導とアドバイスを頂きました。また、僕が理研に滞在中は外川学さんとともに、飲み連れて行っていただいたりと、京都大学・原子核ハドロン研究室のOBとして面倒を見ていただきました。一宮亮さんには電子回路のエキスパートとして、MuTRG-TXボードのデザインや、そこに使うIC等、細かい部分についてのアドバイスを頂きました。回路について素人であった僕にとって、近くに一宮さんのようなエキスパートがいらっしゃることも心強く感じられました。理化学研究所の秘書の木山紀子さん、佐久間香蓮さん、RBRCの丸山亮介さん、伊藤妙子さんにはBNLへの出張手続きから、日本とは勝手の違うアメリカでの生活に渡るまで、ご迷

感をおかけすることも多かったです、何かとお世話になりました。

立教大学の栗田和好准教授と村田次郎准教授には、お忙しい中アメリカまで夏の実験を手伝いに来ていただき大変助かりました。また、PHENIX 実験の歴史や物理について興味深いお話をして頂きました。立教大学の学生である川村広和さん、河西実希さん、新田稔君には、計画当初は人手不足で行き詰った状況にあった夏の実験に参加していただき、準備期間からデータ収集、片付けにいたるまで、惜しみなく協力していただきました。三人の協力がなければ、これだけの結果を出せるデータは収集できなかったと思います。

同じ研究室で、PHENIX 実験の先輩である青木和也さんには BNL において面倒を見ていただいたり、PHENIX について分からないことを丁寧に教えていただいたり、色々な側面で支えて頂きました。庄司幸平さんは MuTRG-AD ボードの開発者として、また、プロジェクトの中心的存在として、何も分からなかった僕に一から丁寧に指導していただきました。MuTRG-TX ボード開発時にも、色々アドバイスをして頂きました。夏実験の解析の際にも相談に乗ってくださり、本当にお世話になりました。庄司さんがいなければこの修士論文は書けなかったと思います。プロジェクトにおいて、本当に頼りになる先輩でした。大楽誠司さんには PHENIX 実験に参加するにあたって必要な事務手続きからトレーニングに渡って様々なことを教えていただきました。また、大楽さんがいるおかげで楽しいアメリカ生活をおくることができました。中村克朗君、胡子昇一郎君、中西怜央奈君には夏実験を手伝っていただきました。特に、中村君は持ち前の真面目さを生かして、惜しみなく仕事を手伝ってくれました。現在、彼を中心として MuTRG-MRG ボードと DCM Interface ボードを開発中であり、今後はプロジェクトの中心として、共にプロジェクトを推し進めていけたらと思います。

PHENIX で行った夏の実験は、PHENIX のテクニシャンをはじめ、各サブシステムのエキスパートらの協力なしには成立しませんでした。我々の回路を設置することを快く受け入れ、テスト実験中親身になってサポートして下さった PHENIX コラボレーターの皆様に心から感謝いたします。

同じ研究室の銭廣十三さん、關義親さんは、普段の生活において共有する時間も長く、先輩として様々なアドバイスを頂いたのと同時に、研究において蓄積されていくストレスの発散方法を教えていただいたり、ストレス解消に付き合っていたいただきました。同学年の池田真也君はそのひょうきんなキャラクターを生かして、常に笑いをとって、心に潤いを与えてくれました。岡村敦史君は天性のユーモアから様々な面白い話をしてくれました。しかし、研究の話になると一転して真面目に相談にのってくれたり、様々な意見交換を行うことができました。吉田晃君はふがいない面を持ちながらも、鋭い洞察力と多角的な視点をもって、議論においてとても楽しい時間を共有できました。あと、平岩とかいう人もいました。研究室の秘書である山本しおりさんには居心地の良い研究室の雰囲気を作り出してもらいました。また、出張の多い僕は、大学関係の事務手続きを行う際には山本さんの手を煩わせることも多々あり、そのような依頼も快く引き受けてくださいました。

最後になってしまいましたが、僕に生を与え、ここまで育ててくれた両親と、僕のようにふがいのない人間を温かく見守ってくれた 2 人の弟及び親族に感謝の気持ちを表して謝辞の言葉とさせていただきます。本当にありがとうございました。

参考文献

- [1] J. Ashman et al. (European Muon Collaboration), Phys. Lett. **B206**, 364 (1988).
- [2] B. Adeva et al. (Spin Muon Collaboration), Phys. Lett. **B302**, 533 (1993).
- [3] A. Airapetian et al. (HERMES collaboration), Physical Review D **71**, 012003 (2005).
- [4] G. Bunce et al., Annu. Rev. Nucl. Part. Sci. **50**, 525 (2000), hep-ph/0007218.
- [5] 青木和也, Master's thesis, 京都大学大学院理学研究科 (2003 年度).
- [6] 佐藤晃邦, Master's thesis, 京都大学大学院理学研究科 (2006 年度).
- [7] URL <http://www.phenix.bnl.gov/phenix/WWW/muon/notes/d10.ps>.
- [8] 庄司幸平, Master's thesis, 京都大学大学院理学研究科 (2004 年度).
- [9] 千阪克行, Master's thesis, 京都大学大学院理学研究科 (2006 年度).
- [10] URL https://www.phenix.bnl.gov/phenix/WWW/p/info/an/506/WBackgroundNote_June302006.pdf.
- [11] H. Sato, MEM.FAC.SCI.KYOTO **44**, 89 (2003), hep-ph/0305239.
- [12] E. Mathieson, Nucl. Instrum. Meth. **A270**, 602 (1988).
- [13] URL https://www.phenix.bnl.gov/WWW/p/draft/matthias/Upgrade_DOE_master.pdf.
- [14] URL http://www.phenix.bnl.gov/WWW/muon/muid_fee/roc/index.html.
- [15] URL http://www.phenix.bnl.gov/phenix/project_info/electronics/timing/tc/current_tc.html.
- [16] "Technical Design Report on Amplifier-Discriminator board
and Data Transfer board for the MuTr FEE upgrade",
[https://www.phenix.bnl.gov/WWW/p/draft/mibe/
muTrFEEupgrade/doc/TechnicalDesignReport/latest/main.pdf](https://www.phenix.bnl.gov/WWW/p/draft/mibe/muTrFEEupgrade/doc/TechnicalDesignReport/latest/main.pdf).