

修士論文

原子核内におけるベクター中間子質量測定のための  
トリガー中継モジュール開発

京都大学大学院理学研究科  
物理学第二教室  
原子核ハドロン物理学研究室  
市川真也

## 概要

真空中でのハドロン質量は、QCD 和則などの理論的アプローチによって QCD におけるクォーク凝縮と関係づけることが可能である。我々は有限密度下でのハドロン質量スペクトルを測定することで、実験の立場から有限密度におけるクォーク凝縮の振る舞いを調べる。

我々は J-PARC ハドロン実験施設の高運動量ビームラインにおいて、原子核密度下における  $\phi$  中間子の質量スペクトル測定を行う。実験では 30 GeV、 $1 \times 10^{10}/\text{spill}$  (1 スピルは約 2 秒) の陽子ビームを銅標的及び炭素標的に照射し、原子核内に  $\phi$  中間子を生成する。そして、 $\phi \rightarrow e^+e^-$  崩壊で生成された電子・陽電子対を測定し、不変質量法を用いて  $\phi$  中間子の質量を再構成する。真空中と比較した場合のスペクトルの変形を見積もり、QCD 和則を用いることで有限密度下での  $s$  クォーク凝縮の値に制限を与える。

本実験の前身である KEK-PS E325 実験では、質量分解能  $11 \text{ MeV}/c^2$  で測定を行い、 $\phi$  中間子について質量の減少傾向を観測した。本実験では質量分解能  $8 \text{ MeV}/c^2$  の下で E325 実験の百倍の統計量を収集し、核内の質量スペクトルについて確定的な情報を得ることを目指す。

実験においてトリガーに用いるチャンネル数は 2,620ch と多く、直接一つのモジュールで受信することはできない。そのためトリガーを決定するモジュールの前段に、トリガーを中継するモジュールを設置することとした。

トリガー中継モジュールは本実験のために新作されたモジュールであり、LVDS 信号の入力コネクタ、データ処理を行う FPGA チップ、SFP+ と呼ばれる光トランシーバーからなる。このモジュールでは、1 モジュールあたり 256 チャンネルの LVDS 信号から粒子検出の時間情報を取得し、シリアルライズして後段モジュールへと送信する。

本研究では、FPGA のファームウェアを開発し、入力部分と合わせた性能評価を行った。評価は時間分解能、積分非直線性、微分非直線性、短幅信号への応答、短間隔信号への応答について行い、いずれも実験に十分な性能が得られていることを示した。また、実験でモジュールへ入力される信号についてシミュレーションを行い、ファームウェアで採用しているロジックのレート耐性について考察した。

本論文では、トリガー中継モジュールのファームウェア実装、性能評価、シミュレーションの詳細について述べる。

# 目次

第 1 章	序論	9
1.1	物理的背景	9
1.2	先行実験	13
第 2 章	J-PARC E16 実験	17
2.1	目的	17
2.2	実験手法	17
2.3	検出器系	20
2.4	回路系	27
2.4.1	読み出し系	28
2.4.2	トリガー系	29
第 3 章	トリガーシステム	32
3.1	トリガー条件の概要	32
3.2	トリガーハードウェア	35
3.3	トリガー系への時間的要請	38
3.3.1	トリガーレイテンシの見積もり	38
3.3.2	トリガー系の各モジュールの時間配分	39
第 4 章	トリガー中継モジュールの開発	40
4.1	モジュールのハードウェア	40
4.2	モジュールのファームウェア	42
4.2.1	ファームウェアへの要請	42
4.2.2	ファームウェアの構成	43
4.3	動作試験	49
4.3.1	Vivado によるシミュレーション	49

	4.3.2	SiTCP を用いた実機テスト . . . . .	50
<b>第 5 章</b>		<b>トリガー中継モジュールの性能評価</b>	<b>52</b>
5.1		周波数安定度 . . . . .	52
	5.1.1	要求性能 . . . . .	53
	5.1.2	予測性能 . . . . .	53
	5.1.3	測定方法 . . . . .	53
	5.1.4	測定結果 . . . . .	54
5.2		積分非直線性 . . . . .	55
	5.2.1	要求性能 . . . . .	56
	5.2.2	測定方法 . . . . .	56
	5.2.3	測定結果 . . . . .	56
5.3		微分非直線性 . . . . .	57
	5.3.1	要求性能 . . . . .	57
	5.3.2	測定方法 . . . . .	57
	5.3.3	測定結果 . . . . .	58
5.4		時間分解能 . . . . .	60
	5.4.1	要求性能 . . . . .	60
	5.4.2	原理的な予測性能 . . . . .	60
	5.4.3	測定方法 . . . . .	61
	5.4.4	測定結果 . . . . .	61
5.5		短幅信号に対する検出効率 . . . . .	63
	5.5.1	要求性能 . . . . .	64
	5.5.2	測定方法 . . . . .	64
	5.5.3	測定結果 . . . . .	67
	5.5.4	再現した最小波形に対する応答 . . . . .	68
5.6		短間隔信号に対する検出効率 . . . . .	69
	5.6.1	要求性能 . . . . .	69
	5.6.2	測定方法 . . . . .	70
	5.6.3	測定結果 . . . . .	71
	5.6.4	実験への影響 . . . . .	71
<b>第 6 章</b>		<b>シミュレーションを用いた中継効率評価</b>	<b>72</b>

6.1	シミュレーションの目的	72
6.2	シミュレーションの条件	73
6.2.1	トリガーチャンネルのヒットレート	73
6.2.2	原子核反応を生じる物質	75
6.2.3	チャンネル ID の定義	76
6.2.4	シミュレーター	76
6.3	中継効率のシミュレーション	77
6.3.1	シミュレーションの流れ	77
6.3.2	Geant4 出力	77
6.3.3	タイムテーブル生成	78
6.3.4	結果	80
第 7 章	結論	82
付録 A	ファームウェアの動作試験の詳細	86
A.1	Vivado によるシミュレーション	86
A.1.1	1 チャンネル入力に対する動作	86
A.1.2	トリガーレイテンシの見積もり	88
A.1.3	多チャンネル入力に対する動作	89
A.2	SiTCP による TDC 読み出し	90
参考文献		92

# 目次

1.1	$\langle \bar{q}q \rangle$ の温度・密度依存性 [1]	10
1.2	結合定数のエネルギースケール依存性 [2]	11
1.3	原子核密度中の $\phi$ 中間子質量の $\langle N \bar{s}s N \rangle$ 依存性 [3]	12
1.4	密度と $\phi$ 中間子質量の関係	12
1.5	E325 実験で取得された $\phi$ 中間子スペクトル	14
1.6	E325、E16 の各標的における $\phi$ 中間子の質量変化量の速度依存性	15
2.1	本実験で取得が予測される $\phi$ 中間子スペクトル	19
2.2	検出器系の模式図	20
2.3	検出器系の断面図	21
2.4	FM Magnet	22
2.5	GTR の模式図	23
2.6	GTR の写真	24
2.7	HBD の検出原理	25
2.8	HBD の写真	26
2.9	LG の概要	27
2.10	回路系の概念図	28
2.11	トリガーチャンネル図	30
2.12	TOT 型ディスクリミネーターの模式図	31
3.1	位置のマッチング	33
3.2	開き角度の模式図	33
3.3	トリガーレートと電子対生存率の関係	35
3.4	Belle-2 UT3 の写真	37
3.5	Belle-2 FTSW の写真	38

3.6	粒子通過から読み出し開始までのタイムテーブル . . . . .	39
4.1	TRG-MRG の写真 . . . . .	41
4.2	TRG-MRG の概略図 . . . . .	41
4.3	FPGA 内ユーザー回路の概念図 . . . . .	44
4.4	TDC 部分の概念図 . . . . .	45
4.5	スケーラーの動作確認時の回路 . . . . .	50
4.6	スケーラーの動作確認 . . . . .	50
5.1	周波数安定度測定 of 回路図 . . . . .	53
5.2	2ch の時間差の出力例 . . . . .	54
5.3	入力時間差と出力時間差平均の関係 . . . . .	55
5.4	出力時間差平均の残差分布 . . . . .	56
5.5	DNL 測定 of 回路図 . . . . .	57
5.6	カウンタ下位 4bit のカウント数 . . . . .	58
5.7	図 5.6 を 0-7 ns(青、h0)、8-15 ns(赤、h1) の領域で重ね書いたもの . . . . .	59
5.8	DNL 換算値 . . . . .	59
5.9	時間検出の原理 . . . . .	60
5.10	各時間差における時間分解能 . . . . .	62
5.11	3bin に分布した場合のヒストグラム . . . . .	62
5.12	短い信号の非検出原理 . . . . .	63
5.13	LG 出力波形の DRS4 による読み取り結果 . . . . .	64
5.14	短幅信号に対する検出効率測定用回路 . . . . .	66
5.15	SN65LVDS348PW の論理判定 . . . . .	67
5.16	DRS4 モジュールの出力例 (短幅信号) . . . . .	68
5.17	LG 出力の再現波形 . . . . .	69
5.18	信号間隔の狭い場合の検出効率測定用回路 . . . . .	70
5.19	DRS4 モジュールの出力例 (間隔の狭い信号) . . . . .	70
6.1	ビーム上流から見た、GTR3 のモジュール図 . . . . .	73
6.2	KEK E325 実験セットアップ . . . . .	74
6.3	標的周辺の模式図 . . . . .	75
6.4	チャンネル ID の定義 . . . . .	76
6.5	ヒット分布の例 . . . . .	78

6.6	TRG-MRG へ入力されたチャンネルの分布 . . . . .	79
6.7	電子・陽電子対を含む 48 ch、64 ns のヒット数 . . . . .	80
6.8	ビームレートと TRG-MRG 検出効率の関係 . . . . .	81
A.1	ch11 に入力した場合の応答: SH16 以前 . . . . .	86
A.2	ch11 に入力した場合の応答: SH16 以降 . . . . .	87
A.3	ch11 に入力した場合の応答: HB 出力 . . . . .	88
A.4	TDC レイテンシのシミュレーション . . . . .	89
A.5	オーバーフローが起こる場合の入力 . . . . .	89
A.6	オーバーフローが起きた場合の出力 . . . . .	90
A.7	TDC 出力の読み出し . . . . .	91



# 表目次

2.1	1 モジュールあたりの GTR チャンネル数 . . . . .	24
2.2	検出器のまとめ . . . . .	27
2.3	波形バッファリング用 IC の仕様 . . . . .	29
3.1	$\pi^0$ 中間子の生成断面積 (推定値) . . . . .	34
3.2	トリガー系の各処理の所要時間 . . . . .	39
4.1	TDC への要請 . . . . .	43
4.2	立ち上がり情報のデータ形式 . . . . .	47
4.3	後段モジュールへの送信データ形式 . . . . .	48
5.1	各測定点における分布 bin 数 . . . . .	63
6.1	各物質の詳細 . . . . .	75
A.1	図 A.1 の説明 . . . . .	87
A.2	図 A.2 の説明 . . . . .	87
A.3	図 A.3 の説明 . . . . .	88
A.4	図 A.6 の立ち上がり情報、オーバーフロー情報の説明 . . . . .	90

# 第 1 章

## 序論

我々は  $\phi \rightarrow ee$  反応を用いた、原子核密度下における  $\phi$  中間子質量測定を J-PARC E16 実験として計画している。実験には  $1 \times 10^{10}/\text{spill}$  (1 スピルは約 2 秒) の大強度陽子ビームと大立体角の検出器群を用い、スペクトルについて系統的研究を行う。検出器信号は 112,996 ch、またトリガーに用いるチャンネル数は 2,620 ch と多い。そこで我々は、トリガーを決定するモジュールの前段に信号を集約するモジュールを開発することとした。本論文はこの TRG-MRG と呼ばれるモジュールのファームウェア実装とその性能評価について述べるものである。本章では研究の物理的背景と、理論、実験の現状について述べる。

### 1.1 物理的背景

真空中のハドロン質量の一部は、カイラル対称性の自発的破れとそれに伴うクォーク凝縮によって担われていると考えられている。一方有限温度ないし有限密度では、クォーク凝縮の値は自発的破れの部分的回復により小さくなると考えられる。図 1.1 に NJL 模型を用いて計算されたクォーク凝縮の期待値に対する温度及び密度依存性を示す [1]。従って真空中と比較して、原子核密度下ではハドロンの質量スペクトルに変形が見られることが期待される。変形を実験的に測定し、理論計算を用いて QCD の凝縮と結びつけることで、有限密度下でのクォーク凝縮の値に制限をつけることができる。

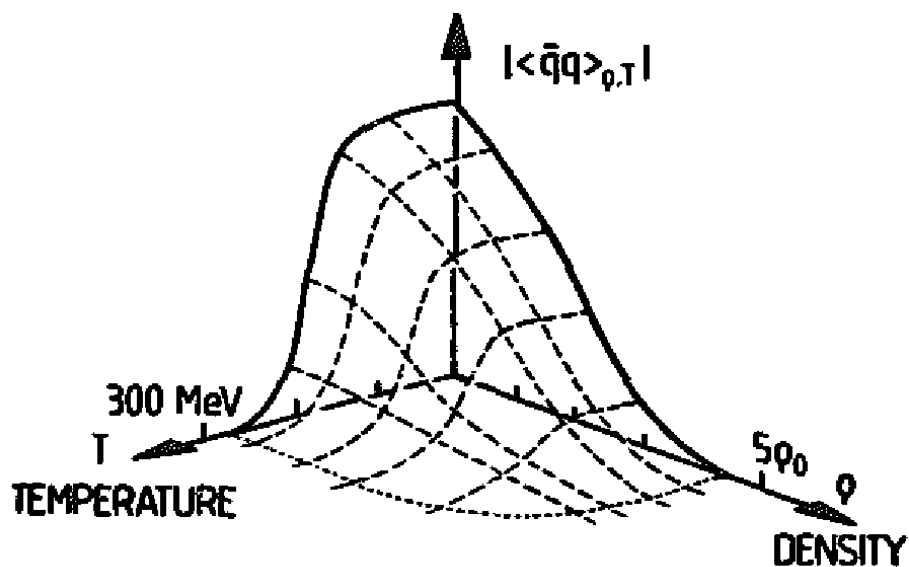


図 1.1  $\langle \bar{q}q \rangle$  の温度・密度依存性 [1]

クォークの動力学は Quantum ChromoDynamics(QCD) と呼ばれる。QCD は高エネルギーでは漸近的自由性を持ち、摂動論的な扱いが可能である一方、カイラル対称性の自発的破れの起こるような低エネルギー領域では結合定数が大きくなるため、摂動論的な QCD で取り扱うことができない (図 1.2)[2]。

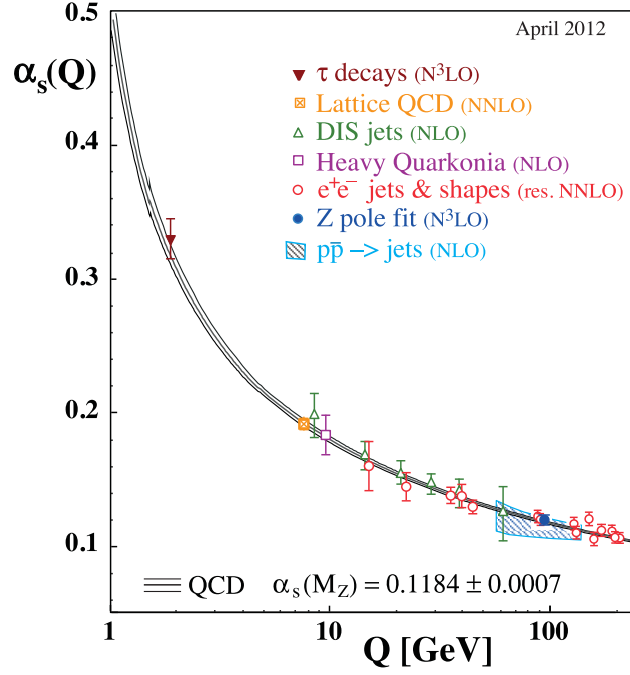


図 1.2 結合定数のエネルギースケール依存性 [2]

QCD 和則は低エネルギー領域で QCD の凝縮を観測量と結びつけることができる強力な理論手法である。QCD 和則によると、有限密度  $\rho$  における  $\phi$  中間子質量スペクトルと s クォークの凝縮  $\langle \bar{s}s \rangle_\rho$  は、 $\rho$  の線形近似の範囲内で次のように関連づけられる [3]。

$$\langle \bar{s}s \rangle_\rho = \langle \bar{s}s \rangle_0 + \langle N|\bar{s}s|N \rangle \rho \quad (1.1)$$

$$\frac{1}{M^2} \int_0^\infty ds e^{-s/M^2} \rho(s) = c_0(\rho) + \frac{c_2(\rho)}{M^2} + \frac{c_4(\rho)}{M^4} + \dots \quad (1.2)$$

$$c_0(\rho) = c_0(0), \quad c_2(\rho) = c_2(0) \quad (1.3)$$

$$c_4(\rho) = c_4(0) + \rho \left[ -\frac{2}{27} M_N + \frac{56}{27} m_s \langle N|\bar{s}s|N \rangle + \frac{4}{27} m_q \langle N|\bar{q}q|N \rangle + A_2^s M_N - \frac{7}{12} \frac{\alpha_s}{\pi} A_2^g M_N \right] \quad (1.4)$$

ここで、 $\rho(s)$  はスペクトル関数、 $M_N$  は核子質量、 $m_s$  は s クォークのカレント質量、 $m_s \langle N|\bar{s}s|N \rangle$  は核子中のストレンジネス成分、 $m_q \langle N|\bar{q}q|N \rangle$  は核子中の u、d 成分、 $A_2^s$ 、 $A_2^g$  はパートン分布関数のモーメント [3]、 $\alpha_s$  は結合定数である。

既知の量や寄与の小さい項を除くと、 $c_4(\rho)$  は密度  $\rho$  と  $\langle N|\bar{s}s|N \rangle$  のみで決まる。また、式 (1.2) の左辺はスペクトルの積分値であるので、実験から決定すること

ができる。よって、QCD 和則を用いると  $\langle N|\bar{s}s|N \rangle$  を導出できることになる。図 1.3 に、原子核密度下における  $\phi$  中間子質量の  $\langle N|\bar{s}s|N \rangle$  依存性を示す。横軸は  $\sigma_{sN} = m_s \langle N|\bar{s}s|N \rangle$ 、縦軸は  $\phi$  中間子質量の真空中との比である。従って、 $m_\phi(\rho_0)$  は  $\sigma_{sN}$  に感度のある測定量であると言える。

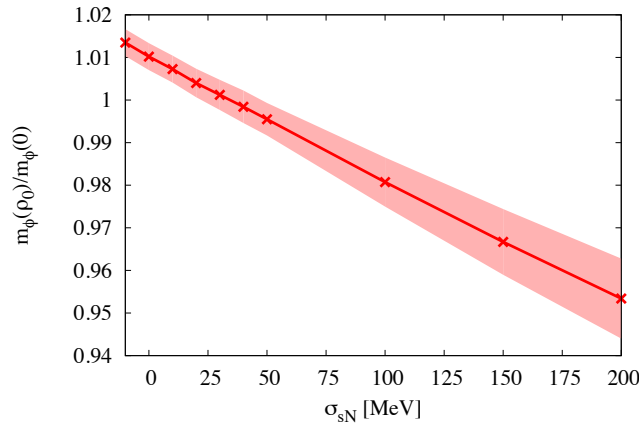


図 1.3 原子核密度中の  $\phi$  中間子質量の  $\langle N|\bar{s}s|N \rangle$  依存性 [3]

図 1.4 は格子 QCD によって予測された  $\sigma_{sN}$  の値を用い、QCD 和則によって計算した密度と  $\phi$  中間子質量の関係である。

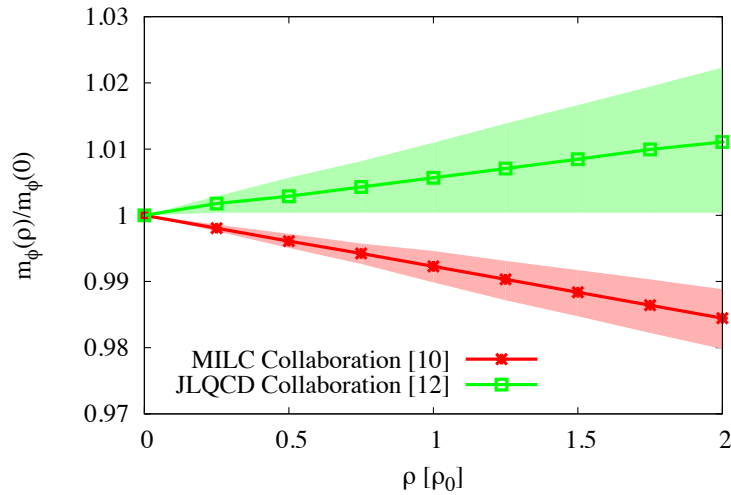


図 1.4 密度と  $\phi$  中間子質量の関係 [3]: 赤線は MILC Collaboration によって計算された  $\sigma_{sN} = 61 \pm 9[\text{MeV}]$ 、緑線は JLQCD Collaboration によって計算された  $\sigma_{sN} = 8 \pm 21[\text{MeV}]$  という値を用いている [3]

MILC Collaboration の値を用いると、原子核密度で  $\phi$  中間子質量が約 1% 減少する

と予測される。また最近の格子 QCD による  $\sigma_{sN}$  の計算結果としては、約 40 MeV や約 100 MeV といった結果が得られている [4, 5]。ただし、上で見られるように格子 QCD 計算には未だばらつきが大きく、実験によってより高い精度で  $\sigma_{sN}$  を決定できると期待されている。

## 1.2 先行実験

原子核密度下における  $\phi$  中間子の有意な質量スペクトル変形は、KEK-PS E325 実験で初めて報告された [6]。この実験では  $1 \times 10^9/\text{spill}$ (1 スピルは約 2 秒)、運動エネルギー 12 GeV の陽子ビームを炭素、銅標的に照射することで標的に  $\phi$  中間子を生成し、その崩壊生成物である電子・陽電子対と荷電  $K$  中間子対を測定した。質量分解能は約  $11 \text{ MeV}/c^2$ 、 $\phi$  中間子の数は約 2,400 個であった。図 1.5 に KEK-PS E325 で得られた質量スペクトルを示す [8]。標的の原子核半径が大きく生成  $\phi$  中間子の速度が小さい場合、つまり原子核内で  $\phi$  中間子が崩壊した可能性が高い場合に、有意な質量変形が見られた(図 1.5 左下)。

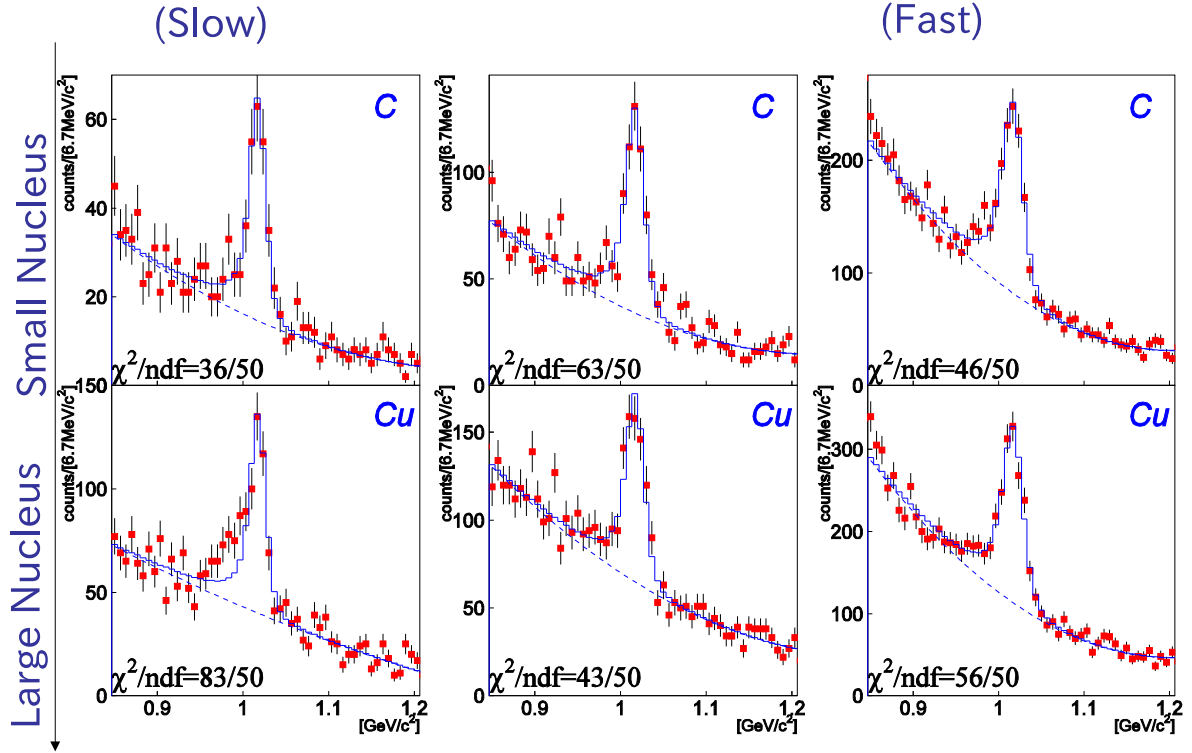


図 1.5 E325 で取得された  $\phi$  中間子スペクトル [8]: 上下は標的の違い、左右は  $\phi$  中間子の速度の違いによって分割されており、左から  $\beta\gamma < 1.25$ 、 $1.25 < \beta\gamma < 1.75$ 、 $\beta\gamma > 1.75$  である。

これら 6 個のスペクトルについて、密度に対する質量、全崩壊幅の関数として

$$\frac{m_\phi(\rho)}{m_\phi(0)} = 1 - k_1 \frac{\rho}{\rho_0}, \quad \frac{\Gamma_\phi(\rho)}{\Gamma_\phi(0)} = 1 + k_2 \frac{\rho}{\rho_0} \quad (1.5)$$

を仮定したモデル計算と比較したところ、質量変化  $k_1 = 0.034^{+0.006}_{-0.007}$ 、全崩壊幅変化  $k_2 = 2.6^{+1.8}_{-1.2}$  の場合に最も良く実験結果が再現されることが分かった。この値に QCD 和則を適用すると、 $\sigma_{sN} = 160 \pm 50$  MeV と求められる。しかしその統計誤差範囲では、スペクトル変形の密度依存性について明確な結論は得られなかった。図 1.6 に E325 での各標的核種における、質量変形の起こったイベント数の比の  $\phi$  中間子速度依存性を示す。

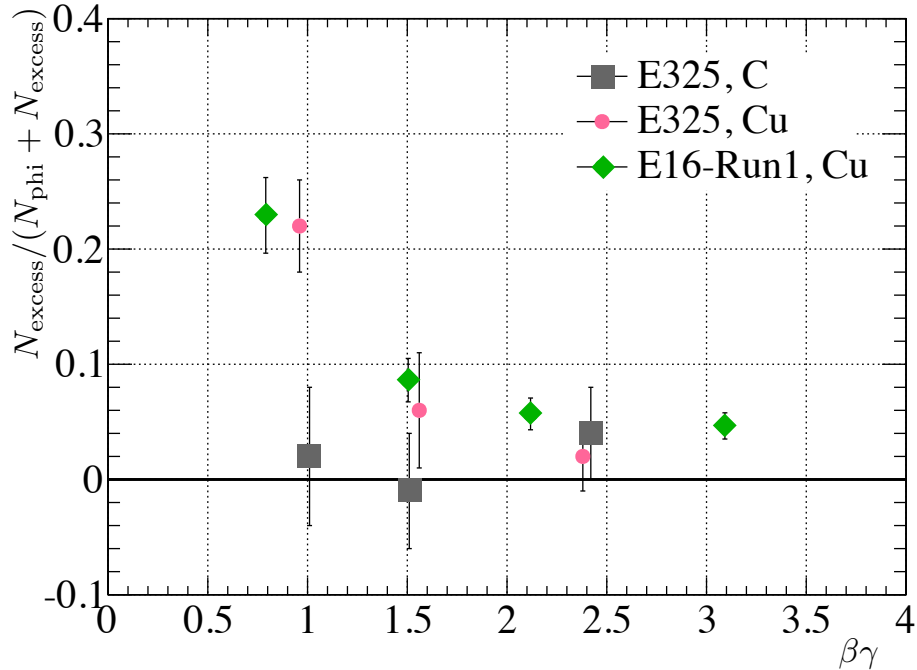


図 1.6 E325、E16 の各標的における  $\phi$  中間子の質量変化量の速度依存性 [9]: 縦軸はスペクトル変形の起こった確率を表している。黒四角は E325 における C 標的の実験値、ピンク丸は E325 における Cu 標的の実験値、緑菱形は E16 の Run1(途中段階)における Cu 標的のシミュレーション値である。E325 においては Cu 標的の  $\beta\gamma$  の小さい一点のみに、統計誤差を超える有意な変形が見られた。

図 1.5 のヒストグラムでは、バックグラウンド部分を除いたイベント数に対する、質量変形と思われる部分のイベント数の比を縦軸としている。核媒質中において  $\phi$  中間子質量のローレンツ不変性は破れるため、QCD 和則に用いる  $\phi$  中間子質量スペクトルは、運動量 0 のものでなければならない [7]。運動量 0 の場合の質量変形は有限運動量からの外挿から得られる。しかし KEK E325 においては有意な質量変形は図 1.6 において 1 点のみであるため、精度のある外挿は望めない。また、CERN-SPS で行われた CERES 実験 [10] や NA60 実験 [11] では有限温度、JLab で行われた CLAS 実験 [12] では有限密度下における質量変形が研究された。しかしいずれの実験も分解能や統計の不足により、 $\phi$  中間子の質量変形については有意な結果が得られなかった。

このような背景から、J-PARC E16 実験が計画された。現代の加速器施設において、大強度陽子ビームと高計測スペクトロメーターを用い、核内の中間子スペクトルを決定することを目指している。 $\phi$  中間子の速度でスペクトルを切り分けた際に、図 1.6 の緑丸のような複数の速度領域に渡る有意な質量変形を観測することで、運動量 0 における質量をより信頼度高く外挿する。本論文では、E16 実験のために開発された TRG-MRG モジュー



ルの性能評価について報告する。実験の多チャンネル化、高レート化に対応したトリガー用中継ボードと位置付けられる。

第二章では実験の詳細について、第三章ではトリガーシステムについて説明する。第四章では TRG-MRG の詳細とファームウェアの実装、第五章では実機を用いた性能評価の結果を述べる。第六章ではシミュレーションによる TRG-MRG の中継効率の見積もりについて述べる。

## 第 2 章

# J-PARC E16 実験

### 2.1 目的

J-PARC E16 実験では、原子核中の  $\phi$  中間子質量スペクトルを測定する。この測定に対して有限密度における QCD 和則を適用し、有限密度下における  $s$  クォーク凝縮の値  $\langle \bar{s}s \rangle_\rho$  を求めることを目的としている。

### 2.2 実験手法

本実験では、30 GeV 陽子ビームを原子核標的へ入射し、生成されたベクター中間子の崩壊によってできる電子・陽電子対の運動量を測定する。電子・陽電子対の四元運動量から不変質量法によって、親のベクター中間子の質量スペクトルを再構成する。

レプトンはハドロンと比較して核子との相互作用が小さく Final State Interaction の影響をほとんど受けないため、原子核中のベクター中間子を測定するためには電子・陽電子対をプローブとすることが有利である。しかしその分岐比は、例えば  $\phi$  中間子の場合で  $2.95 \times 10^{-4}$  と小さく [2]、大統計を得るためには電子・陽電子対を効率よく識別することが重要になる。

実験には J-PARC ハドロン実験施設の高運動量ビームラインの 30 GeV 陽子ビームを用いる。強度は  $1 \times 10^{10}/\text{spill}$  (1 スpillは 2 秒) である。また標的には、80  $\mu\text{m}$  の銅を 2 枚と、400  $\mu\text{m}$  の炭素を 1 枚用いる。この厚みは、放射長で 1 枚あたり 0.5%、相互作用長でそれぞれ 0.05% (80  $\mu\text{m}$  銅)、0.1% (400  $\mu\text{m}$  炭素) に対応する。枚数を調整することで銅と炭素の総相互作用長を揃えている。 $\phi$  中間子の生成断面積は、E325 の測定値を原子核反応シミュレーター JAM の質量数依存性によりスケールすることで、30 GeV 陽子ビー

ムに対して Cu で 4.8 mb、C で 1.2 mb であることが予測されており、 $\phi \rightarrow e^+e^-$  イベントの生成率は約 18 Hz と見積もられる [13]。検出器系は遅い  $\phi$  中間子までカバーする大立体角スペクトロメーターを構成する仕様となっており、磁場印加領域における飛跡検出を用いた運動量測定と 2 段階の電子識別によって電子・陽電子対を測定する。

図 2.1 にモンテカルロシミュレーションによって得られた  $\phi$  中間子質量の予想スペクトルを示す [9]。 $\phi$  中間子の質量スペクトルは、KEK-PS E325 実験で得られた結果に基づいて核内で質量が変化するとしている。データ点に対し、真空中の  $\phi$  中間子として Breit-Wigner 分布、バックグラウンドとして exponential を用いてフィットしている。上側が全質量領域、下側はスペクトルの変形領域を除いた部分でフィットしている。

この図に含まれる  $\phi \rightarrow e^+e^-$  イベントは計 15,000 個と、実験での目標収量である 69,000 個より少ないが、各運動量で有意なスペクトル変形が見られることが期待される。

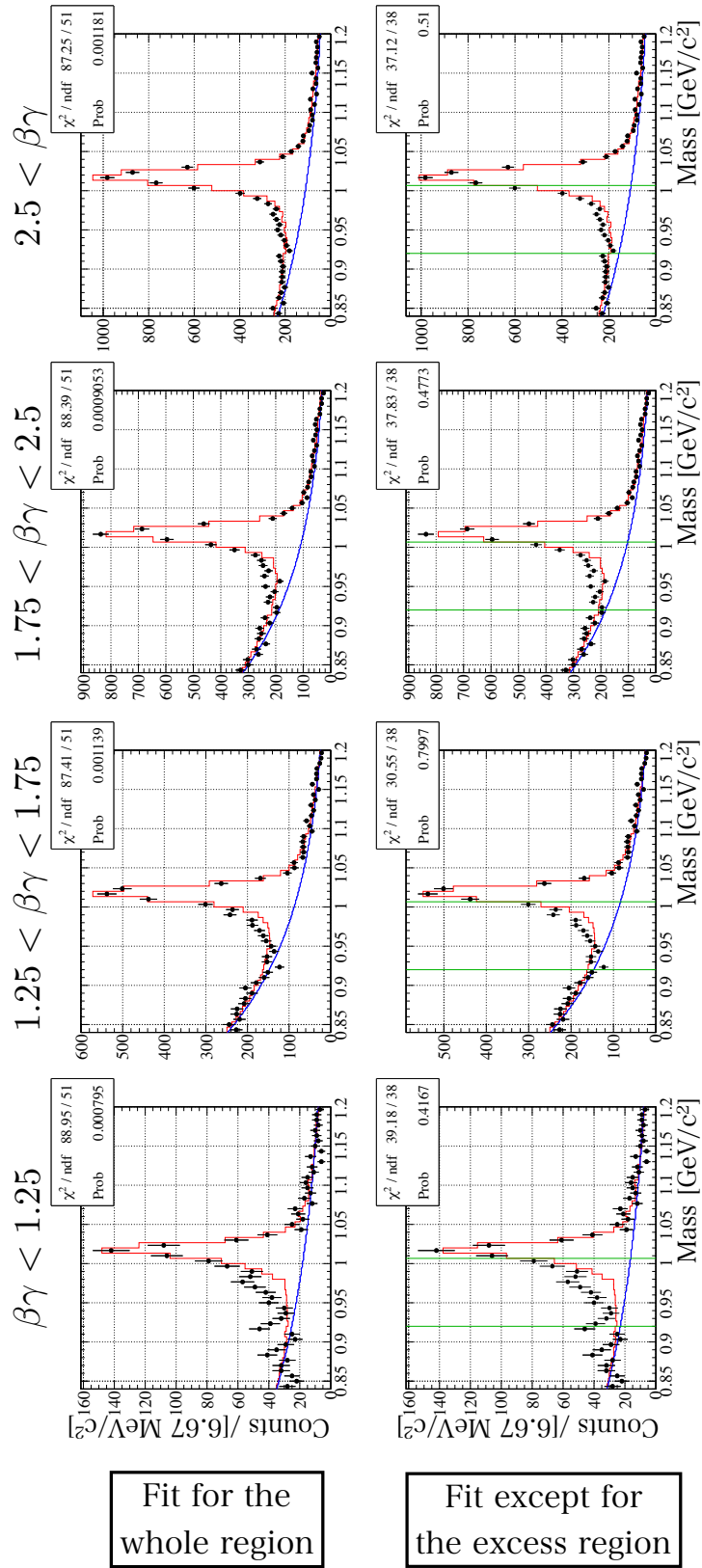


図 2.1 本実験で取得が予測される  $\phi$  中間子スペクトル [9]:  $\phi$  中間子の速度依存性を示す

## 2.3 検出器系

図 2.2 に検出器系の模式図を示す。

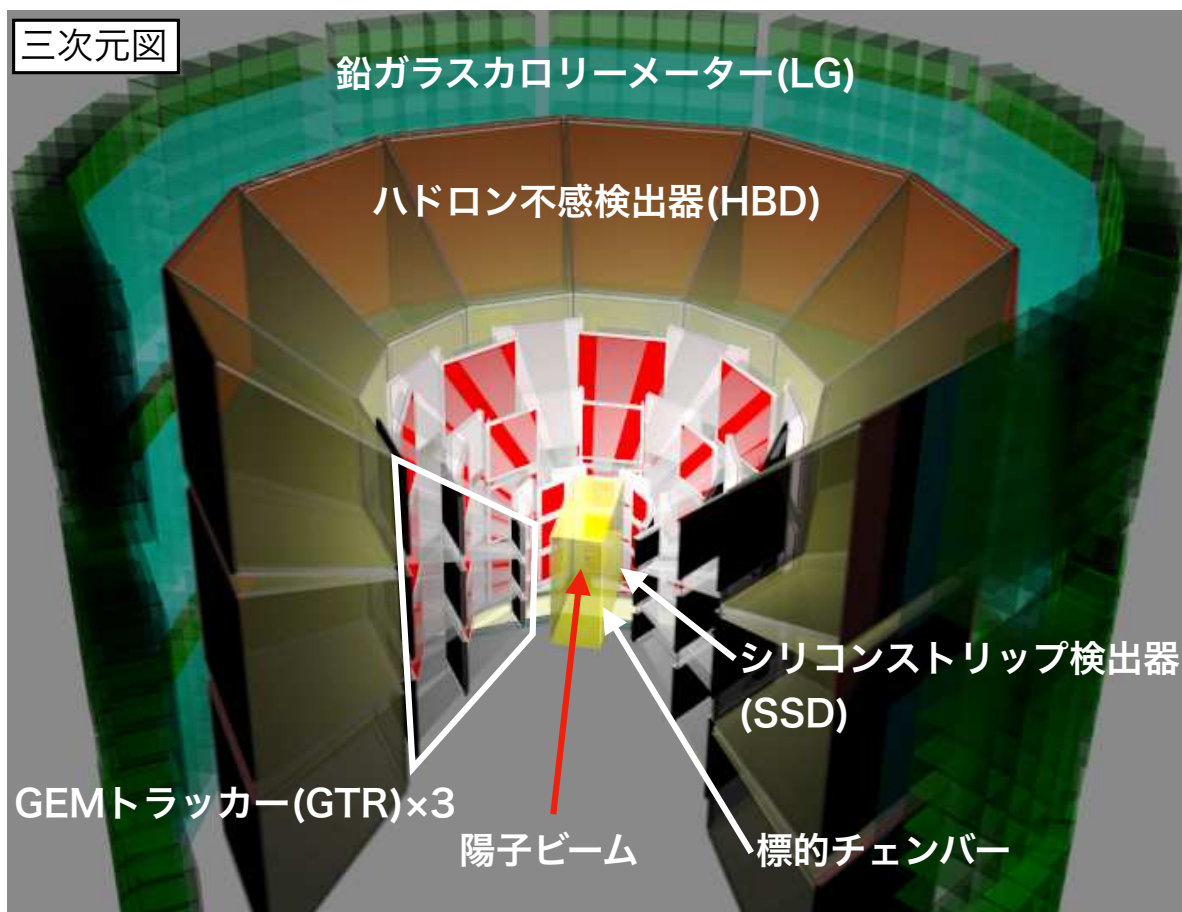


図 2.2 検出器系の模式図

検出器は標的を覆うように、内側から順に飛跡検出器と電子識別用検出器で構成される。特に飛跡検出器は磁場中に設置される。飛跡検出器は内側からシリコンストリップ検出器(SSD)とガス電子増幅器(GEM)を用いた検出器三段(GTR1, 2, 3)から成る。電子識別用検出器は内側から、ガステレンコフ型検出器(HBD)と鉛ガラスカロリメーター(LG)から成る。図 2.3 に検出器群の水平方向の断面図を示す。

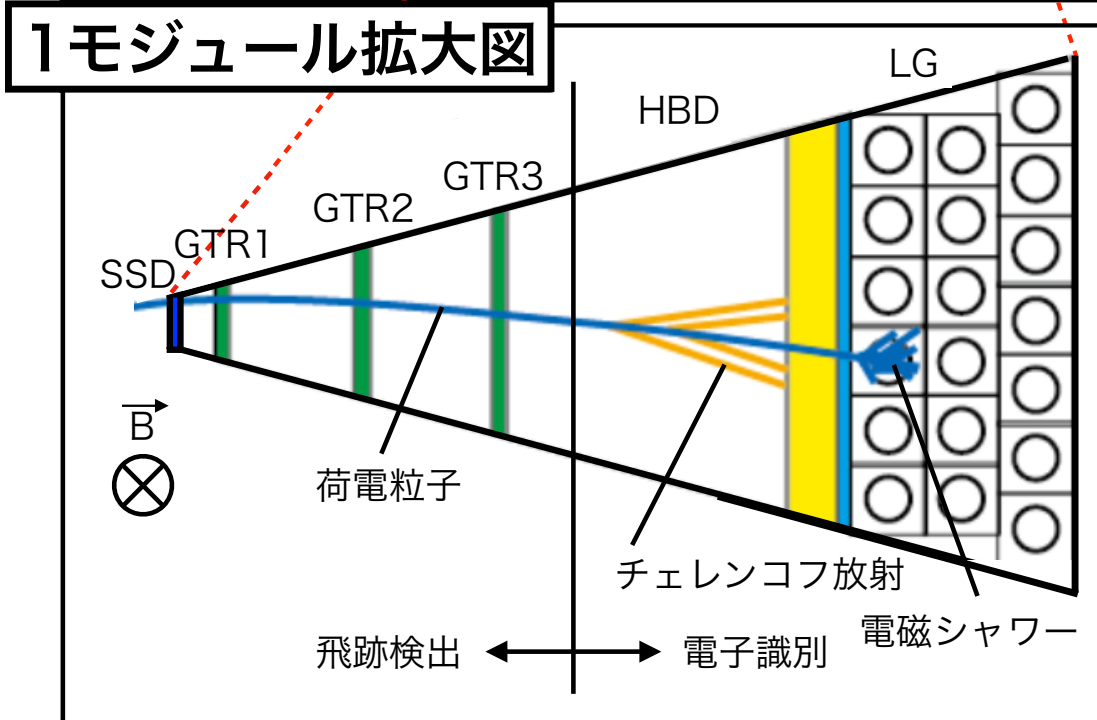
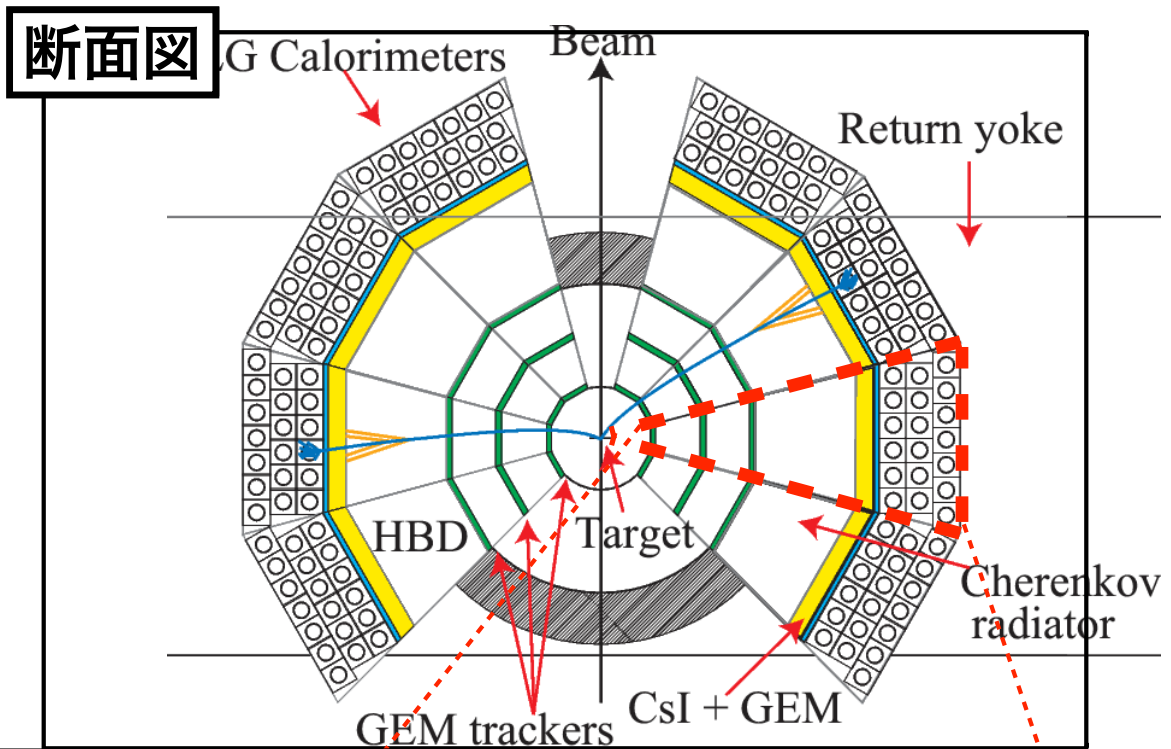


図 2.3 検出器系の断面図: 下側は 1 モジュールの断面図

以後、標的を中心として水平方向、鉛直方向にそれぞれ 30° の立体角を覆う検出器 6 段

の組を、1 モジュールと表記する (図 2.3 下段)。また、水平方向の軸を x 軸、延長方向の軸を y 軸、検出器面に対して垂直な軸を z 軸と表記する。検出器系は、このモジュールを x 軸方向に 9 モジュール ( $\pm 135^\circ$ )、y 軸方向に 3 モジュール ( $\pm 45^\circ$ ) 並べ、ビーム軌道上の 1 モジュールを除いた計 26 モジュールで構成される。

検出器系全体の性能としては、質量分解能 7.9 MeV、電子の検出効率 57%、主なバックグラウンドとなる  $\pi$  中間子の混入率  $3 \times 10^{-2} \%$  を実現する設計となっている [8]。各検出器の概要を述べる。

### FM Magnet

運動量測定用のダイポールマグネットである。中心でのギャップは 400 mm であり、電流 2500 A で中心磁場 1.7 T に達する。図 2.4 に写真を示す。

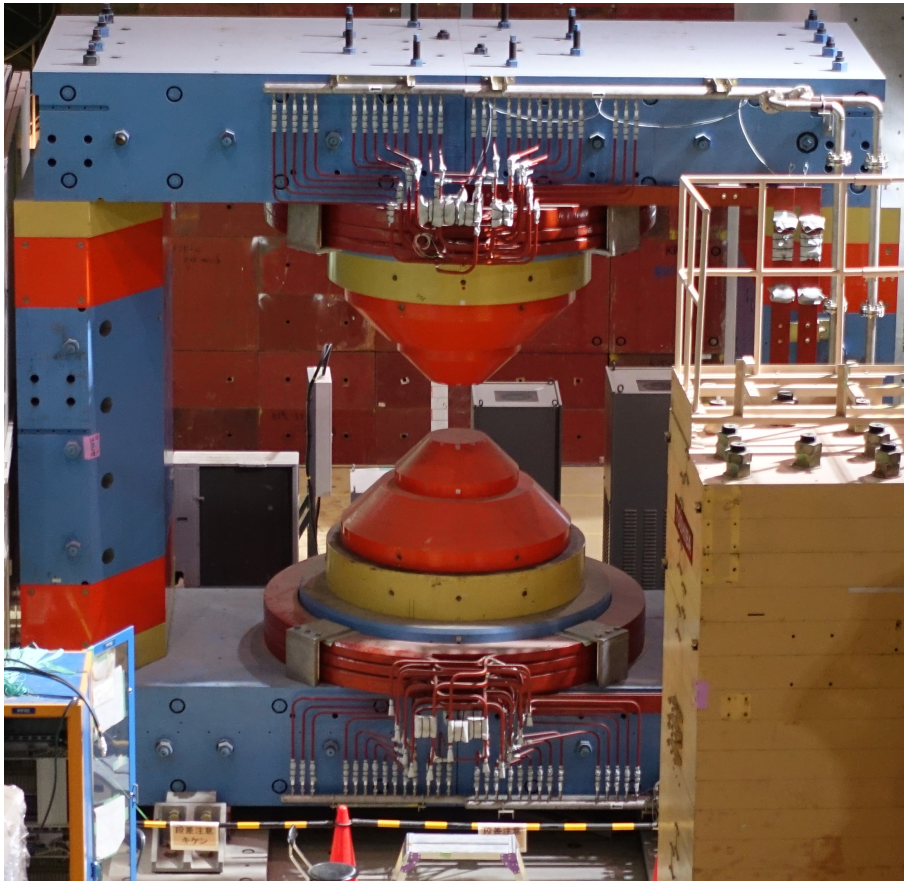


図 2.4 FM Magnet

### Silicon Strip Detector(SSD)

位置検出用の片面シリコンストリップ検出器である。有感領域のサイズは約 60 mm

四方、チャンネル数は 768 ch、位置分解能は 30  $\mu\text{m}$  である。最も反応点に近く、運動量分解能向上のために導入される。

### GEM Tracker(GTR)1、2、3

GEM を用いた飛跡検出器である。低物質のため下流の検出器への影響が小さく、また実験で想定される荷電粒子レート  $5\text{kHz}/\text{mm}^2$  に対して耐性がある。図 2.5 に示すように、GEM 面三層と読み出しパッドから構成される。動作原理としては、まず荷電粒子が通過すると GEM の一層目の手前のドリフト層で電子が電離し、GEM へ導かれる。三層の GEM で電子が増幅され、読み出しパッドで信号として読み出される。そして閾値を超えた信号の時間、チャンネル分布から粒子の位置を検出する。ガスは 1 atm の Ar + CO<sub>2</sub>(7:3) 混合ガスを用いる。

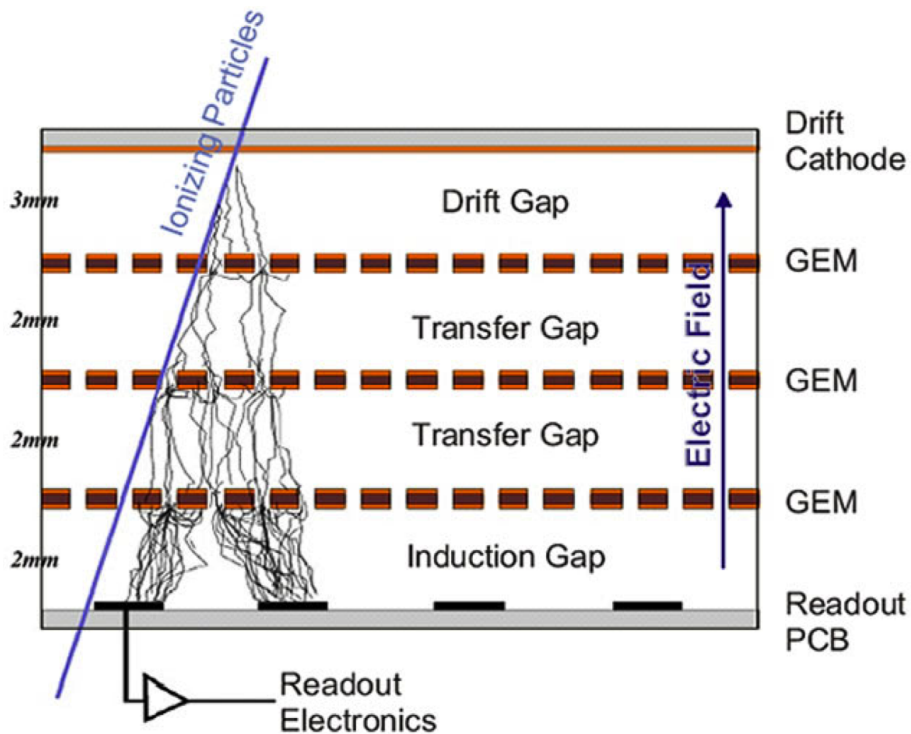


図 2.5 GTR の模式図 [8]

位置分解能は x 軸方向に約 100  $\mu\text{m}$ 、y 軸方向に約 300  $\mu\text{m}$  である。磁場の向きが y 軸方向でありその運動量分解能への寄与が小さいため、x 軸方向の分解能を重視した設計となっている。位置分解能向上のため、ドリフト速度を小さくしている。内側から順に 100 mm  $\times$  100 mm、200 mm  $\times$  200 mm、300 mm  $\times$  300 mm の面積を持つ 3 種類の GTR を設置する。図 2.6 に写真を示す。



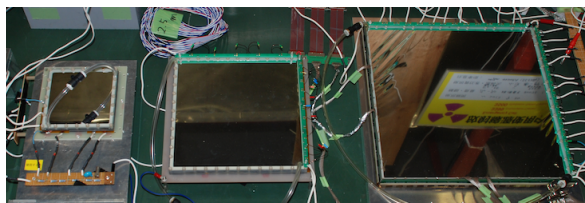


図 2.6 GTR の写真 [8]: (左) 三段の GTR(100 mm × 100 mm、200 mm × 200 mm、300 mm × 300 mm)、(右) 骨組み

それぞれのチャンネル数は表 2.1 に示す通りであり、1 モジュールあたり計 2160 ch になる。

表 2.1 1 モジュールあたりの GTR チャンネル数

	x	y	x+y
GTR1	288	72	360
GTR2	576	144	720
GTR3	864	216	1080
合計	-	-	2160

### Hadron Blind Detector(HBD)

電子識別用のガスチェレンコフ型検出器である。図 2.7 に検出原理を示す。CF<sub>4</sub> ガス層で電子のチェレンコフ放射から光子を生成したのち、CsI 光電面で電子に変換し、GEM で増幅して信号を検出する。一方  $\pi$  中間子による電離電子はメッシュにかけられた電場によりメッシュに吸われ、GEM 面へは到達しない。この測定原理によりハドロンに不感な電子識別が可能となる。

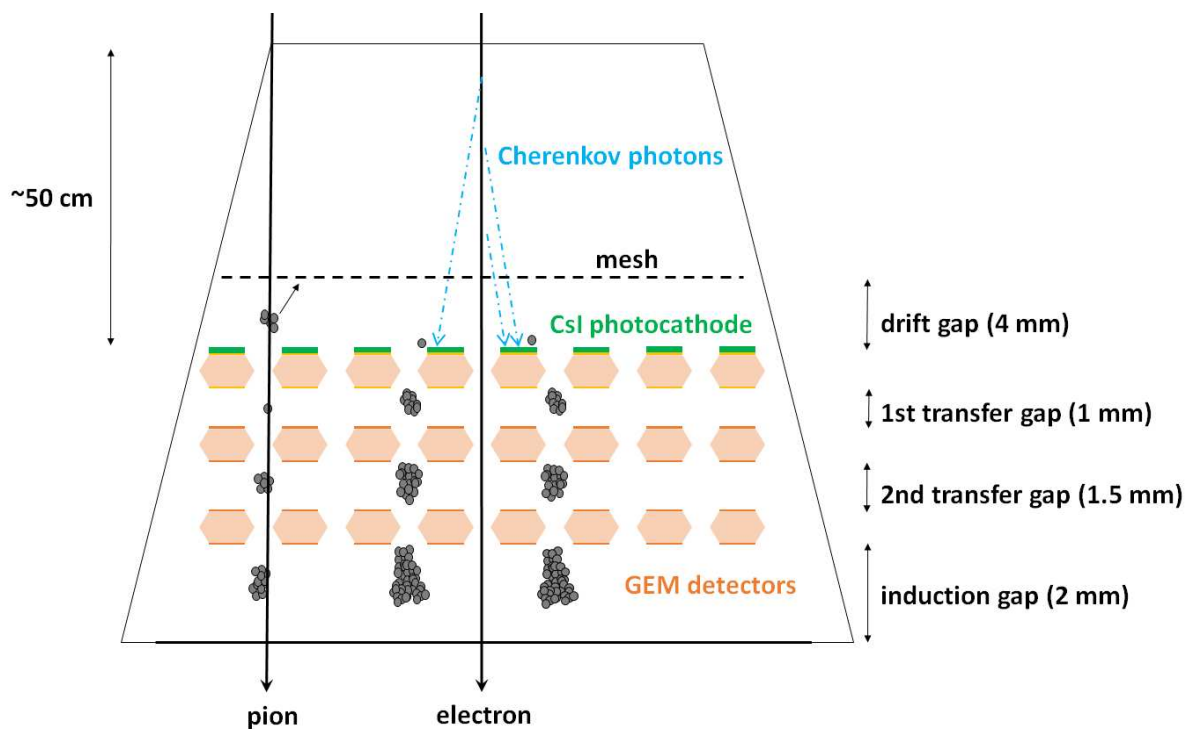


図 2.7 HBD の検出原理 [8]

GEM 面は 1 モジュールあたり 600 mm 四方であり、チャンネル数は 1,380 ch である。電子の検出効率は約 63%、 $\pi$  中間子の混入率は約 0.6% である。また、オフライン解析においては信号の空間的な広がりから、チェレンコフ光由来の信号と電離電子による信号を区別することができる。図 2.8 に写真を示す。



図 2.8 HBD1 モジュール分の写真 [8]

### Lead Glass Calorimeter(LG)

電子識別用の鉛ガラスカロリメーターである。電磁シャワー、チェレンコフ放射によって生じた光子を光電子増倍管で読み取り、閾値型の検出器として動作させる。電子の検出効率は約 90%、 $\pi$  中間子の混入率は約 5% である。検出器系 1 モジュールを 38 ないし 42 ブロックで形成する。図 2.9 に寸法と写真を示す。

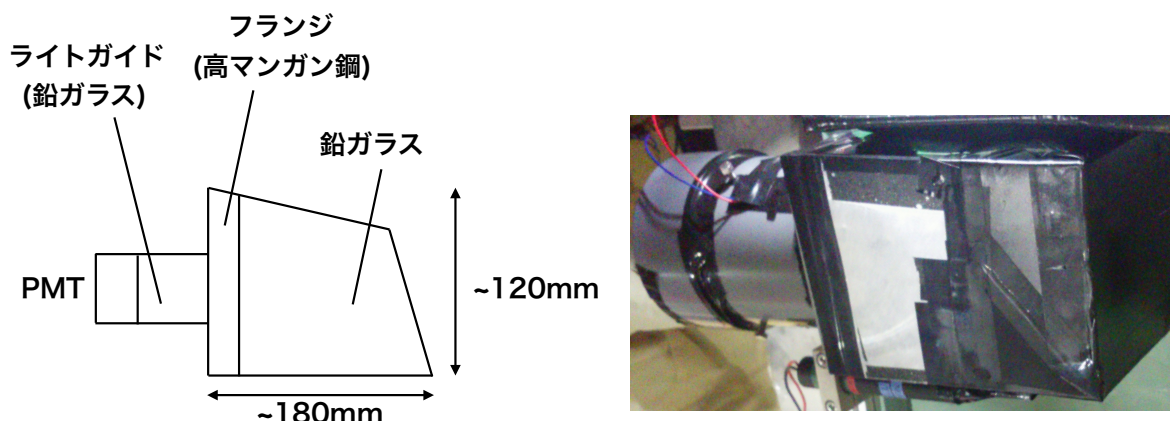


図 2.9 LG の概要: 左側が寸法、右側が写真

検出器について表 2.2 にまとめる。

表 2.2 検出器のまとめ

検出器	SSD	GTR	HBD	LG	全体
用途	飛跡検出		電子識別		
設置半径 [mm]	120	200, 400, 600	1200	1400	
チャンネル数 [ch/module]	768	2,160	1,380	38 or 42	4,348
総チャンネル数 [ch]	1,9968	56,160	35,880	1,060	112,996
位置分解能 [ $\mu\text{m}$ ]	30	100(x), 300(y)	-	-	-
質量分解能 [ $\text{MeV}/c^2$ ]	-	-	-	-	7.9
電子検出効率	-	-	63%	90%	57%
$\pi$ 中間子混入率	-	-	0.6%	5%	0.03%

## 2.4 回路系

E16 実験では、SSD、GTR、HBD、LG の全ての検出器から波形情報を取得する。これは位置分解能の向上と、パイルアップの影響をオフラインで取り除くためである。またトリガー生成には、GTR3、HBD、LG からのディスクリミネーター出力信号を用いる。SSD、GTR1、GTR2 は標的に近く、ビームハローなどの影響が大きいと考えられるため、トリガーには使用しない。図 2.10 に回路系の概念図を示す。検出器信号読み出し系

と、トリガーを生成するトリガー系に大別される。粒子が検出器群を通過すると、ディスクリミネーター信号が出力され同時に読み出し系で波形情報がバッファリングされる。トリガー系ではバッファリングタイムに間に合うようトリガーを生成し、波形読み出し系へトリガーを発行する。

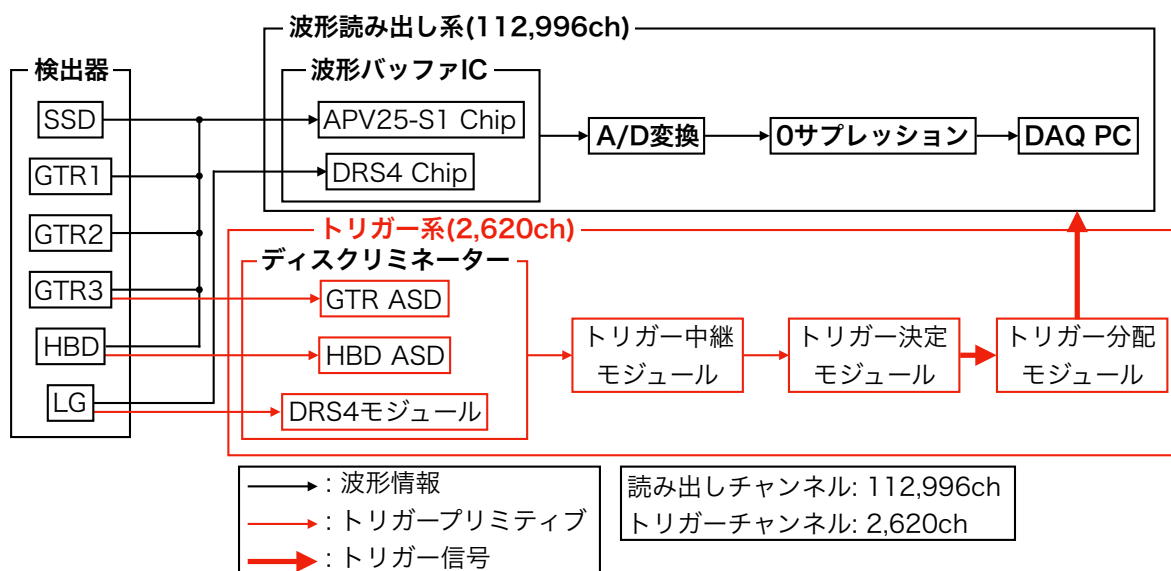


図 2.10 回路系の概念図

本節ではトリガー系の一部と、トリガーレイテンシの上限に関わる波形バッファ集積回路 (IC) について述べる。トリガー系の詳細は第 3 章、中でも本論文で報告するトリガー中継モジュールの詳細は第 4 章で述べる。

### 2.4.1 読み出し系

読み出し系では計 112,996 ch からの波形情報を取り扱う。SSD、GTR、HBD は APV25-S1 Chip[14] と呼ばれる IC、LG は DRS4 Chip[15] と呼ばれる IC を用いて、トリガーがかかるまで、波形をアナログのままバッファリングする。それぞれの IC の仕様を表 2.3 にまとめる。

表 2.3 波形バッファリング用 IC の仕様

IC	APV25	DRS4(E16仕様)
チャンネル数	128	4
サンプリング間隔 [MHz]	40	700-1000
セル数 [/ch]	160	2048
バッファリングタイム [ $\mu$ s]	4	~ 2

DRS4 Chip は仕様をカスタマイズすることができるが、ここでは E16 で予定している仕様を記す。SSD、GTR、HBD は  $4\mu$ s、LG は  $2\mu$ s のバッファリングタイムがある。

#### 2.4.2 トリガー系

トリガー信号の生成には、GTR の三段目 (GTR3)、HBD、LG のディスクリミネーター出力信号を用いる。図 2.11 に 1 モジュールあたりの、各チャンネルの覆う面を示す。LG は 1 ブロックが 1 ch に対応し場所に応じて 1 モジュールあたり 38 ないし 42 ch ある。HBD は LG に対応させるように縦横に  $6 \times 6$  の 36 ch、GTR3 は y 軸方向に 24 分割されている。ディスクリミネート信号は 1 モジュールあたり約 100 ch、全モジュールに渡る総数は 2,620 ch になる。

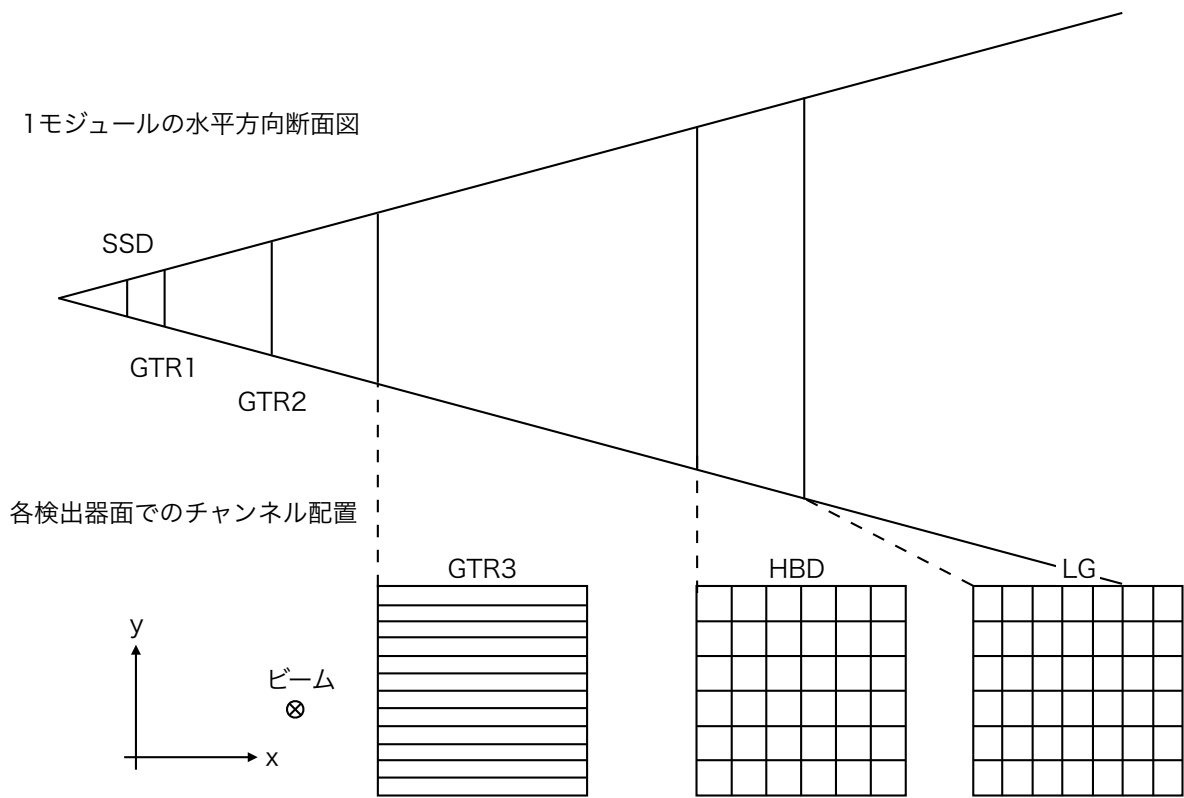


図 2.11 トリガーチャンネル図

ディスクリミネート信号の生成は、GTR3 と HBD については ASD(Amp-Shaper-Discriminator) カード [16]、LG については DRS4 モジュール [17] と呼ばれる、波形取得及びディスクリミネーターなどが実装されたモジュールを用いる。これらのディスクリミネーターはいずれも信号が閾値を超えた時間 (Time Over Threshold: TOT) と同じ幅のデジタル信号を出力する (図 2.12)。典型的な信号の幅は、GTR3 で約 200 ns、HBD で約 800 ns、LG で約 30 ns である。

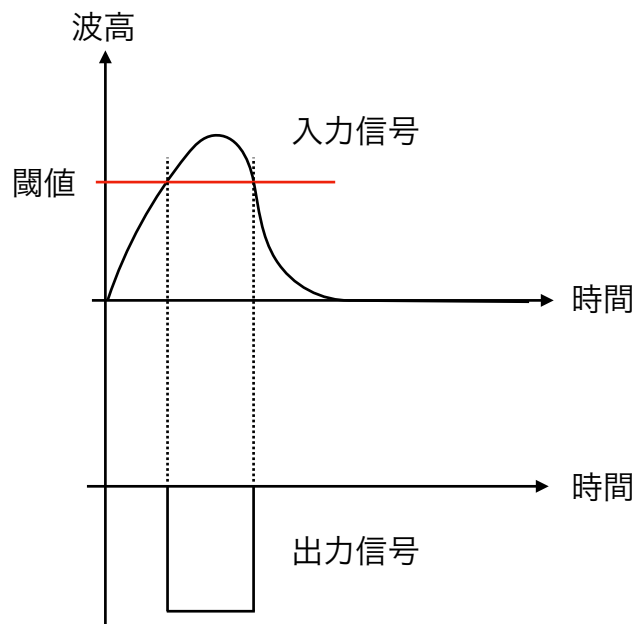


図 2.12 TOT 型ディスクリミネーターの模式図

またトリガーチャンネルのヒットレートは最大で約 1 MHz/ch と予測される。これは、荷電粒子全てに感度のある GTR3 の、最前方での値である。トリガーレートに関する詳細は 6.2.1 項で述べる。またディスクリミネーター以降については次章で説明する。



## 第 3 章

# トリガーシステム

本章では、本実験で課すトリガー条件のコンセプトと、それを実現するためのハードウェアについて記述する。

### 3.1 トリガー条件の概要

本実験では GTR3、HBD、LG のディスクリミネーター出力信号を用いて、電子・陽電子対への崩壊イベントを次のような条件で判定する。

- 三段の検出器でタイミングのコインシデンスと位置のマッチングを取り、標的からの電子飛跡を検出する (図 3.1)。
- 飛跡が一定時間内に 2 つ以上検出され、かつその飛跡の開き角度がある値を超えた場合にトリガーを生成する (図 3.2)。

一つ目の条件では、検出器にヒットした粒子が標的から放出されたものであることと、その粒子が電子であることを要求する。二つ目の条件では、電子の飛跡が 2 本あり、かつ  $\phi$  中間子由来であることを要求する。

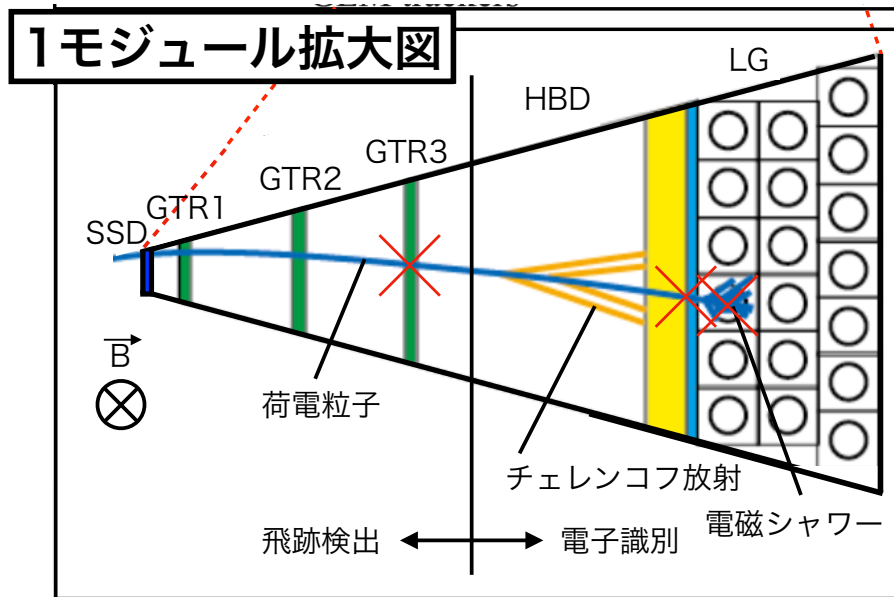


図 3.1 位置のマッチング: 赤のバツ印の位置で粒子が検出されている

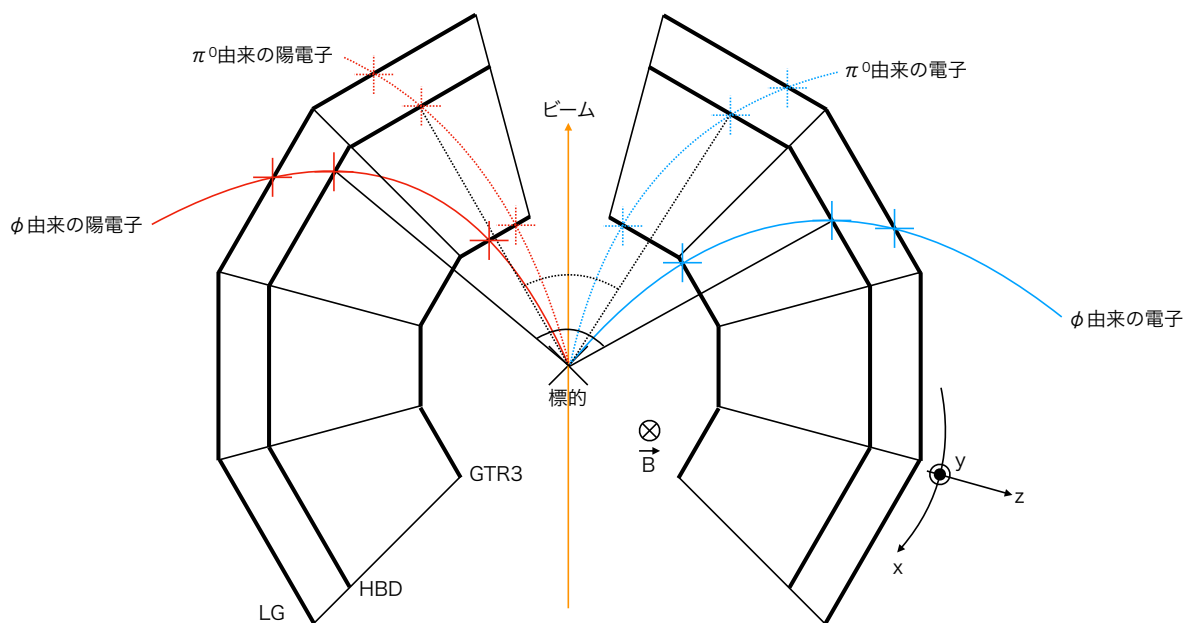


図 3.2 開き角度の模式図:  $\phi$  中間子由来の電子・陽電子は大きく開くが、 $\pi^0$  中間子由来の電子・陽電子は開き角度が小さい。

本実験の環境下で標的付近に電子を発生させる主な要因となるのは、 $p+A$  反応で発生した  $\pi^0$  中間子である。 $\pi^0$  中間子は

- $\pi^0 \rightarrow 2\gamma$  (分岐比:  $98.823 \pm 0.034\%$ [2])  
 $\gamma \rightarrow e^+e^-$  (標的の放射長: 各標的 0.5%)
- $\pi^0 \rightarrow \gamma e^+e^-$  (分岐比:  $1.174 \pm 0.035\%$ [2])

のような反応で電子対を生成する。またその生成断面積は、過去の測定 [13] から 1b のオーダーであることが知られており (表 3.1)、 $\phi$  中間子の生成断面積の約 500 倍と非常に大きい。

表 3.1  $\pi^0$  中間子の生成断面積 (推定値)

30 GeV p+C	500 mb
30 GeV p+Cu	2400 mb

しかしこのようにして発生した電子対の間の開き角度は一般的に小さく、トリガー段階で電子・陽電子間の開き角度に制限をつけることでその多くを棄却することができる (図 3.2)。図 3.3 に開き角度に制限をかけた場合の、トリガーレートと  $\phi$  中間子由来の電子・陽電子対の生存率の関係を示す [18]。横軸は、立体角をほぼ格子状に分割する HBD トリガーチャンネルのチャンネル間距離 ( $\sqrt{x^2 + y^2}$ [ch](図 3.2 参照)) であり、1 ch はおよそ  $5^\circ$  に対応する。また電子・陽電子対の生存率は、検出器に  $\phi$  中間子由来の電子・陽電子が共に入射したイベントに対して、トリガー条件を満たしたイベント数の比である。ただしいずれのイベントでも、電子対がヒットした HBD のチャンネルが鉛直方向で同一でないこと ( $\Delta y \neq 0$ ) という条件は課されているとした。見積もりには  $\pi$  中間子の誤検出の影響も考慮に入れている。

## Trigger rate

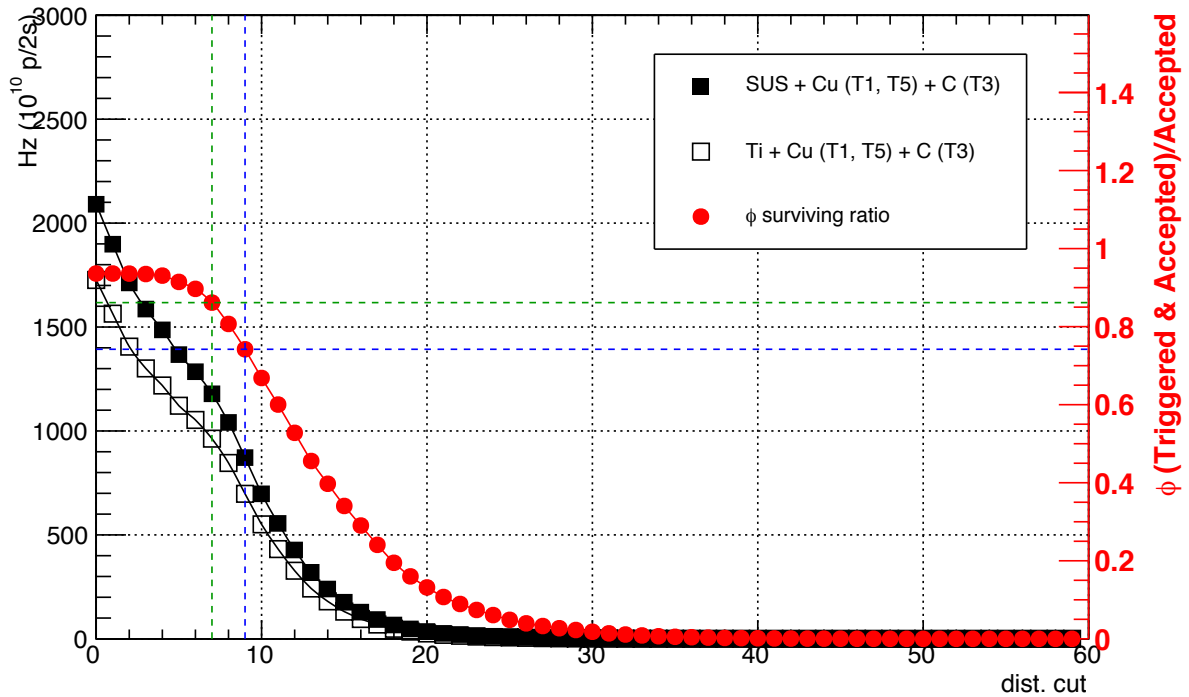


図 3.3 トリガーレートと電子対生存率の関係 [8]: 黒、白は真空窓の材質をそれぞれ SUS、Ti とした場合のトリガーレート、赤は  $\phi$  中間子由来の電子・陽電子対の生存率

また反応を起こす物質として、上流に設置されるビームラインの真空窓を見積もりに含めている。ここでは真空窓の材質を SUS ないし Ti としている。図 3.3 中の黒点は、標的と真空窓 (SUS) からの粒子が作るトリガーのレート、白点は、標的と真空窓 (Ti) からの粒子が作るトリガーのレート、赤点が  $\phi$  中間子由来の電子・陽電子対である。この図より、トリガーレートを 1kHz 以下にしようとした場合の電子対の生存率は SUS 窓の場合 ~74%(青点線)、Ti 窓の場合 ~86%(緑点線) となる。

## 3.2 トリガーハードウェア

トリガーシステムでは、上記のロジックを用いて 2,620 ch のディスクリミネーター出力信号からトリガーを生成し、全読み出しモジュールにトリガーを分配する。トリガー決定のためには、全トリガーチャンネルのディスクリミネーター情報を一つのモジュールに集約して扱う必要がある。しかし、全トリガーチャンネルからの信号の受信、トリガー決定、全読み出しモジュールへのトリガーの送信を一つのモジュールで行うことは困難である。そこで本実験ではトリガー回路を、トリガー中継モジュール、トリガー決定モジュール、

トリガー分配モジュールの三段階に分けることとした。各モジュールの概要を述べる。

#### トリガー中継モジュール: TRG-MRG(TRiGger-MeRGer)

TRG-MRG は E16 のために開発したモジュールである。このモジュールは以下に示すような役割を果たす。

- 各検出器からパラレルに入力される 1 モジュールあたり 256 ch の LVDS 信号をシリアル情報に変換し、さらに SFP+(Small Formfactor Pluggable+) と呼ばれる光トランシーバーで光信号へ変え、光ファイバーを介してトリガー決定モジュールへ出力する。
- 入力されたディスクリミネーター出力信号から立ち上がりを検出し、タイミング情報を付与する。
- 各チャンネルに配線長などの差を打ち消す遅延を与え、イベント同期をとる。
- 各チャンネルのスケーラーとしてヒットの回数を計測する。

データ処理は FPGA(Field-Programmable Gate Array) と呼ばれる、書き換え可能な IC 上で行う。モジュールのさらなる詳細は次章に記す。

#### トリガー決定モジュール: Belle-2 UT3(Universal Trigger board 3)

Belle-2 UT3 は、Belle-2 実験に向けて開発されたトリガー用汎用ロジックボードである [19]。図 3.4 に UT3 の写真を示す。QSFP+(Quad SFP+) と呼ばれる光トランシーバーで全 10 台程度の中継モジュールからの信号を受け、FPGA によってトリガーを生成する。QSFP+ は、1 ポートで 4 つの SFP+ との接続が可能な光トランシーバーであり、ボード上の FPGA 内のトランシーバー 4 レーンと接続されている。QSFP+16 ポートのうち 6 ポートは 1 レーンあたり最大通信レート 11.18 Gbps の GTH トランシーバー、残りの 10 ポートは 1 レーンあたり最大通信レート 6.6 Gbps の GTX トランシーバーを使用できる [20]。GTH、GTX トランシーバーは Xilinx 社の提供するトランシーバーの規格であり、ユーザー回路からの出力信号のエンコードや外部からの入力信号のデコードなどを行う。分配モジュールとの間には RJ45 と呼ばれるコネクタで通信する。分配には 4 対の LVDS(Low Voltage Differential Signaling) 信号を用い、250 Mbps のシリアルデータを送受信する。この内訳は、

##### CLK

シリアルデータ転送用の 125 MHz クロック。

##### TRG

トリガーのタイミング、種類、識別タグなどの付随情報

ACK

トリガーデータ受信に対する応答データ、ビジー情報など

RSV

未使用

となっている。上の2種類は UT3 からの送信信号、下の2種類は受信信号である。

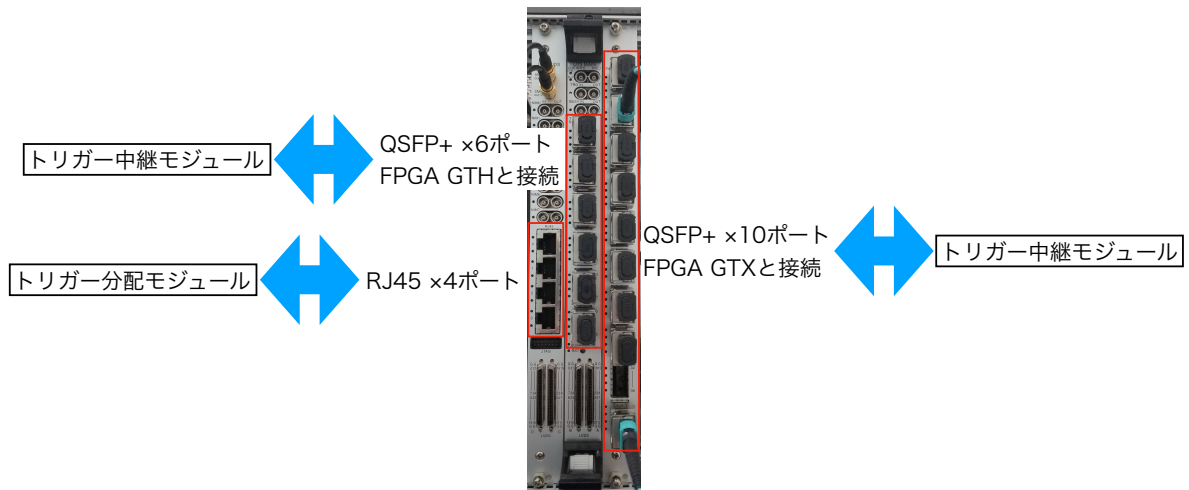


図 3.4 Belle-2 UT3 の写真

#### トリガー分配モジュール: Belle-2 FTSW(Frontend Timing SWitch)

Belle-2 FTSW も UT3 と同様、Belle-2 実験のために開発されたタイミング分配モジュールである [21]。図 3.5 に FTSW の写真を示す。24 本の RJ45 ポートを持ち、UT3 から入力されたトリガーとクロックを、TRG-MRG や各読み出しモジュールに分配し、各モジュールからのビジー信号などを受信する。また、UT3 など各モジュールとの間のケーブルには CAT7 LAN ケーブルを用いる。これは 2 重シールドになっており、ノイズに強く周波数帯域も 600 MHz と良い。

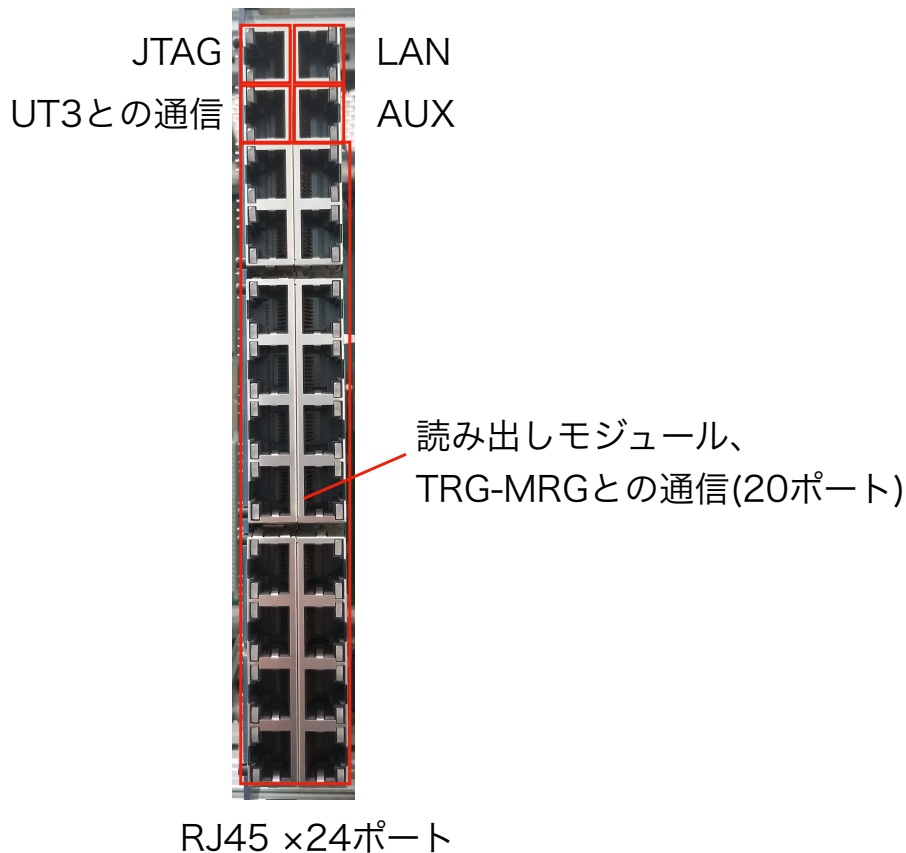


図 3.5 Belle-2 FTSW の写真

### 3.3 トリガー系への時間的要請

#### 3.3.1 トリガーレイテンシの見積もり

まず、TRG-MRG への入力から FTSW からの出力までの時間への要請を考える。トリガー回路での処理時間を  $T[\text{ns}]$  と置く。実験では GEM の波形バッファは検出器の近く、LG の波形バッファはトリガー系モジュールの近くに設置する。LG から DRS4 モジュールまでのケーブル長と、FTSW から GEM 読み出し系までのケーブル長をそれぞれ 20 m とした。これにより、GEM でのディスクリ信号生成から TRG-MRG への入力と、FTSW からのトリガー出力から LG 波形バッファへのトリガー入力にはそれぞれ 100 ns かかる計算になる。また GTR3 の信号は、ドリフトスペースのどこで電離が起こるかによって、最大 500 ns 程度の立ち上がり時間差がある。モジュール間の経路長や GEM のドリフト時間を考慮すると、粒子通過から読み出し開始までのタイムテーブルは

図 3.6 のようになる。

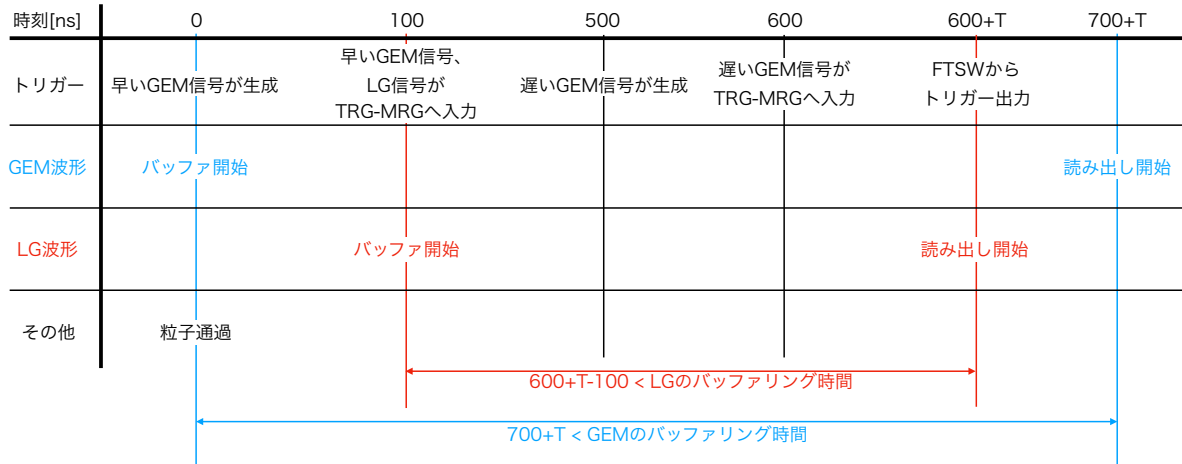


図 3.6 粒子通過から読み出し開始までのタイムテーブル

GEM、LG の波形バッファリング時間の上限はそれぞれ  $4\ \mu\text{s}$ 、 $2\ \mu\text{s}$  なので、読み出しが成立するためには  $700 + T < 4000$ 、 $600 + T - 100 < 2000$  である必要がある。従って、トリガー系では TRG-MRG に最後の入力があるってから FTSW からトリガーを出力するまでが  $1500\ \text{ns}$  以内でなければならない。

### 3.3.2 トリガー系の各モジュールの時間配分

最後に、各トリガーモジュールでの処理の時間配分について述べる。シリアル通信の仕様や Belle2 モジュールの他グループでの使用状況などから、各処理にかかる時間を表 3.2 と見積もっている。全体で  $300\ \text{ns}$  の余裕を持ってトリガーを生成するには、TRG-MRG の処理時間は  $200\ \text{ns}$  以下でなければならない。これを TRG-MRG に対する要求性能とする。

表 3.2 トリガー系の各処理の所要時間

処理	シリアル通信	UT3	FTSW	計
時間 [ns]	300	500	200	1000



## 第 4 章

# トリガー中継モジュールの開発

TRG-MRG は E16 実験のために開発したトリガー信号の中継用モジュールである。検出器からのディスクリミネーター出力信号を 256ch の LVDS で受信し、FPGA で処理を行いトリガー決定モジュールへ高速シリアル通信で送信する。FPGA 内では 3.1 節で述べたトリガー条件を適用する前段階として、信号の立ち上がりを検出し、立ち上がりの時間とチャンネル番号の情報を生成する。また、各トリガーチャンネルへの遅延の付与によるイベント同期の実現や、スケーラーの役割も果たす。本研究では、FPGA のファームウェア開発を行い、これらの性能について評価した。本章では FPGA の TDC 部分と SiTCP 部分の実装の詳細を述べる。性能評価については次章に記述する。

### 4.1 モジュールのハードウェア

モジュールは、メインボードと小型の拡張基板であるメザニンカード二枚から構成される。メザニンカードでは信号の受信と、1.8V LVCMOS(Low Voltage Complementary Metal Oxide Semiconductor) 信号への変換を行う。メインボードではメザニンカードからの信号を FPGA で処理し、SFP+ を用いて UT3 へ送信する。図 4.1 に本モジュールの写真、図 4.2 に概略図を示す。

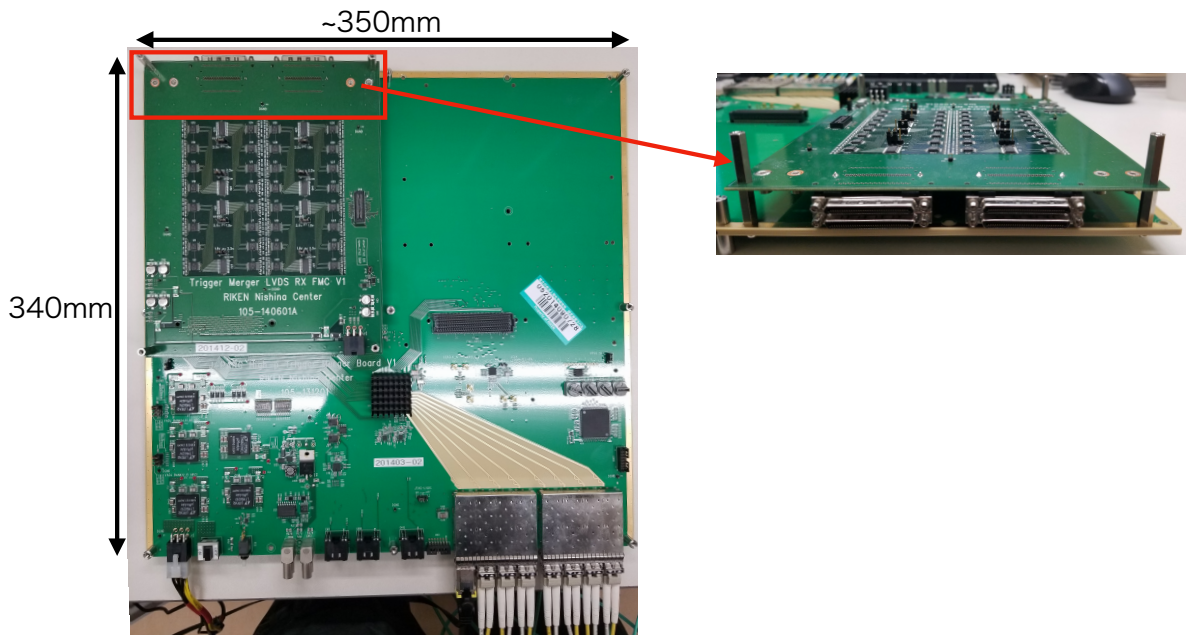


図 4.1 TRG-MRG の写真: 左図はメザニンカード一枚を取り付けたもの。右図は LVDS 受信口の拡大写真。

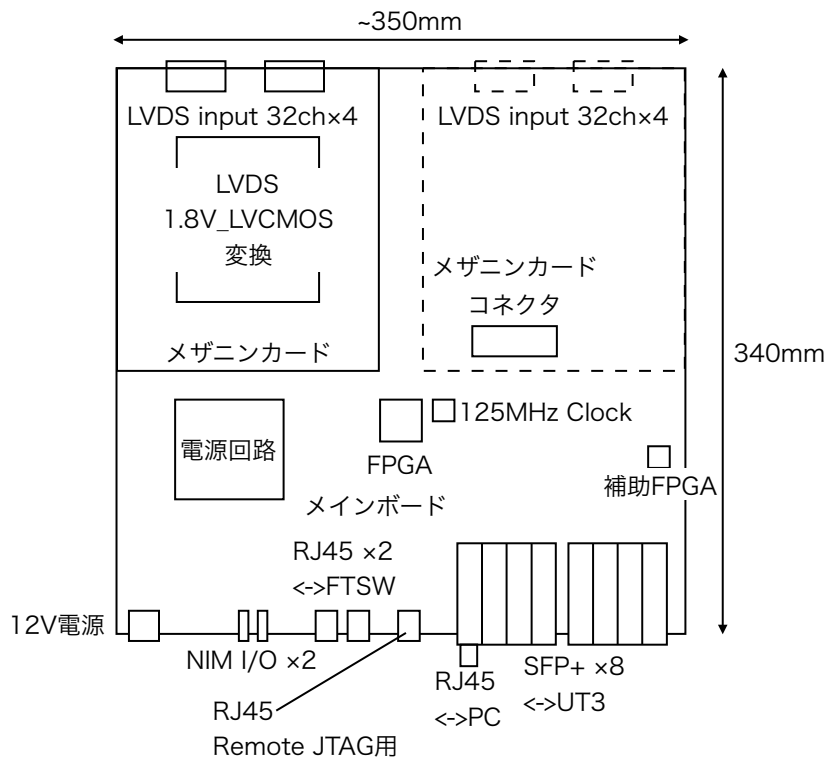


図 4.2 TRG-MRG の概略図

TRG-MRG の各部品について以下に述べる。

#### LVDS 信号受信口

32ch 用のフラットケーブルを、メザニンカード一枚あたり 4 個、TRG-MRG 一台あたり 8 個用い、計 256ch を受信する。

#### LVDS-1.8V\_LVCMOS 変換

二種類の IC を用いて LVDS 信号を 1.8V LVCMOS 信号に変換する。これにより、信号が FPGA の I/O に適した形式になる。1 段目では SN65LVDS348[22] によって、LVDS 信号を 2.5V の LVTTTL(Low Voltage Transistor-Transistor Logic) 信号に変換する。この IC は J-PARC K1.8 ビームラインでも広く使われる汎用作動信号レシーバーであり、広い電圧の帯域を持つ。一方信号の立ち上がりや立ち下がりには 1ns 程度かかり、周波数特性はあまり良くない。2 段目では ADG3247[23] によって、LVTTTL 信号を FPGA の I/O で用いる 1.8V LVCMOS 信号に変換する。

#### FPGA

FPGA には Xilinx 社の Kintex7 160T-2[24] を用いる。TRG-MRG で使う Kintex-7 の speed grade-2 は、最大 10.3125Gbps での通信が可能な GTX トランシーバーを持つ。

#### 通信ポート

最大 10Gbps 程度で通信可能な SFP+ ポート 8 本で、外部モジュールと通信を行う。うち 4 本を UT3 との高速光通信に用い、1 本は RJ45 に変換して PC との通信に用いる。

本モジュールのポートは最大 10Gbps での通信が可能だが、UT3 には 6.6Gbps までにしか対応していないポートがあるため、基本的には 6.6Gbps で通信を行う。通信には AURORA プロトコル [25] と呼ばれる、Xilinx 社から提供される高速シリアル通信用プロトコルを使用する予定である。Ethernet と異なり使い方によってはレイテンシを一定に保つことができるため、トリガー回路に利用することができる。

## 4.2 モジュールのファームウェア

### 4.2.1 ファームウェアへの要請

ファームウェアの TDC に対する要請を表 4.1 にまとめる。

表 4.1 TDC への要請

入力チャンネル数	256ch/module
サンプリング間隔	1ns
最大ヒットレート	~ 1 MHz/ch
処理時間	< 200ns

サンプリング間隔への要求は、主に入力される信号の幅と間隔から決定される。これらが典型的にサンプリング間隔を下回ると、十分に立ち上がりを検出することができなくなる。TRG-MRG へ入力される信号のレートは最大で GTR3 の 1 MHz 程度、GTR3 の信号幅は 200 ns 程度のため、典型的には 800 ns 程度の間隔で信号が入力されると思われる。また入力信号の幅は、5.5.1 項で後述するように最小で 3 ns 程度である。これを取得するために、多少の余裕を持って 1 ns サンプリングとした。ヒットレートは荷電粒子全般を検出する GTR3 の、最前方のチャンネルにおける予測値である。ヒットレートに関する詳細は、6.2.1 項で述べる。処理時間に関しては、3.3.2 項で既に述べた。

#### 4.2.2 ファームウェアの構成

ファームウェア実装は Xilinx 社の提供する 7 シリーズ以降の FPGA のデザインツールである Vivado2017.2[26] 上で、Verilog HDL と呼ばれるハードウェア記述言語を用いて行った。FPGA の回路構成を図 4.3 に示す。クロックを生成するクロック・カウンタ部と、時間情報を処理する TDC 部、PC との通信を行う SiTCP 部 [27] から構成される。TDC 部分の概念図を図 4.4 に示す。

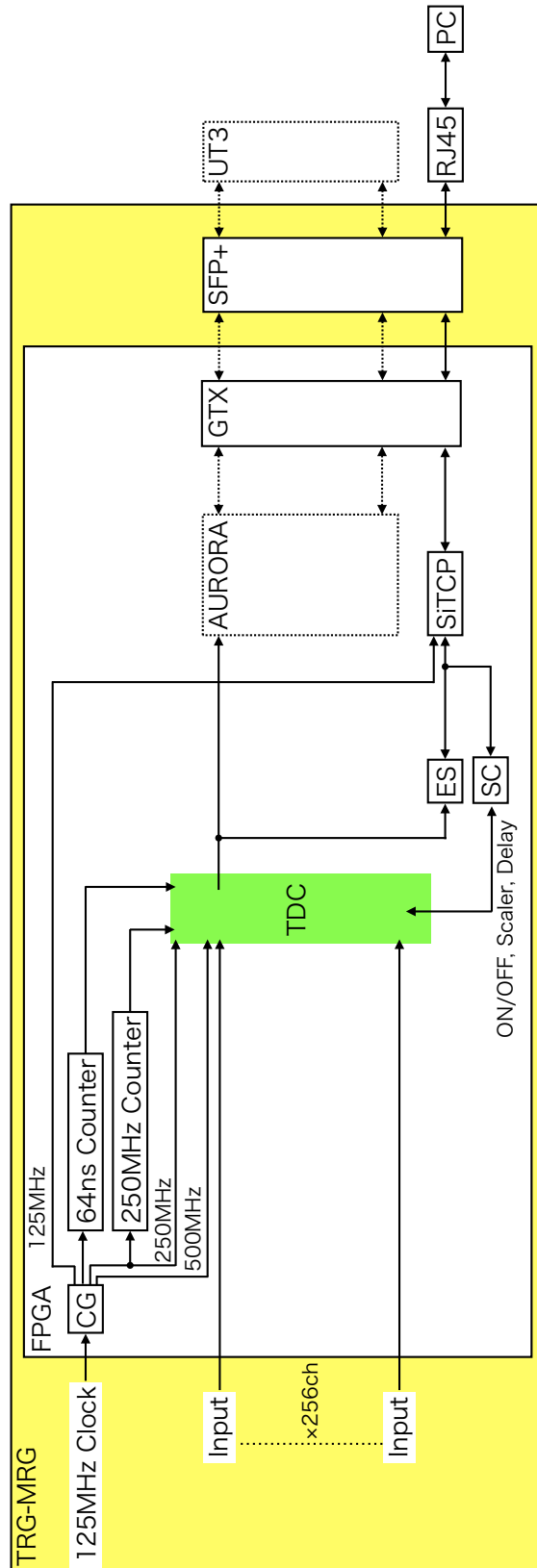


図 4.3 FPGA 内ユーザー回路の概念図: 点線のコンポーネント、モジュールは未完成

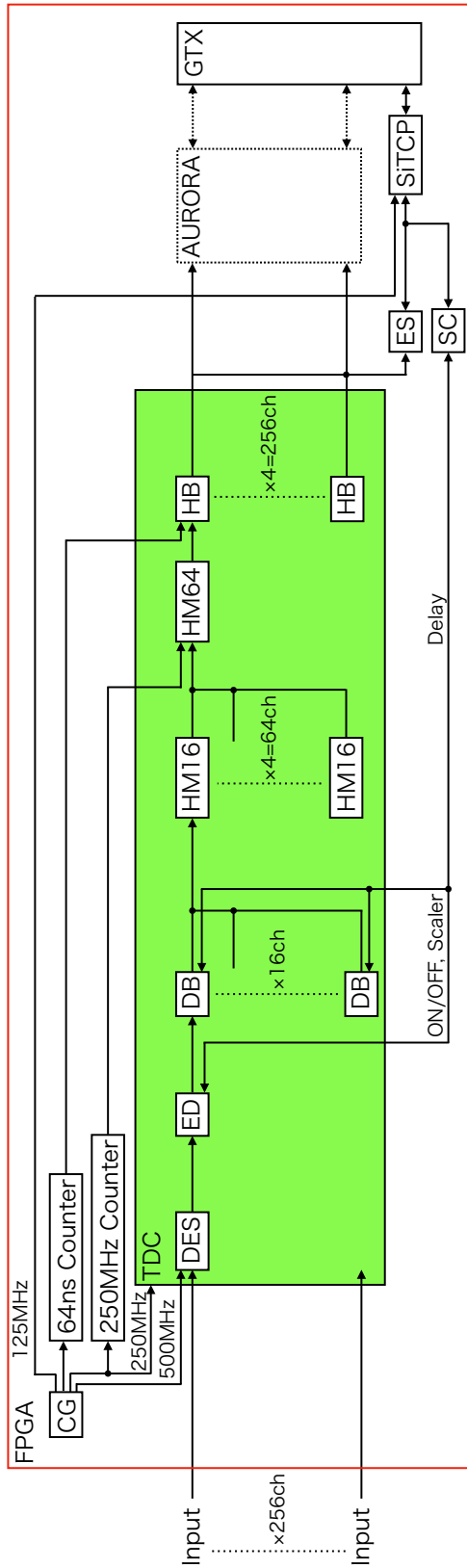


図 4.4 TDC 部分の概念図

FPGA 内では、受信から送信信号の生成まで、64 ch を一まとまりとして扱う。生成された信号は 64ch あたり一本の SFP+ で送信する。TDC までの各コンポーネントの詳細を以下に述べる。

#### 4.2.2.1 クロック、カウンタ

##### Clock Generator(CG)

FPGA 外の 125 MHz クロックから、15.625 MHz、125 MHz、250 MHz、500 MHz クロックを生成する。250MHz クロックは TDC の駆動クロックとして、125 MHz クロックは後述の SiTCP の駆動クロックとして、500 MHz クロックは入力のサンプリングに用いる。

##### 250 MHz Counter

250 MHz クロックを用いて、4 ns 単位で時間をカウントする。カウントの値は後述の HM64 で、4 ns 単位の時間情報を付与する際に用いる。

##### 64 ns Counter

15.625 MHz クロックを用いて時間をカウントする。カウントの値は後述の HB で、64 ns 単位の時間情報を付与する際に用いる。

#### 4.2.2.2 TDC

TDC では 256 ch の入力信号を 64 ch ごとに取り扱い、64 ch、64 ns あたりに最大 8 個のヒット情報を出力する。

##### DESerializer(DES)

ディスクリミネーター出力信号を 1 ns でサンプリングし、250 MHz、4 bit のパラレル信号に変換する。サンプリングは 500 MHz クロックの立ち上がり、立ち下がりの両方で行う (DDR: Double Data Rate 方式)。実装は ISERDESE2 と呼ばれるコンポーネントによって行った。

##### Edge Detector(ED)

4 ns 分のデータ中から、立ち上がりを検出する。具体的には 4 bit データに直前の 1 bit を加えた計 5 bit の中に、01 のビット列があれば 1 のあったタイミングを立ち上がりのタイミングとする。出力は立ち上がりの有無 (1 bit) と最下位ビット (Least Significant Bit: LSB) が 1 ns のタイミング情報 (2 bit) の計 3 bit となる。また、32 bit のスケーラーとして立ち上がりの数のカウントも行う。

##### Delay Buffer(DB)

ED の出力に対し、4ns 単位で最大 1 $\mu$ s 程度の遅延をかける。これは、配線長などの差による各チャンネル固有のタイミングのずれを吸収してイベント同期を実現するためのものである。

#### Hit Merger 16ch(HM16)

DB を出た 3bit のデータを 16ch 分集め、立ち上がりの数とチャンネル番号、時間の情報を生成する。回路規模、ヒットレートの兼ね合いから、立ち上がりは 16ch 中から最大 8 個分検出する。出力情報は捨てられたものも含む立ち上がりの数と、各立ち上がりにつきチャンネル情報 6bit(64ch)、時間情報 2bit(4ns) である。

#### Hit Merger 64ch(HM64)

HM16 の出力をさらに 4 つ分統合し、4ns、64ch 中から最大 8 個の立ち上がりを検出する。また 250MHz Counter からの情報も加え、時間情報を 8bit、256ns 分にする。

#### Hit Buffer(HB)

HM64 の出力を合わせて、64ns 分の情報にする。64ns の時間幅で 64 ch に対し最大 8 個の立ち上がり情報を検出する。これは 1ch あたりのレートとしては 8 hit/64 ch $\times$ 64 ns $\sim$ 2 MHz/ch であることを意味し、典型的には実験で予想される最大 1 MHz/ch に対して 2 倍の耐性があると言える。ただし現実的な実験環境での耐性を評価する必要がある。シミュレーションを用いたレート耐性の見積もりは 6 章に記す。

シリアル通信部においては 64bit を 1 ブロックとして送信する予定であるため、64bit $\times$ 3 の情報への整形も行う。立ち上がり 1 個あたりのデータ形式は、表 4.2 に示すようにチャンネル情報 (6bit)、情報の種類 (2bit)、時間情報 (8bit) の計 16bit である。情報の種類は、将来的な立ち下がりの検出などに備えて用意している。

表 4.2 立ち上がり情報のデータ形式

ビット	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
使用法	チャンネル情報 (ch0-ch63)						種類		時間情報 (0 ns-255 ns)							

後段モジュールのファームウェアは開発中のためデータの形式は決定していないが、さしあたり表 4.3 のように設定している。



表 4.3 後段モジュールへの送信データ形式

ビット	0-7 32-39	8-15 40-47	16-23 48-55	24-31 56-63
1 ブロック目 0-31bit	送信回数		ヘッダー	TRG-MRG の ID
1 ブロック目 32-63bit	立ち上がり情報 0		立ち上がり情報 1	
2 ブロック目 0-31bit	立ち上がり情報 2		立ち上がり情報 3	
2 ブロック目 32-63bit	立ち上がり情報 4		立ち上がり情報 5	
3 ブロック目 0-31bit	立ち上がり情報 6		立ち上がり情報 7	
3 ブロック目 32-63bit	エラー情報	フッター	捨てられた立ち上がり数	

ヘッダー、フッターと最大 8 個の立ち上がり情報に加え、TRG-MRG から UT3 へのデータ送信回数、TRG-MRG の ID、エラー情報、オーバーフローによって送ることができなかった立ち上がりの数を送信している。エラー情報は現在は活用していないが、ディスクリミネーター出力信号の異常などを送信する予定である。

#### 4.2.2.3 SiTCP 用コンポーネント

トリガー決定モジュールへの送信とは別に、モジュール設定用の PC と通信してスローコントロールや種々の情報の読み出しを行う必要がある。通信は SiTCP と呼ばれるプロトコルで行う。このプロトコルは FPGA と Ethernet を、TCP FIFO I/F(InterFace) と slow control I/F によって接続する。SiTCP 手前のコンポーネントについて以下に述べる。ここで ES は、TRG-MRG の性能評価用に実装したコンポーネントである。

##### Slow Controller(SC)

slow control I/F によって FPGA のレジスタに対して書き込み、読み出しを行う。ED での検出の ON/OFF、DB での遅延量の設定と確認、各チャンネルのスケーラ値の確認、リセットを行える。

##### Event Selector(ES)

TDC から生成される 64 ns、256ch あたりのデータ量に対応する  $64 \text{ bit} \times 3 \times 4 / 64 \text{ ns} = 12 \text{ Gbps}$  に対し、SiTCP による TCP 通信の速度は 1 Gbps より小さいため、全てのデータを送信することはできない。ES では、送信するイベントの選別を行う。ある 256ch、64ns の間に立ち上がりがあった場合にのみ HB の出力をバッファへ入力する。バッファされたデータは SiTCP が読み出し可能な状態になると、TCP

FIFO I/F で順次読み出される。

#### 4.2.2.4 ユーザー回路以降のファームウェア

##### SiTCP

8bit を 1 ブロックとして、ユーザー回路からの出力の送信形式への変換、受信データのユーザー回路で読み取れる形式への変換を行う。

##### GTX

論理信号を電気信号に変換する。前述の通り最大 10.3125 Gbps での送信に対応した動作が可能である。

## 4.3 動作試験

### 4.3.1 Vivado によるシミュレーション

モジュールを実機に実装する前に、シミュレーターによる動作確認を行った。シミュレーションはファームウェア実装と同様に Vivado2017.2 上で行った。シミュレーションによって、ファームウェアの論理が想定通りに動作するか、また信号入力から出力情報生成までの所要時間を確認した結果を述べる。この詳細は付録 A に記す。

まず、64 ns の任意のタイミングでヒットが入力された場合に正しく HB コンポーネントまで到達するかを調べた。特にチャンネルやタイミングの区切りとなる部分で想定しない挙動が起りやすくなるため、16 チャンネル区切りの両端である ch0 と ch15 について、0 ns から 63 ns まで 1 ns ずつ入力のタイミングを変え、HB コンポーネントの出力を確認した。その結果、調べた全てのチャンネル、タイミングでの入力に対して正しく動作することを確認した。

また、信号を 64 ns カウンタの 0 ns と 63 ns のタイミングで入力し、TDC のレイテンシをシミュレーションした。これは、レイテンシの最も短い場合と最も長い場合に対応している。63 ns に入力された信号は 116 ns 後、0 ns に入力された信号は 179 ns に出力されることが分かった。これは 200ns を下回っており、要求を満たす。

最後に多チャンネル入力に対する動作確認を行った。4.2.2 項で述べたように、ファームウェアの仕様上、64 ch、64 ns 中に 9 個以上のヒットが入力された場合は、9 個目以降のヒット情報を捨てている。64 ns 中に計 20 個のヒットを入力したところ、正しく早いタイミングで入力された 8 個分が出力され、12 個のヒットがオーバーフローとして記録さ

れた。

以上の通り、ファームウェアの動作がシミュレーション上で確認できた。

### 4.3.2 SiTCP を用いた実機テスト

本項ではスケーラー値と TDC から出力されるシリアル情報の、SiTCP を用いた読み出しの結果を述べる。

まず、重要な機能の一つであるスケーラーの動作について試験した。想定されるレート  
の信号を TRG-MRG と NIM スケーラーに入力し、スケーラー値を比較した。図 4.5 に  
測定回路図を、図 4.6 にそれぞれの出力をしめす。

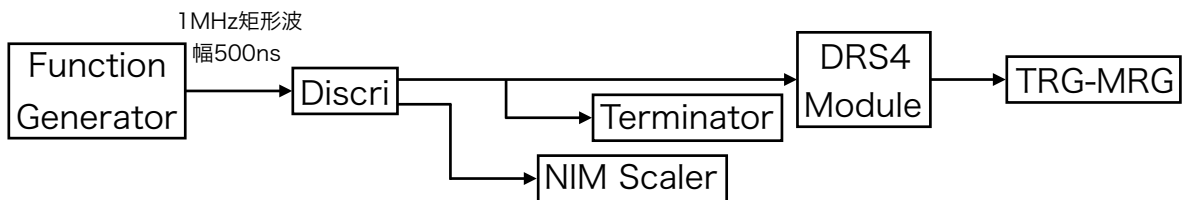


図 4.5 スケーラーの動作確認時の回路: Function Generator には Tektronix 製の AFG 1062[28] を用いた

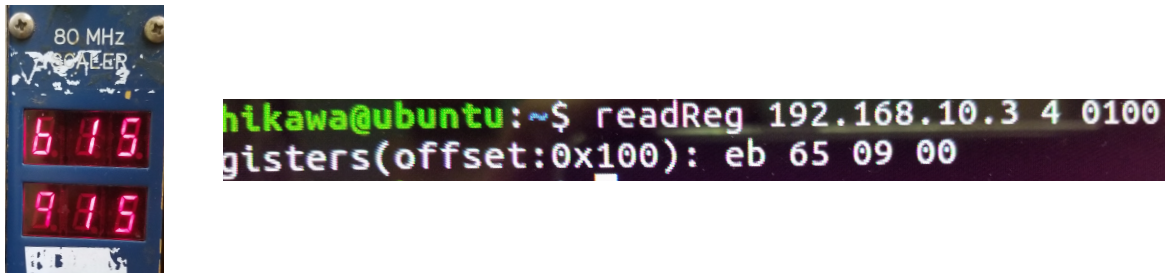


図 4.6 スケーラーの動作確認: 左が NIM スケーラー (10 進数)、右が TRG-MRG 内 スケーラー (16 進数)。右の読みは 16 進数で 000965eb である。

図 4.6 で、TRG-MRG 内スケーラーの読みは  $32'h000965eb=615,915$  なので、両方で  
同じスケーラー値を出力している。ここで  $32'h000965eb$  は、32bit の桁数であり 16 進  
数の表記 (h) で 000965eb と表せることを意味している。10 進数の場合は d、2 進数の場  
合は b と表記する。同様の確認を数千回行って全てのカウンタ数が一致することを確認  
した。

また、TCP I/F による TDC の出力の読み出し確認も行った。実際に信号を入力し、

ヒットのあった 64 ns のみが出力されていることを確認した。詳細は付録 A に記す。

## 第 5 章

# トリガー中継モジュールの性能評価

本章では、実装した FPGA のファームウェアについて、LVDS 受信ハードウェアを含んだ性能評価の結果を述べる。評価は TDC の基本性能である

1. 周波数安定度
2. 積分非直線性 (INL: Integral Non Linearity)
3. 微分非直線性 (DNL: Differential Non Linearity)
4. 時間分解能
5. 短幅信号に対する検出効率
6. 短間隔信号に対する検出効率

について行った。性能評価に用いたモジュールのシリアルナンバーはそれぞれ、TRG-MRG のメインボードは 201403-02、メザニンカードは 201412-02、DRS4 モジュールは 2EF663C811 である。

### 5.1 周波数安定度

本節では、FPGA の外部クロックの系統的な実時間とのずれを調べる。これはモジュールへの入力時間差と出力時間差をプロットした際の、傾き 1 からのずれで評価できる。その影響は補正係数を調べることである程度小さくすることができるが、トリガーレイテンシや回路規模の増加の面から望ましくない。

### 5.1.1 要求性能

クロックが系統的にずれている場合は、他の TRG-MRG に入った信号と同期を取ることが困難になる。同一イベントによる信号同士の時間差は最大で 500 ns 程度である。したがって、最低でも 500 ns 程度までのタイムレンジで他のモジュールと 1 ns 以上ずれないことが要求される。これを傾きに換算すると、 $1 \pm (2 \times 10^{-3})$  に相当する。

### 5.1.2 予測性能

本モジュールに搭載されている 125 MHz 水晶発振器である CL58VBG[29] は、温度、電圧変動の寄与も含めて  $\pm 50$  ppm の周波数安定度が保証されている。これをクロックと実時間の比に換算すると、 $1 \pm (5 \times 10^{-5})$  となる。また本ファームウェアにおいては、水晶発振器の出力を FPGA 内のクロック生成器に入力して 250 MHz のクロックを生成している。そのため 250 MHz クロックの周波数安定度は、水晶発振器のものに比べて悪くなる。

### 5.1.3 測定方法

図 5.1 に周波数安定度測定回路図を示す。ファンクションジェネレーターからの出力信号を二つに分け、片方を遅延させてから TRG-MRG の 2 つのチャンネル (ch0, ch4) へ入力する。遅延量を変えながら、各遅延量で出力される時間差を数万イベント測定する。遅延は 200 ns 以下はケーブルを継ぎ足し、それ以上はロジックディレイを用いた。なお、現在 TRG-MRG へ信号を入力する手段は DRS4 モジュールのディスクリミネーター出力信号を用いる方法をとった。ユーザー回路と SiTCP をつなぐファームウェアの制約上、上記 1 から 4 の測定は 1 kHz 程度の低レートで行った。

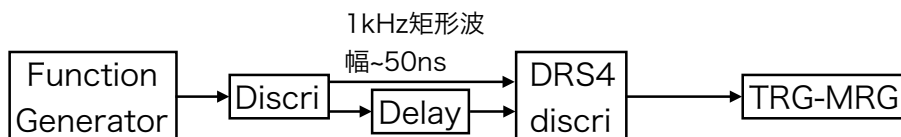


図 5.1 周波数安定度測定回路図

### 5.1.4 測定結果

図 5.2 に出力時間差のヒストグラムの例、図 5.3 に、入力時間差と出力時間差の平均の関係を示す。入力される時間差は DRS4 モジュールへの入力を 500 MHz 周波数帯域のオシロスコープ (DSOX4054A[30]) を用いて測定した。DRS4 モジュールによって時間差にオフセットが乗り得るが、使用チャンネルを固定しており、入出力を直線でフィットする場合にはその切片にしか影響しない。切片は本研究においては使用しないため、この測定方法で問題はない。

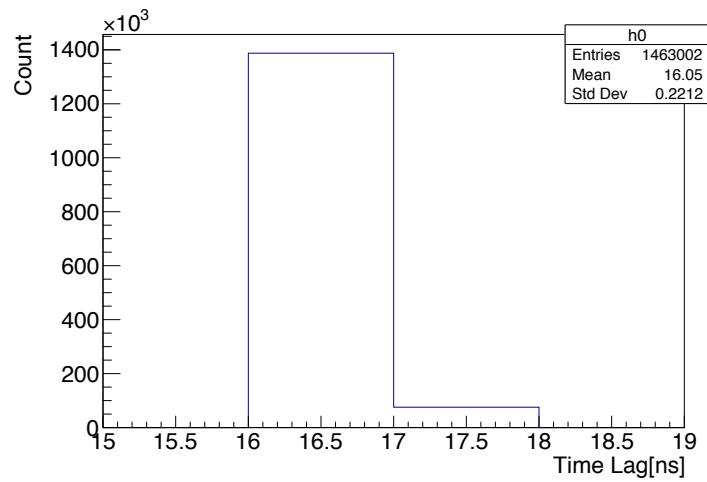


図 5.2 2ch の時間差の出力例

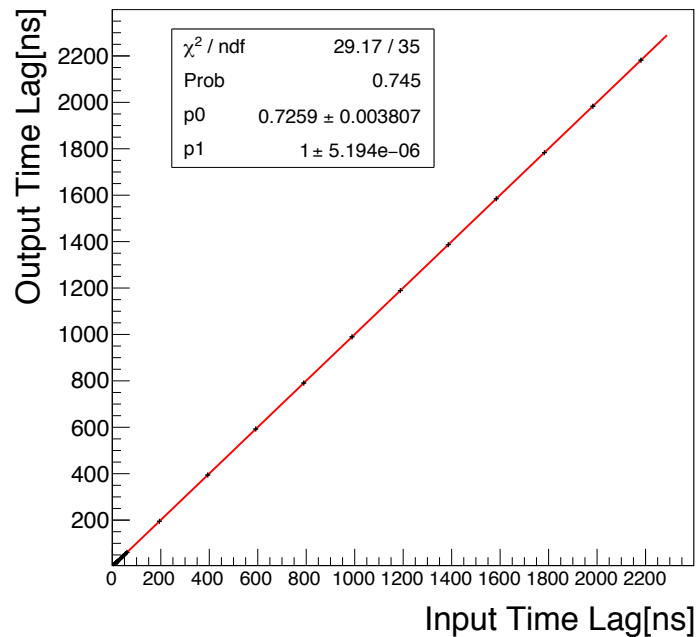


図 5.3 入力時間差と出力時間差平均の関係

図 5.2 において、横軸のエラーは入力信号時間差の絶対値のオシロスコープ出力の、目視による誤差である  $0.02 \text{ ns}$ 、縦軸のエラーは各点で出力した時間差分布 (例: 図 5.2) の標準偏差をイベント数の平方根で割ったものと評価している。これらを最小二乗法で直線でフィットした結果、傾きは  $1 \pm (5 \times 10^{-6})$  となった。これは予測性能とコンシステントであり、また実験での使用には問題ない。また、同一の測定データから評価できる積分非直線性、時間分解能については次節以降で述べる。

## 5.2 積分非直線性

実験でコインシデンスを取りうる最大の時間差は、GTR3 ASD の出力の立ち上がりの時間差である  $500 \text{ ns}$  と予想される。そのため、 $500 \text{ ns}$  程度の時間差を精度よく測定する必要がある。本節では、最大  $2 \mu\text{s}$  程度までの時間差を入力した際の、出力時間差のふれを測定し、前節のフィット直線との残差をとった。



### 5.2.1 要求性能

1LSB 以上の残差がある場合にはタイミング情報の 1 ns 部分に意味がなくなってしまう。従って、INL には 1LSB 以下が要求される。

### 5.2.2 測定方法

測定には周波数安定度測定の際のデータを用いた。2 つのチャンネル対し固定の時間差で信号を入力し、出力されたカウンターの値の差を出力時間差とする。各測定点の出力時間差とフィット直線の対応する値から残差を求め、その絶対値の最大値を INL とした。

### 5.2.3 測定結果

図 5.4 に、図 5.3 の各測定点のフィット直線との残差分布を示す。

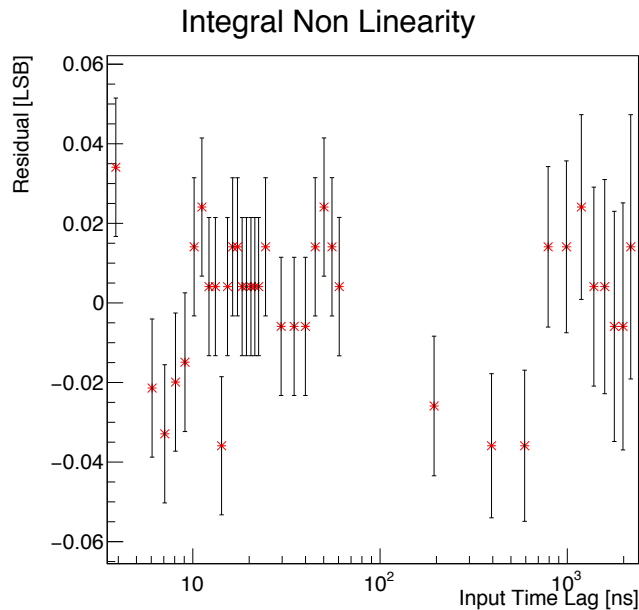


図 5.4 出力時間差平均の残差分布

誤差は、図 5.3 の各測定点の入力信号、出力信号の誤差とフィットパラメーターの誤差を伝搬させ評価した。多くの測定点は誤差の範囲内で 0 になり、残差の最小値と最大値から、積分非直線性は  $[-0.035 \text{ LSB}, 0.035 \text{ LSB}]$  と見積られた。これは 1LSB に対して十分小さく、INL の観点からは出力の 1 ns まで意味があると言える。

## 5.3 微分非直線性

4.2.2 項で述べたように、本モジュールでは、125 MHz の外部クロックから 500 MHz クロックと 250 MHz クロックを合成して 1 ns 単位のカウンターを形成している。これらの内部クロックの安定度は外部クロックと比べて悪いため、1 カウントの刻み幅は系統的に 1 ns からずれ得る。これによって生じる非線形性が DNL である。また前述したように、デシリアライザーには ISERDESE2 コンポーネントを用いているが、この内部構造は部分的にしか公開されていないため、コンポーネント内の配線のスキューも DNL の悪化の一因となり得る。内部クロックの立ち上がりタイミングは 8 ns ごとに  $\pm 50$  ppm の外部クロックによって揃うため、本モジュールの 1 ns カウンターには 8 種類の刻み幅が存在すると考えられる。この 8 種類について時間幅の揺らぎを測定して評価した。

### 5.3.1 要求性能

INL の場合と同じく、DNL にも 1LSB 以下であることが要求される。

### 5.3.2 測定方法

測定は、Statistical Code Density Test と呼ばれる手法で行った。この方法では、モジュールのあるチャンネルに対してホワイトノイズを入力し、カウンター値を読み出す。各カウンター値の統計数の比が、各刻み幅の大きさに対応する。本測定では立ち上がりに付与されたカウンター値の下位 7bit を読み出し、ソフトウェア上で各カウンター値を計数した。図 5.5 に回路図を示す。以降の測定には TRG-MRG の ch0 を用いた。

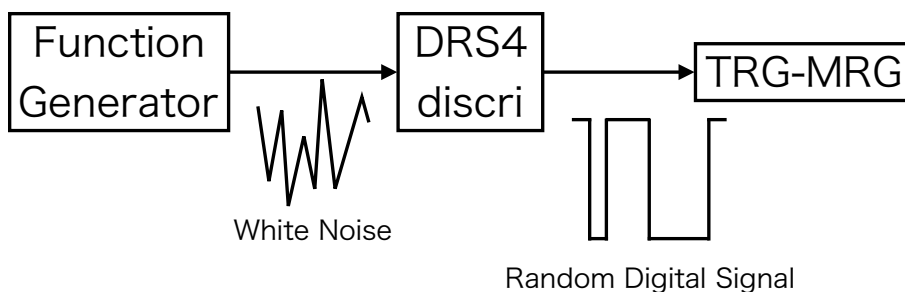


図 5.5 DNL 測定の回路図: 簡単のため、LVDS 信号をシングルエンドのように書いた

### 5.3.3 測定結果

まず、上で仮定した 8 種類の刻み幅の存在を検証した。図 5.6 は出力されたカウンターの下位 4bit の値のヒストグラムである。図 5.7 は図 5.6 の 0 – 7 ns と 8 – 15 ns の領域を重ね書きしたものである。想定されたように 8 ns の周期性が誤差の範囲内で実際に観測された。従って、この 8 ns 間のクロックの揺らぎを考慮すれば良いと考えられる。得られたカウント数分布から、各カウンターにおける時間の残差分布が得られる。これを図 5.8 に示す。

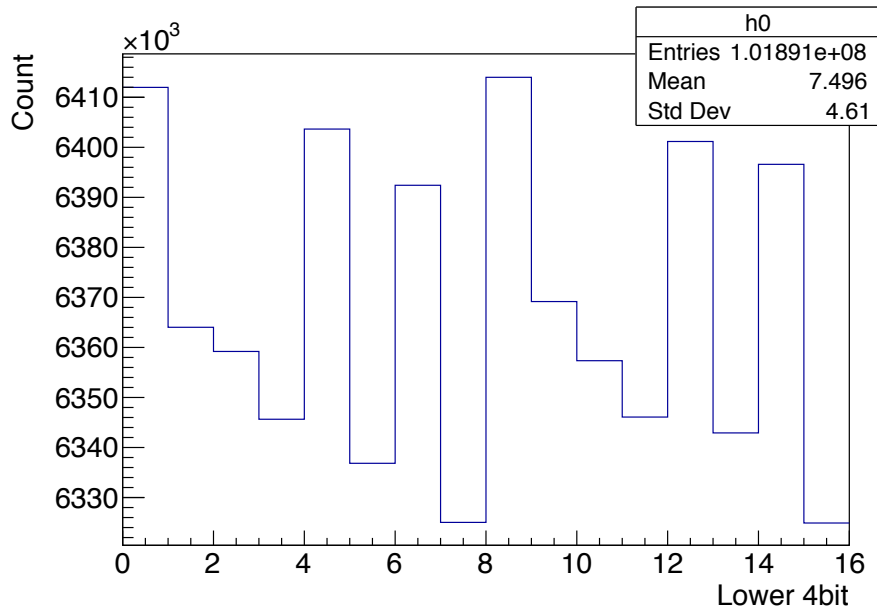


図 5.6 カウンター下位 4bit のカウント数

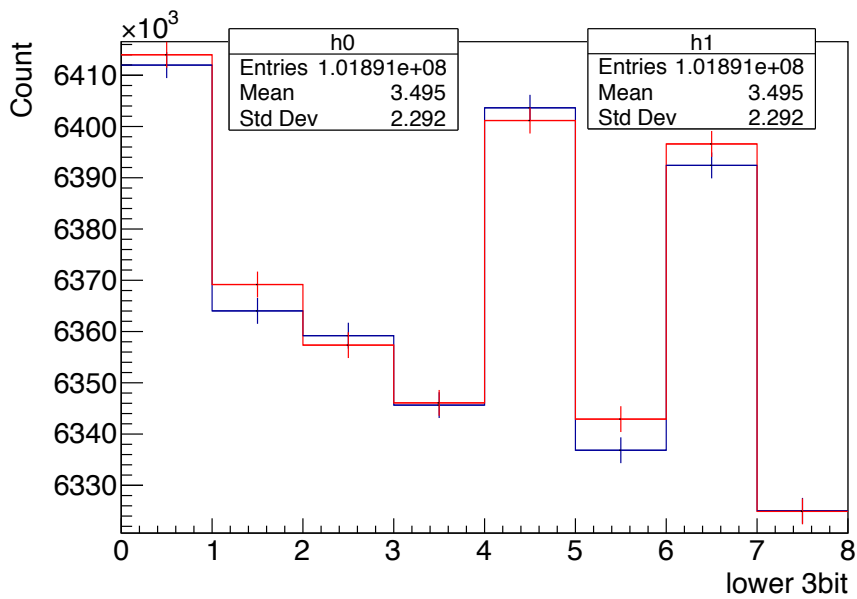


図 5.7 図 5.6 を 0-7 ns(青、h0)、8-15 ns(赤、h1) の領域で重ね書いたもの

カウント数の最小値と最大値から、DNL は  $[-0.005 \text{ LSB}, 0.006 \text{ LSB}]$  と求められた。この値も LSB に対して十分小さく、実験への悪影響はないと言える。

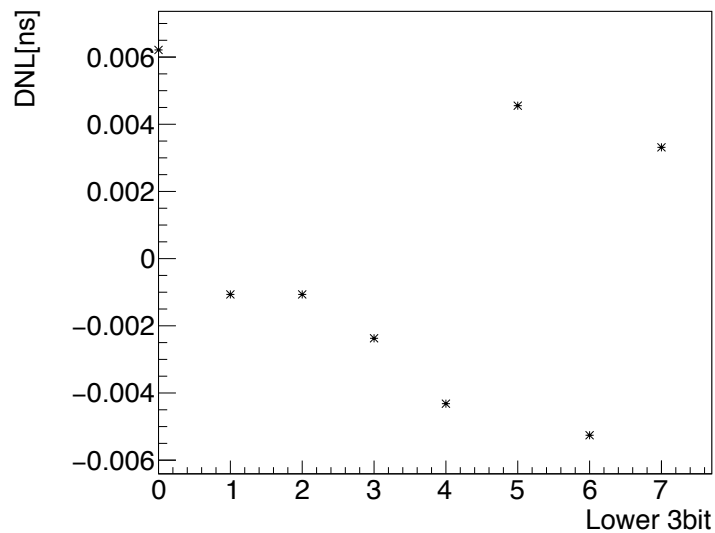


図 5.8 DNL 換算値

## 5.4 時間分解能

### 5.4.1 要求性能

本モジュールに実装した TDC は  $LSB = 1 \text{ ns}$  である。これは 4.2.1 項で述べたように、波形サンプリングの最小間隔  $1 \text{ ns}$  に対応している。次項で詳述するが、 $LSB$  が決まると量子化誤差により時間分解能の上限が決定される。測定する時間差によって時間分解能は変動するが、 $LSB=1 \text{ ns}$  における最悪の場合で、約  $0.35 \text{ ns}$  となる。本研究ではあらゆる時間差でこれを上回らないことを要求する。

### 5.4.2 原理的な予測性能

クロックにジッターがない場合のサンプリングによる量子化誤差について考える。入力時間差  $[ns]$  の整数部分を  $T_{in}$ 、小数部分を  $t_{in}$ 、サンプリングの区切りに対する 1 個目の信号の入力のタイミングを  $t_{start}[ns]$  ( $0 \leq t_{start} < 1$ ) と置く。このとき出力時間差  $T_{out}[ns]$  は、 $t_{start}$  の値によって

$$T_{out} = \begin{cases} T_{in} & (0 \leq t_{start} < 1 - t_{in}) \\ T_{in} + 1 & (1 - t_{in} \leq t_{start} < 1) \end{cases} \quad (5.1)$$

と分布する (図 5.9)。

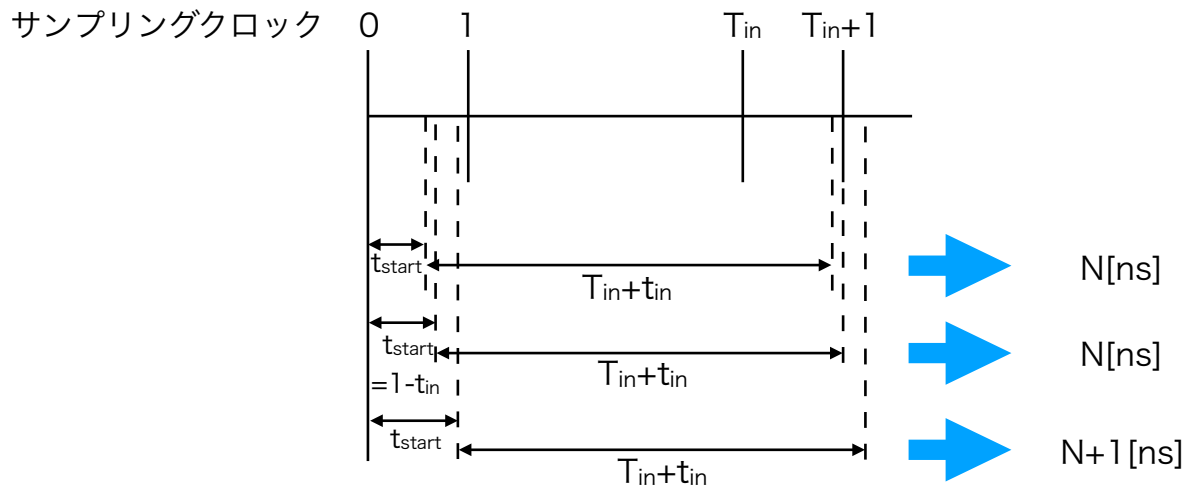


図 5.9 時間検出の原理

$t_{start}$  は一様に分布するので、 $T_{out} = T_{in}, T_{in} + 1$  となる確率  $p$  はそれぞれ、 $p(T_{out} =$

$T_{\text{in}}) = 1 - t_{\text{in}}, p(T_{\text{out}} = T_{\text{in}} + 1) = t_{\text{in}}$  である。出力時間差の平均  $\mu[\text{ns}]$  と標準偏差  $\sigma[\text{ns}]$  は、

$$\mu = T_{\text{in}} \times p(T_{\text{out}} = T_{\text{in}}) + (T_{\text{in}} + 1) \times p(T_{\text{out}} = T_{\text{in}} + 1) = T_{\text{in}} + t_{\text{in}} \quad (5.2)$$

$$\sigma = \sqrt{(T_{\text{in}} - \mu)^2 \times p(T_{\text{out}} = T_{\text{in}}) + (T_{\text{in}} + 1 - \mu)^2 \times p(T_{\text{out}} = T_{\text{in}} + 1)} = \sqrt{t_{\text{in}}(1 - t_{\text{in}})} \quad (5.3)$$

と計算される。この  $\sigma$  には 1 個目の信号サンプリングと 2 個目の信号サンプリングの分解能が乗っているため、単独での時間分解能は  $\Delta T = \sigma/\sqrt{2}$  で定義する。この  $\sigma$  を時間分解能  $\Delta T$  と定義する。これがサンプリング間隔による原理的な制限であり、式 (5.3) から、あらゆる  $t_{\text{in}}$  に対して  $0 \leq \Delta T \leq 1/2\sqrt{2}(= 0.35)$  であることや、 $\Delta T$  の平均が  $\pi/8\sqrt{2} = 0.28$  であることが分かる。サンプリングクロックにジッターがある場合には出力時間差が 3 点以上になる可能性があり、 $\Delta T$  の値は悪化する。 $t_{\text{in}} = 0$  の場合には少しでもジッターがあると 3bin に分布しうる。分解能が最も悪い  $t_{\text{in}} = 0.5$  の場合には、ジッターが 0.5 ns 以上なければ 3bin には分布しない。従って、多少ジッターがあっても時間分解能の下限は変化しない。

本モジュールの外部クロックのジッターは 0.15 ps で保証される [29]。これは LSB と比較して十分小さいが、カウンターに用いるクロックは外部クロックから合成したものをを用いるためジッターはより悪くなり得る。従って、実際に測定を行って確認することとした。

### 5.4.3 測定方法

周波数安定度測定の結果を用いた。2 つのチャンネルに固定の時間差のついた信号を入力し、出力されたカウンターの値の差を出力時間差とする。

### 5.4.4 測定結果

図 5.10 に出力から求めた時間差の小数部分  $t_{\text{in}}$  と時間分解能  $\Delta T$  の関係を示す。

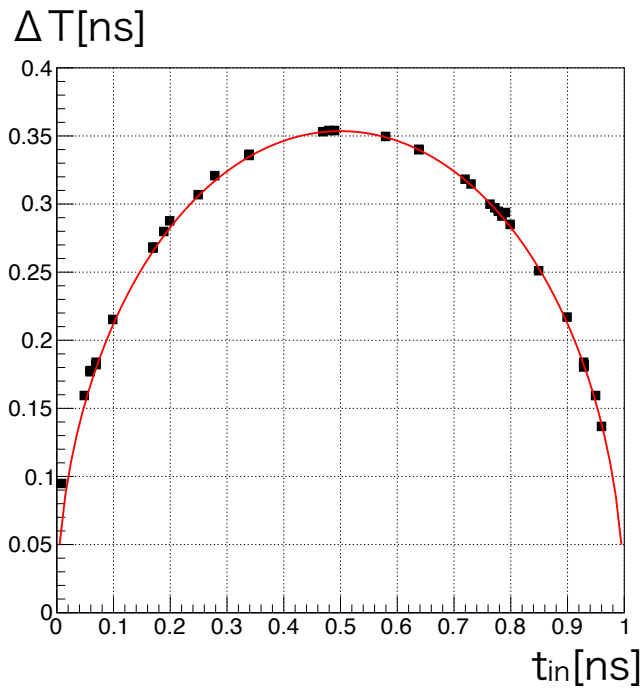


図 5.10 各時間差における時間分解能

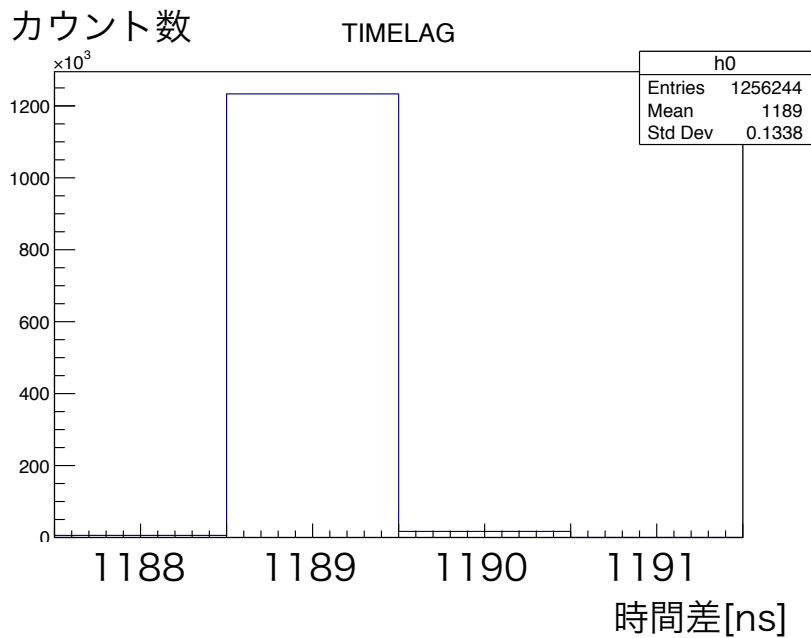


図 5.11 3bin に分布した場合のヒストグラム: わずかに両隣のビンに分布している

図中の赤線は理論曲線  $y = \sqrt{x(1-x)}/2$  である。ほとんどの測定では出力時間差は 2

表 5.1 各測定点における分布 bin 数

$t_{in}$	分布 bin 数	測定点数
$0.05 \leq t_{in} \leq 0.95$	2bin	35 点
0.01, 0.96	3bin	2 点

点のみに分布しており、3 点に出力があったのは  $t_{in}$  が 0 に近い、両端の 2 点のみであった (図 5.11)。表 5.1 に分布したビン数の情報をまとめる。全測定点において時間分解能は  $1/2\sqrt{2} \sim 0.35$  ns を下回っており、クロックにジッターがないと仮定した場合の理論曲線とよく一致している。従って、本モジュールの時間分解能は要求を満たしていると言える。

## 5.5 短幅信号に対する検出効率

信号の検出効率は、幅の小さい信号に対しては必ずしも 1 にならない。これは図 5.12 に示すように、デジタル信号の論理が短時間に二回切り替わる場合に、周波数帯域の悪い I/O では信号が閾値まで達しないためである。

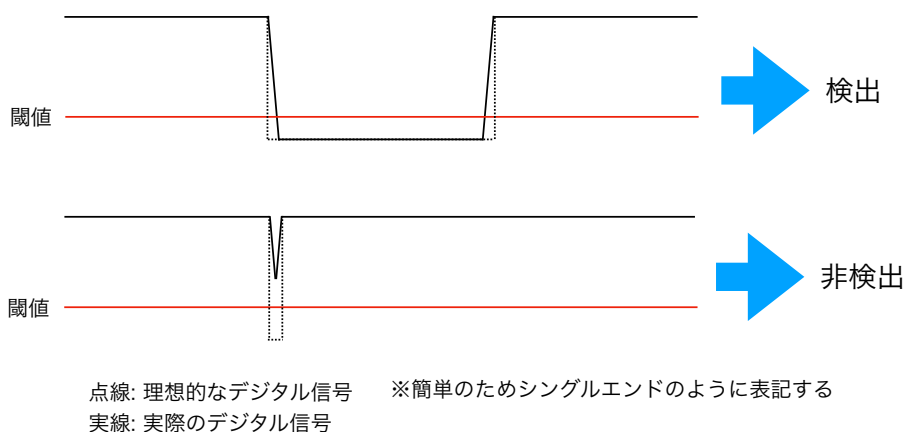


図 5.12 短い信号の非検出原理

本モジュールにおいては LVDS-LVTTL 変換に用いる IC が最も悪い周波数帯域を持っていると考えられる [22]。本節では、そうした場合の検出効率を測定し、要求を満たしていることを示す。



### 5.5.1 要求性能

本モジュールの前段のディスクリミネーターは全て、閾値を超えた信号が入力されている間はディスクリミネーター出力信号が出力され続ける。従ってディスクリミネーター出力信号の最小幅は、検出器の出力する波形の最小幅に対応する。本実験で取得する予定の信号のうち幅が最小になるものは、低運動量の電子が LG の光電子増倍管から遠い位置に入射した場合である。この信号の時間幅を過去のテスト実験のデータから見積もると、FWHM で  $\sim 3\text{ ns}$  と予測される (図 5.13)。なおこの実験の際には反射の起こる光電子増倍管を使っていたため、実際の最小幅はより大きい可能性がある。

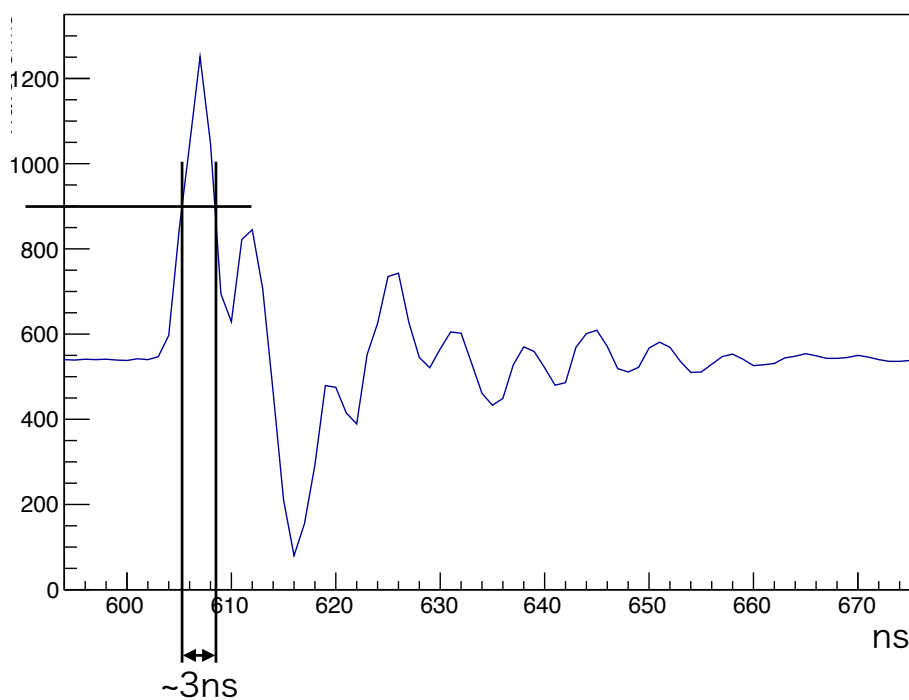


図 5.13 LG 出力波形の DRS4 による読み取り結果: LG の PMT から遠い部分に低運動量 ( $0.6\text{ GeV}/c$ ) の電子が入射した場合

よって本モジュールでは、 $3\text{ ns}$  の幅の信号を 100% 検出できれば十分であると言える。

### 5.5.2 測定方法

図 5.14 に測定の回路図を示す。幅の小さい信号に同期した  $50\text{ ns}$  程度の時間幅のリファレンス用の信号を別のチャンネルに入力し、二つのチャンネルへのカウント数を比較

する。信号の幅が狭くなるにつれ、DRS4 モジュールの周波数帯域制限により短幅信号がリファレンス信号に対して 100% では出力されなくなる可能性があるため、この方法では本モジュールの検出効率の下限のみ測定できる。

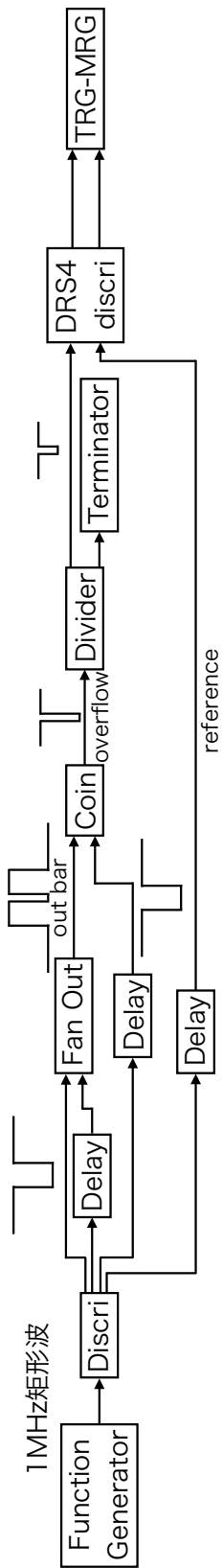


図 5.14 短幅信号に対する検出効率測定用回路

信号幅は、DRS4 モジュール付属のディスクリミネーターの閾値を動かすことで変更した。本モジュールに用いる LVDS-LVTTL 変換用 IC である SN65LVDS348PW では、図 5.15 のように二つの信号の差の値が 50 mV を下側から跨いだ際に 1、-50 mV を上側から跨いだ際に 0 と判定する [22]。

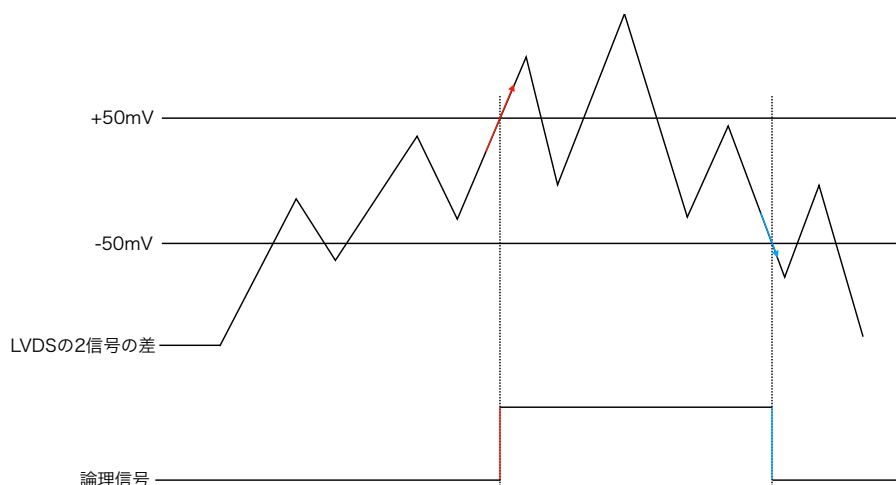


図 5.15 SN65LVDS348PW の論理判定: 論理が 0/1 の時に  $-50/+50$  mV を跨いでも、論理は変わらない

入力信号幅は、DRS4 モジュールの出力をプローブを用いて計測した。

### 5.5.3 測定結果

図 5.16 に、DRS4 モジュール出力の一例を示す。



図 5.16 DRS4 モジュールの出力例 (短幅信号)

図 5.16 中オレンジの線で示されたように、信号の幅は、1.0-1.3 ns と測定される。このような信号を  $> 10^9$  イベント入力したところ、数え落とすイベントは 0 であった。従って、検出効率は 100% である。

#### 5.5.4 再現した最小波形に対する応答

上で用いた予測最小幅 3 ns という値は、DRS4 モジュールで取得した波形から見積もったものであるが、現実的な検出器信号を入力した場合は、DRS4 モジュールのディスクリミネーターからより狭い幅の信号が出力される可能性も考えられる。そこで、DRS4 モジュールで取得した波形の波高、幅がテスト実験のものと同じような信号を作成し、波高の半分の閾値でディスクリミネーターを出力させ、DRS4 に入力した場合の TRG-MRG の応答も調べた。図 5.17 に DRS4 モジュールで取得した再現波形を示す。

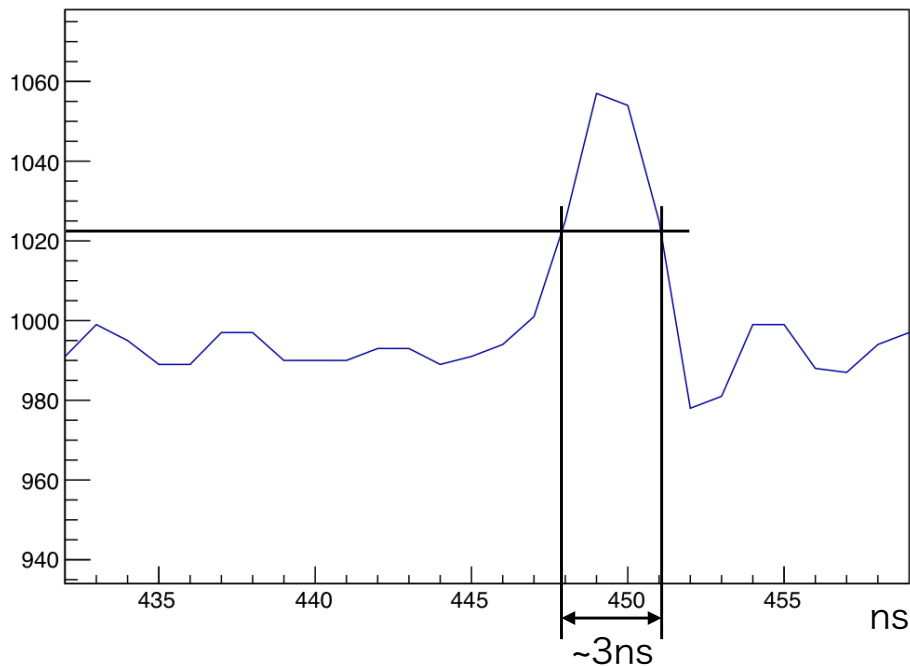


図 5.17 LG 出力の再現波形

この時のディスクリミネーター出力信号の幅は 4 ns 程度であり、 $> 10^9$  イベントに対し、100% の効率で検出することを確認した。よって、本モジュールの短幅信号に対する応答は実験に十分だと言える。

## 5.6 短間隔信号に対する検出効率

信号が高レートで入力される場合には信号間の間隔が狭くなり、信号同士の境目が検出できず後ろ側の信号を検出できない場合がある。本節では近接した信号の検出効率の測定結果と、それが及ぼす影響についての考察を述べる。

### 5.6.1 要求性能

信号幅の場合と異なり、粒子がランダムに発生する以上は本モジュールの性能を超えて信号間隔の狭いものは発生し得る。本節ではまずモジュールの性能を調べたのち、その性能が実験に及ぼす影響について検討する。

## 5.6.2 測定方法

図 5.18 に測定用の回路図を示す。1 MHz の矩形波を 2 信号に分け、片方を遅延させた後に OR を取ることで間隔の狭い信号を作ることができる。解析においては、DESrializer コンポーネントで 1 ns サンプルングされたデジタル信号を SiTCP で出力させ、二信号が分離しているかを調べた。入力の信号間隔は、5.5.1 項と同様にオシロスコープを用いて調べた。図 5.19 に入力の一例を示す。

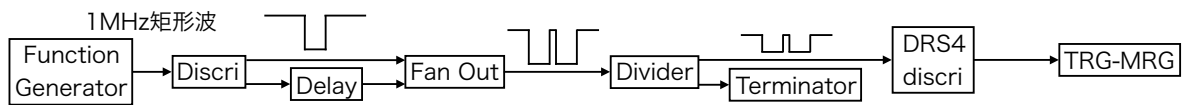


図 5.18 信号間隔の狭い場合の検出効率測定用回路

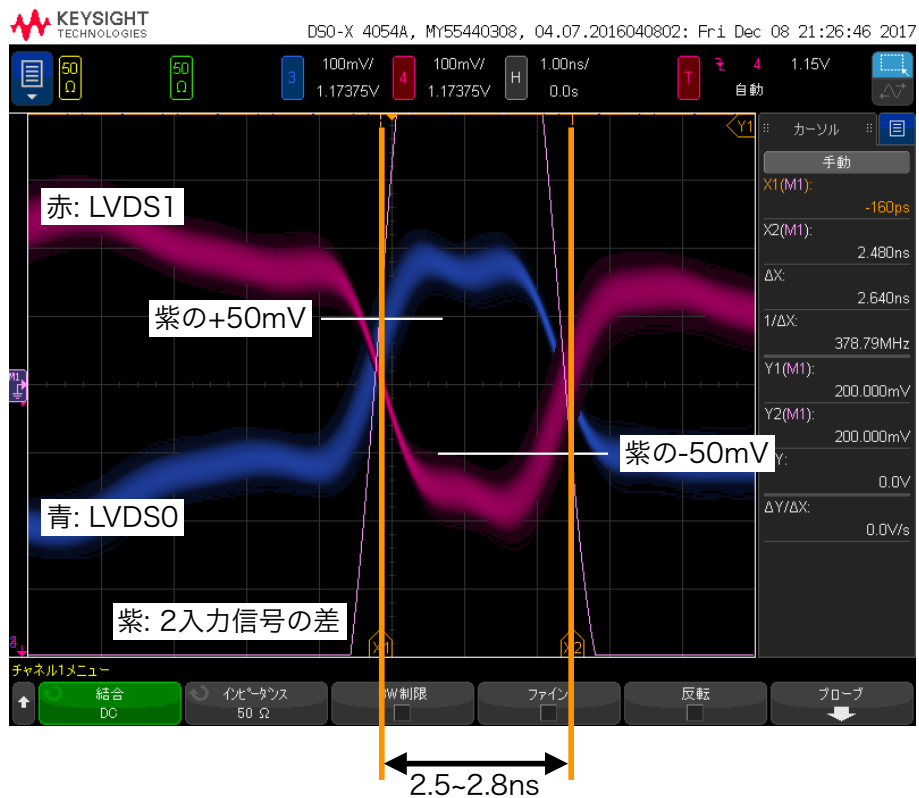


図 5.19 DRS4 モジュールの出力例 (間隔の狭い信号)

### 5.6.3 測定結果

一つ目の信号の立ち下がりから二つ目の信号の立ち上がりまでの間隔が 2.5-2.8 ns の状態で  $> 10^9$  イベントを入力し、100% の検出効率を得た。

### 5.6.4 実験への影響

信号のパイルアップが起こる原因を、TRG-MRG 以前と TRG-MRG に分けて考える。前者では、立ち上がり同士の時間差が典型的な信号幅を下回る場合にパイルアップを起こす。TRG-MRG での検出効率を 2.8 ns 以上で 1、それ以下で 0 と仮定すると、後者では、同様の時間差が典型的な信号幅以上、信号幅 +2.8 ns 以下の時にパイルアップを起こす。したがって典型的な信号幅が小さいときほど、相対的に TRG-MRG の検出効率の寄与が大きくなる。E16 実験で最小の信号幅と考えられるのは LG の約 30 ns のため、LG について見積もりを行う。LG のトリガーチャンネルあたりのヒットレートは見積もられていないが、ここでは GTR3 の最大レートである 1 MHz を仮定する。これはパイルアップを過大評価する方向のため、この仮定において問題がなければ、実際の状況でも問題がないと言える。この場合において、TRG-MRG の性能のために検出できない立ち上がりが発生する確率は待ち行列理論から、

$$e^{-1 \text{ MHz} \times 30 \text{ ns}} - e^{-1 \text{ MHz} \times 32.8 \text{ ns}} \sim 0.0027$$

と見積もられる。従って本モジュールの検出効率の実験に及ぼす影響は小さく、実用には問題ないと言える。



## 第 6 章

# シミュレーションを用いた中継効率 評価

### 6.1 シミュレーションの目的

4.2.2 項で述べた通り、本モジュールでは時間幅 64 ns に来る 64 ch 分のデータの中から最大 8 個の立ち上がりを検出する。6.2.1 項で詳述するが、トリガーチャンネルのヒットレートは最大でも 1 MHz/ch と見積もられている。これは 64 ch、64 ns あたりに平均で約 4 個の立ち上がりがあることを意味している。従って、典型的には上のロジックで問題はないと言える。しかし

- 統計的なふらつき
- 検出器周辺の物質と粒子の相互作用による、局所的な検出粒子数の増加
- ビーム強度の瞬間的な増加

などの要因を考慮すると、立ち上がり数が 8 を超えることが起こりうる。本章では TRG-MRG のロジックの、電子・陽電子対由来の信号の中継効率を調べる。ここで検出効率を、 $\phi \rightarrow e^+e^-$  崩壊で電子・陽電子対が生成され、電子および陽電子が GTR3 を通過して作られた信号が TRG-MRG のエッジ検出で検出された場合に、両方の電子・陽電子対のヒット情報がトリガー決定モジュールへの出力データに含まれる確率と定義する。

上に述べた最大ヒットレート 1 MHz/ch という値は GTR3 のものである。一方、HBD 及び LG はほぼ電子のみに有感であるため、ヒットレートは GTR3 に比べて圧倒的に小さい。そのためこの 2 検出器については TRG-MRG のロジックによる数え落としがないとし、本研究では GTR3 のみを考慮してシミュレーションを行った。また実際には

GTR3 の ASD のチャンネル数が 24 単位であることから、GTR3 の信号は 64 ns あたりに 48 ch を受けることになる。この条件下でシミュレーションを行った。

## 6.2 シミュレーションの条件

### 6.2.1 トリガーチャンネルのヒットレート

トリガーチャンネルのヒットレートを、ヒットレートの高いビーム軸近傍とビーム軸遠方の 2 種類に分けて見積もる。図 6.1 にビーム上流から見た GTR3 のモジュールの図を示す。ビーム軸を囲む 4 モジュールに含まれるチャンネルをビーム軸近傍、それ以外の 22 モジュールをビーム軸遠方と定義する。

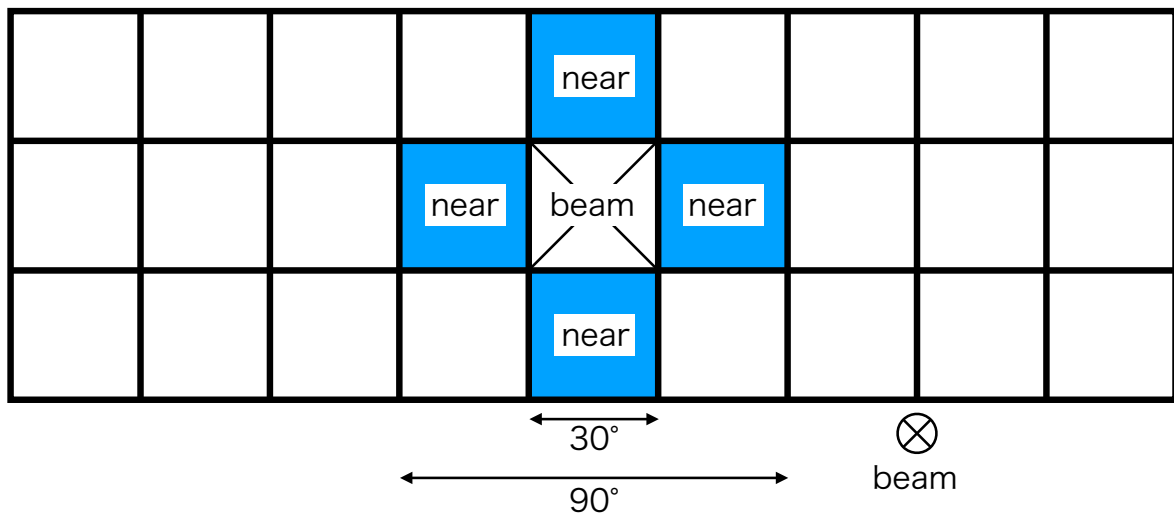


図 6.1 ビーム上流から見た、GTR3 のモジュール図: 図中の青で塗られたモジュールをビーム軸近傍のモジュールとする

ヒットレートの値は先行実験である KEK-PS E325 実験で得られたデータから見積もる。KEK-PS E325 実験では E16 実験の 10% の強度である約  $10^9$ /spill(1 スピルは約 2 秒)、12 GeV の陽子ビームとほぼ 2 倍の相互作用長の標的を用い、反応率約 1 MHz で実験を行った。この実験の検出器の一つである、円筒型ドリフトチェンバー (VTC: VerTex drift Chamber) のヒット情報を見積もりに用いる。VTC は本実験の GTR3 と同様に荷電粒子全般に感度があり、図 6.2 に示すように標的から動径方向に約 200 mm の位置に設置されていた。

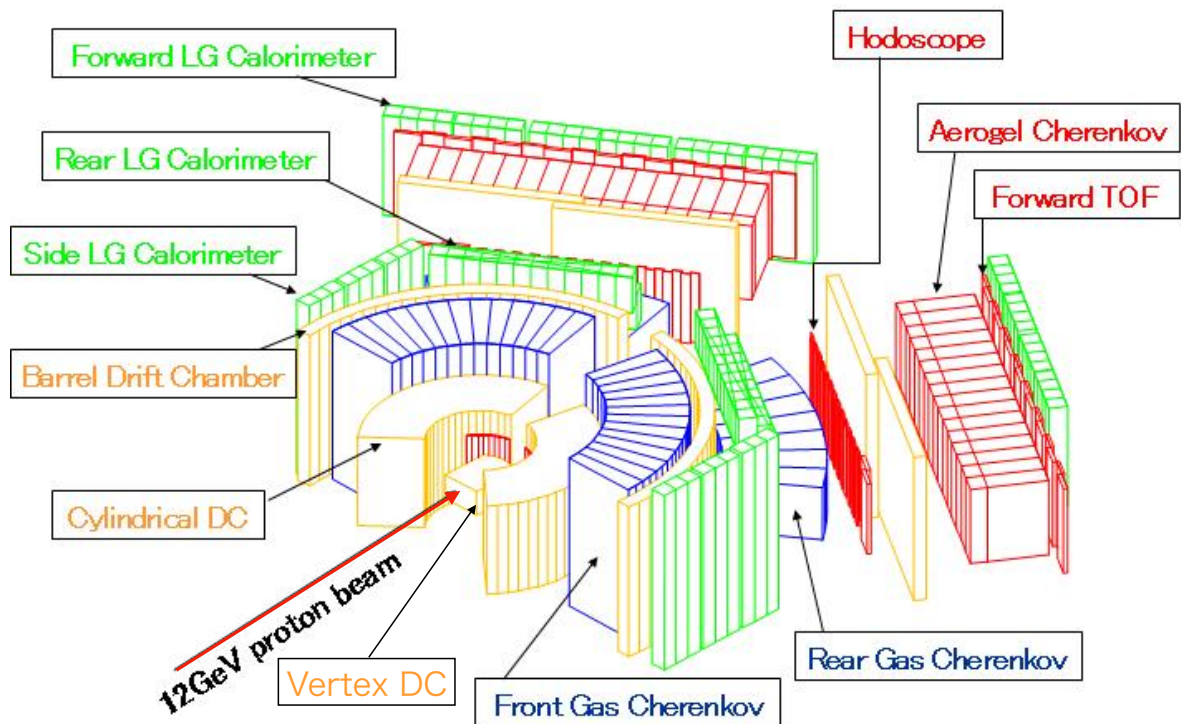


図 6.2 KEK E325 実験セットアップ: VTC は最も反応点近くに設置されていた

この検出器の水平方向  $15^\circ$ 、 $45^\circ$  のチャンネルのヒットレートを本実験のビーム強度でスケールすると、それぞれ  $\sim 50 \text{ MHz/module}$ 、 $\sim 12.5 \text{ MHz/module}$  と計算される。ここでスケール値は単純にはビーム強度 10 倍  $\times$  相互作用長 0.5 倍で 5 倍であるが、2 倍の余裕を持って 10 倍とした。

しかしこれらの値には、ビームハローによるヒットが含まれている可能性がある。

E325 実験において VTC より動径方向で標的から遠い位置に設置されていた飛跡検出器のヒット情報との相関をみると、ビーム軸近傍では半分がビームハローによるもので、ビーム軸遠方のレートにはビームハローの影響がないことが分かった。したがって、GTR3 の動径位置で水平方向  $15^\circ$ 、 $45^\circ$  におけるヒットレートはそれぞれ、 $\sim 25 \text{ MHz/module}$ 、 $\sim 12.5 \text{ MHz/module}$  と見積もられる。

これをそれぞれ本実験におけるビーム軸近傍、遠方のヒットレートとした。1 モジュールが 24 ch に分割されることを考慮すると、GTR3 のトリガーチャンネルのヒットレートはビーム軸近傍のモジュールで  $1 \text{ MHz/ch}$ 、ビーム軸遠方のモジュールで  $500 \text{ kHz}$  と見積もられる。

## 6.2.2 原子核反応を生じる物質

標的周辺で p+A 反応を起こすと思われる物質について考える。図 6.3 に標的周辺の模式図を示す。上流には真空ビームパイプがあり、厚さ 100  $\mu\text{m}$  の SUS 製の窓が取り付けられている。また、標的を格納するチェンバーの窓は 50  $\mu\text{m}$  厚の Eval が用いられる。その下流に実験標的が配置される。標的は上流から Target1、Target2、Target3 とした。表 6.1 にそれぞれの物質の詳細を示す。

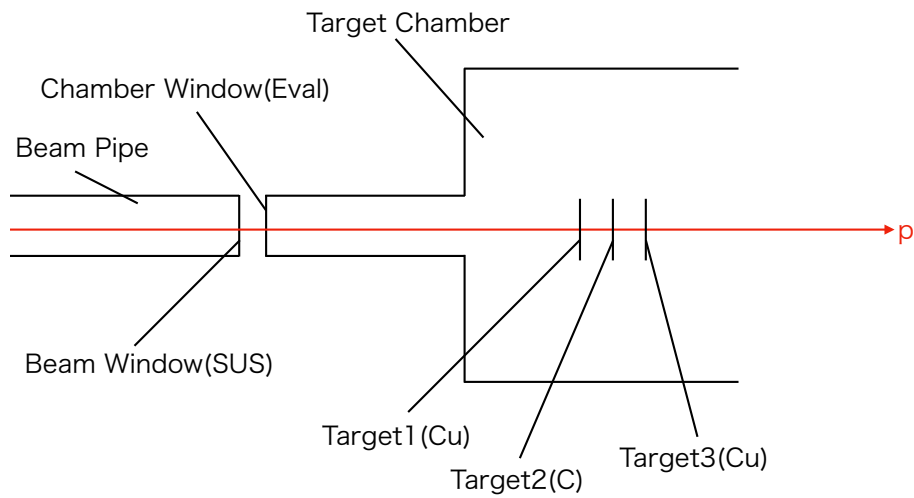


図 6.3 標的周辺の模式図

表 6.1 各物質の詳細

物質	材質	位置 [cm]	厚み [ $\mu\text{m}$ ]	相互作用長	反応率 ( $1 \times 10^{10}$ /spill p ビーム)
Beam Window	SUS	-20.575	100	0.0625%	3.125 MHz
Chamber Window	Eval	-19.575	50	0.0125%	625 kHz
Target1	Cu	-2	80	0.05%	2.5 MHz
Target2	C	0	400	0.1%	5 MHz
Target3	Cu	2	80	0.05%	2.5 MHz

Eval(Ethylene and Vinyl ALcohol) はエチレン ( $\text{CH}_2=\text{CH}_2$ ) とビニルアルコール ( $\text{CH}_2=\text{CHOH}$ ) の共重合体樹脂である。バックグラウンドとしては、まずこれらの物質と

の反応粒子を想定する。なお相互作用長の算出やシミュレーションにおいては、SUS は Cu、Eval は C で代替した。

### 6.2.3 チャンネル ID の定義

GTR3 のトリガーチャンネルの ID は、図 6.4 のように定義する。実際に存在するのは 26 モジュールだが、図 6.4 の左図のようにシミュレーターのジオメトリには両脇に仮想的に 3 モジュールずつを配置しており、これも含んでモジュール番号を振っている。2.4.2 項で述べたように、1 モジュールは y 軸方向に 24 分割されてトリガーチャンネルを形成しており、図 6.4 の右図のようにチャンネル番号を振っている。

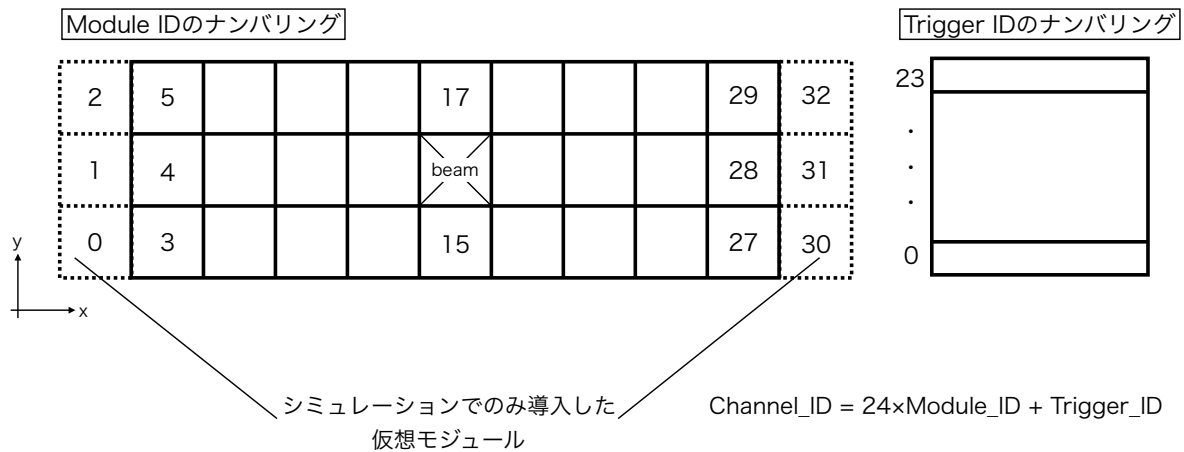


図 6.4 チャンネル ID の定義: 左は 26 モジュールの配置、右は 1 モジュール内のチャンネル分け

### 6.2.4 シミュレーター

シミュレーションでは、イベント生成用に JAM[13] を用い、検出器の影響を Geant4[31] によって評価した。それぞれのシミュレーターの役割を述べる。

#### JAM

原子核反応シミュレーター。ハドロン反応の断面積を再現するような相互作用が実装されている。一回の p+A 反応で生成される粒子の種類、数、運動量の情報を得るために用いた。

#### Geant4

物質との相互作用を含む粒子飛跡シミュレーター。JAM で出力された 1 イベント

分の p+A 反応の情報を入力することで、GTR3 の各トリガーチャンネルにどの粒子がどのタイミングでヒットするかを知ることができる。また検出器における物質との相互作用による影響も取り入れることができる。

これらを組み合わせることで、p+A 反応 1 回あたりに生成された粒子の、GTR3 へのヒットのトリガーチャンネル、時間分布が得られる。

## 6.3 中継効率のシミュレーション

### 6.3.1 シミュレーションの流れ

前節までに得られた情報を使って、真のイベントと妥当なバックグラウンドイベントを生成し、TRG-MRG に入力して TRG-MRG ロジックの検出効率を求める。以下に具体的な手順を示す。

1. 下記の Geant4 出力を生成する。
  - 標的で生成された  $\phi$  中間子が崩壊して生じた電子・陽電子対
  - 標的で  $\phi$  中間子が生成された際に同時に生成された  $\pi$  中間子
  - 標的、ビームパイプ窓、標的チェンバー窓で生成された  $\pi$  中間子
2. 上記の出力を用いて、 $\phi \rightarrow e^+e^-$  イベントとバックグラウンドを含む、ヒットの 64 ns 分のタイムテーブルを作る。
3. タイムテーブルを TRG-MRG のロジックに入力して、電子・陽電子対のヒットが共に生き残る確率をシミュレーションする。

JAM の出力において  $\pi$  中間子のみを使用しているのは、 $\pi$  中間子の生成量に比べて、他の粒子の生成量が無視できるほど小さいためである。

### 6.3.2 Geant4 出力

図 6.5 に Target1 での反応でできた荷電粒子の作るヒット分布を示す。72 ch おきにピークが立つのは、標的に近い高さに設置されたチャンネルのヒットが多いためである。また中央のチャンネルにヒットがないのは、ビーム軸上でありモジュールが存在しないためである。

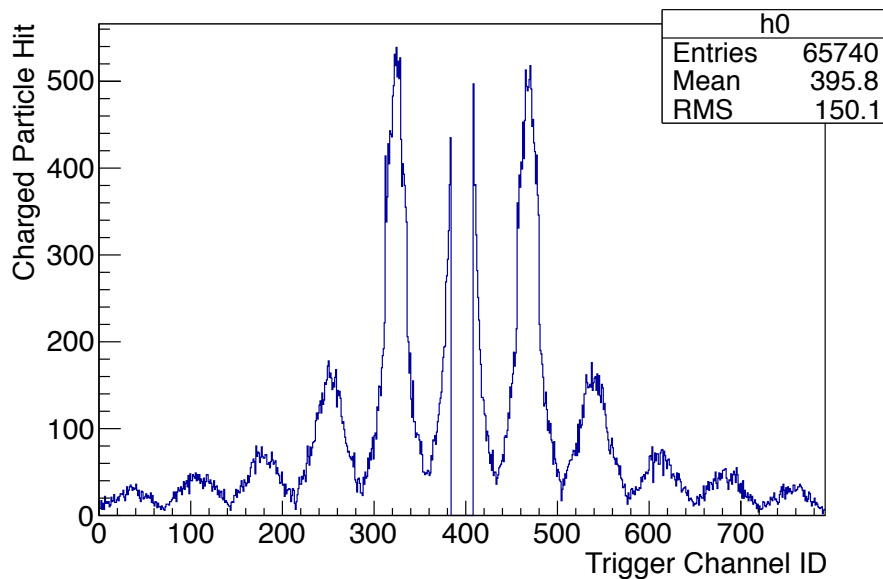


図 6.5 ヒット分布の例

### 6.3.3 タイムテーブル生成

次に、生成された Geant4 出力を用いて  $\phi \rightarrow e^+e^-$  イベントを含むヒットのタイムテーブルを生成する。 $\phi \rightarrow e^+e^-$  イベントのタイミングを 0 ns として、-200 ns から 70 ns の範囲でタイムテーブルを作り、バックグラウンドを付加して電子・陽電子対のヒットを含む 64 ns を取り出す。ここで、-200 ns からタイムテーブルを作るのは、GTR3 の信号の幅が約 200 ns であるため、電子・陽電子対生成イベントの -200 ns 以降のヒットが、切り取った 64 ns の時間幅におけるヒットの分布に影響するためである。具体的には以下のような手順でイベントを構成する。

1. ある標的で発生した  $\phi$  中間子を 1 イベント分 0 ns に発生させる。
2. その標的で  $\phi$  中間子と同時に発生した  $\pi$  中間子を 1 イベント分 0 ns に発生させる。
3. 6.2.2 項で考慮した物質から発生した  $\pi$  中間子を、物質の厚みに応じた反応率に基づきポアソン分布で発生させる。
4. これらの物質以外から来るバックグラウンドを、ポアソン分布で発生させる。
5. 電子・陽電子対のヒットを含む 64 ns を取り出す。

ここで物質で生成された  $\pi$  中間子由来の、ビーム近傍、遠方のヒットレートを計算するとそれぞれ、120 kHz、20 kHz となる。これと 6.2.1 項で計算された 1 MHz、500 kHz の

差である 880 kHz、480 kHz を、上記の手順 4 で生成するバックグラウンドとして追加する。また、48 ch の組み合わせは、ビーム近傍同士が組むことのないようにした。図 6.6 に TRG-MRG へ入力されるヒットの分布、図 6.7 に電子・陽電子対を含む 48 ch、64 ns 中のヒット数の分布を示す。

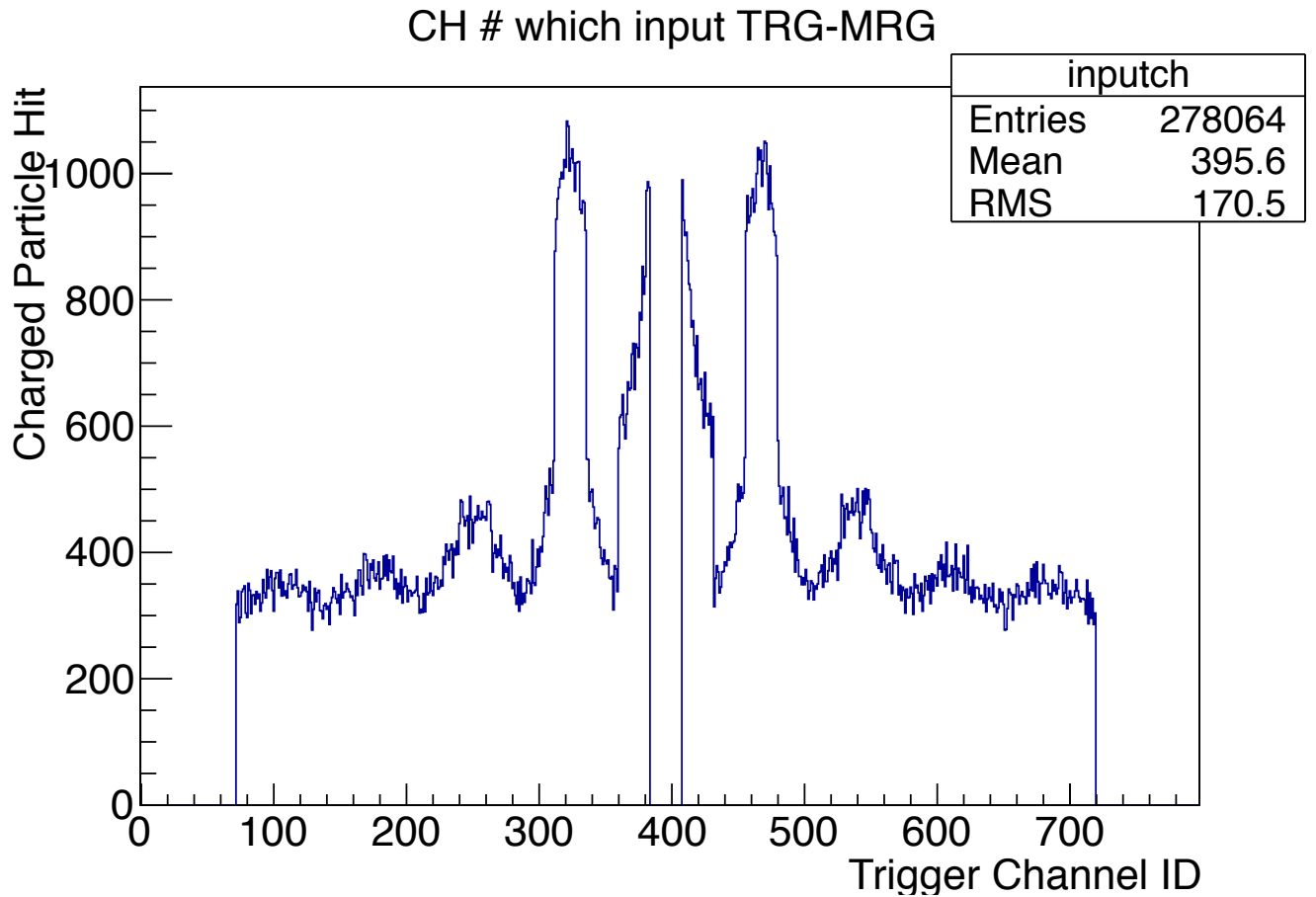


図 6.6 TRG-MRG へ入力されたチャンネルの分布



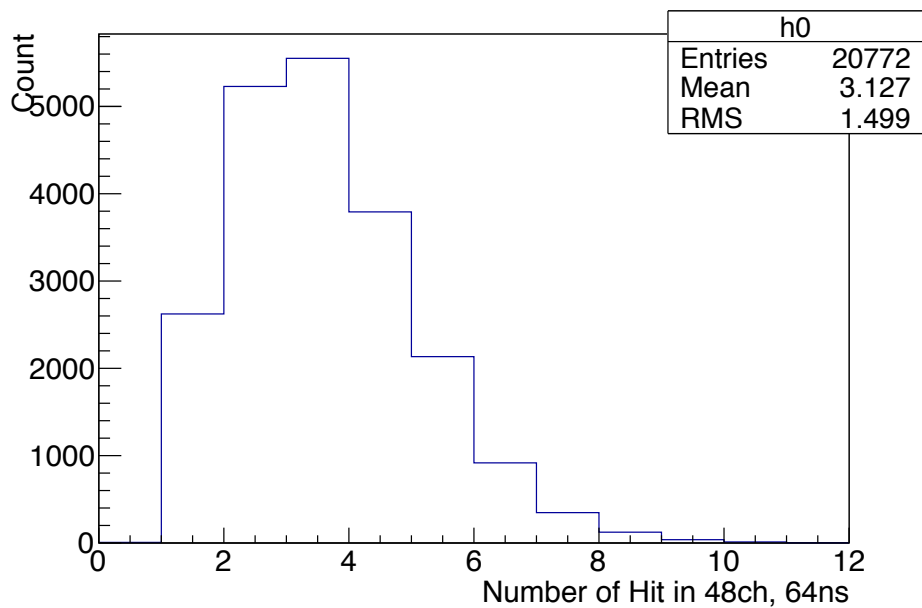


図 6.7 電子・陽電子対を含む 48 ch、64 ns のヒット数

### 6.3.4 結果

これまでのシミュレーションで、各々の標的のできた電子・陽電子対の検出効率を算出できる。しかし実際は Target1、2、3 のそれぞれから電子・陽電子対が生成される。各標的での  $\phi$  中間子の生成量の比は、生成断面積、反応長から、1:2:1 となる。この比で重み付けして平均をとることで、あるビームレートの場合の電子・陽電子対の検出効率が算出できる。本研究では、ビームレートを  $1 \times 10^{10}/\text{spill}$  (1 スpillは約 2 秒)(5 GHz) から  $3 \times 10^{10}/\text{spill}$  (15 GHz) まで  $1 \times 10^9/\text{spill}$  刻みで設定し、各々についてシミュレーションを行った。図 6.8 にその結果を示す。

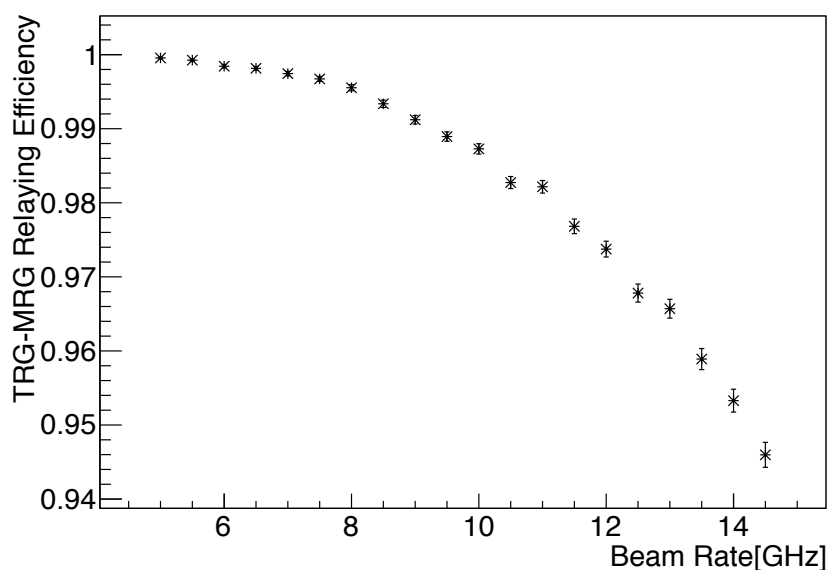


図 6.8 ビームレートと TRG-MRG 検出効率の関係

ここから、典型的なビームレートである 5 GHz に対しては 99.95% と十分な検出効率を持つことが分かった。また、2 倍の強度である 10 GHz に対しても 98.75% と許容できる効率が得られた。以上より、現在実装している TRG-MRG のヒット検出ロジックが、実用に対して十分な検出効率で動作することが結論づけられた。

## 第7章

# 結論

我々は J-PARC 高運動量ビームラインにおいて、原子核内におけるベクター中間子の質量測定を行う。 $\phi$  中間子の質量スペクトルは、QCD 和則を用いて有限密度下での  $s$  クォーク凝縮の値と結び付けられる。

実験では、厚さ  $80\ \mu\text{m}$  の Cu 2 枚と  $400\ \mu\text{m}$  の C 1 枚を用い、 $1 \times 10^{10}/\text{spill}$  (1 スピルは約 2 秒) の  $30\ \text{GeV}$  陽子ビームを照射する。p+A 反応で生成された  $\phi$  中間子に対し、 $\phi \rightarrow e^+e^-$  崩壊から生じた電子・陽電子対を大立体角のスペクトロメーターで測定し、高速の DAQ で処理する。トリガー回路は、トリガー中継モジュール (TRG-MRG)、トリガー決定モジュール (Belle-2 UT3)、トリガー分配モジュール (Belle-2 FTSW) の三段で構成する。トリガーに用いるチャンネルが 2,620 ch と多数に渡るため、信号を整形、圧縮してトリガー決定モジュールに高速転送する中継モジュールが重要となる。

トリガー中継モジュールは、256 ch のディスクリミネーター出力信号を  $1\ \text{ns}$  間隔でサンプリングし、信号の立ち上がりのタイミングを検出する TDC 部分と、検出した情報を高速シリアル通信で後段へ送信するトランシーバー部分から成る。機能としては、本研究では、TDC 部分の開発と性能評価を行なった。

TDC には、時間分解能  $0.35\ \text{ns}$  以下で立ち上がりを検出すること、実験で予想される最小  $3\ \text{ns}$  程度の幅の信号に対しても感度を持つこと、 $1\ \text{MHz}/\text{ch}$  程度のレートに対して耐性があることが求められる。性能評価の結果、時間分解能はほぼ量子化誤差によるものであり、任意の入力に対して  $0.35\ \text{ns}$  以下の分解能を達成していることを確認した。また、周波数安定度、積分非直線性、微分非直線性は LSB に対して十分小さい値であり、時間測定にほぼ影響を与えないことが分かった。短パルスに対する検出効率については、 $\sim 1\ \text{ns}$  の幅の信号に対して検出効率 1 が得られた。最も重要となるレート耐性は、ハードウェアの影響とファームウェアのロジックの影響についてそれぞれ評価した。ハードウェアにつ

いては、ほぼ連続して入力された 2 信号に対する検出効率を調べ、1 つ目の信号の立ち下がりから 2 つ目の信号の立ち上がりまでが 2.6 ns 程度離れていれば 100% 検出できるという結果が得られた。この効果が実験に及ぼす悪影響はほぼない。またロジックについては、シミュレーションを用いて中継効率を評価した。その結果、典型的なビーム強度である  $1 \times 10^{10}$ /spill に対して、99.95% の中継効率を得られることが確かめられた。

以上から、本モジュールが要求を満たす性能を持つことが確認できた。今後はトランシーバー部分の実装を行う予定である。

# 謝辞

本論文の執筆にあたり、多くの方々にお世話になりました。指導教官である永江知文教授は私の自主性を重視してくれながらも、要所要所では親身になって相談に乗ってくださり、適切な助言をしてくださいました。成木恵准教授は、私をカイラル対称性という分野に導いてくださり、研究を進める上では、拙い私の説明を辛抱強く聞き正しい方向への指針を示してくださいました。川畑貴裕准教授、村上哲也講師、藤岡宏之助教、新山雅之助教には、発表会や普段の生活で様々なアドバイスをいただきました。

理研の四日市悟専任研究員には、実験全体に関する様々な疑問に答えていただき、特にシミュレーションにおいては多大な時間を指導に割いていただきました。開発においては、大阪大学 RCNP の高橋智則さんに直接の指導をいただきました。FPGA やソフトウェア、回路など技術的なこと全般について、一から丁寧に教えていただきました。ファームウェアを無事開発できたのも高橋さんのおかげです。

KEK の内田智久准教授、五十嵐洋一講師、東北大学の本多良太郎助教には、東海村での作業スペースをお貸しいただき、開発において生じた様々な問題について相談させていただきました。KEK の鶴養美冬助教、山本剛史さんは J-PARC で食べることなどに困っていた私を、度々催しに誘ってくださいました。おかげで楽しい時間を過ごすことができました。原研の Philipp Gubler さんには E16 実験の理論との結びつきについて、様々な疑問に答えていただきました。

同じ研究室の先輩である江川弘行さんと金築俊輔さんには、それぞれ主に J-PARC と大学で様々なことを相談させていただきました。どんな時でも快く相談に応じていただき、非常に助けになりました。同じく先輩である七村拓野さん、同回生の越川亜美さんは、同じ施設で実験を行うメンバーとして、日頃からよくしていただきました。同回生の足利沙希子さんとは、同じ実験を進めるメンバーとして親しくさせていただきました。立ち止まりがちな私は、着実に物事を進める足利さんの姿勢から常々刺激を感じています。

他にもここには書いていない研究室の方々、実験グループの方々、J-PARC、原研の

方々などにもお世話になりました。皆様、本当にありがとうございました。

## 付録 A

# ファームウェアの動作試験の詳細

### A.1 Vivado によるシミュレーション

シミュレーションはファームウェア実装と同様に Vivado2017.2 上で行った。シミュレーションによって、ファームウェアの論理が想定通りに動作するか、また信号入力から出力情報生成までの所要時間を確認した結果を述べる。

#### A.1.1 1チャンネル入力に対する動作

例として、64 ns カウンターの 63 ns のタイミングで ch11 に信号を入力した際の応答をシミュレーションする。図 A.1 に入力から SH16 までの信号を示す。

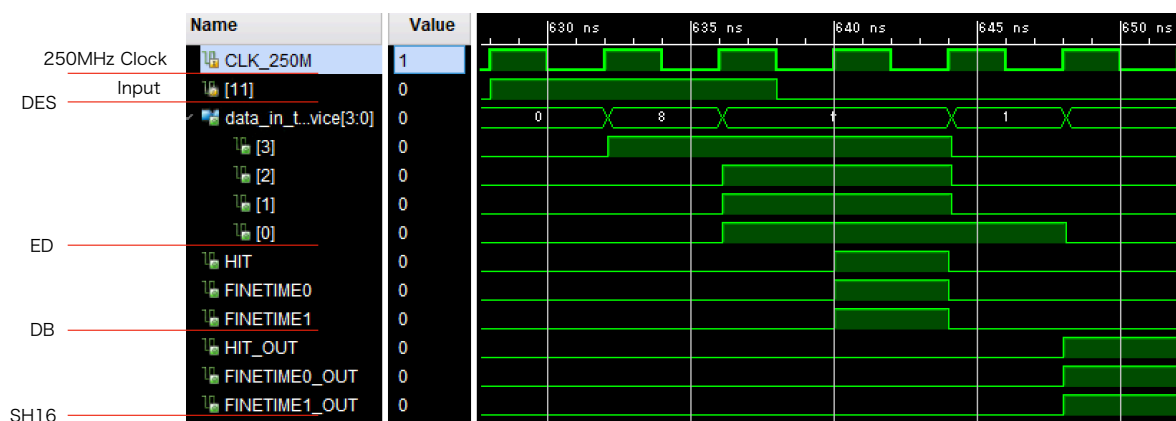


図 A.1 ch11 に入力した場合の応答: SH16 以前

それぞれの行の意味を、表 A.1 に示す。

表 A.1 図 A.1 の説明

行数	意味
1	250MHz クロック
2	入力信号
3-7	DES のパラレル出力: 632-636ns の 3bit 目に立ち上がりがある
8	ED 出力: 立ち上がりの有無
9-10	ED 出力: 立ち上がりのタイミング、2'b11=3bit 目に検出されたことを示す
11-13	DB 出力: 遅延をかけて 8-10 行目をそのまま出力している

続いて、SH16 以降の信号を図 A.2、その説明を表 A.2 に示す。

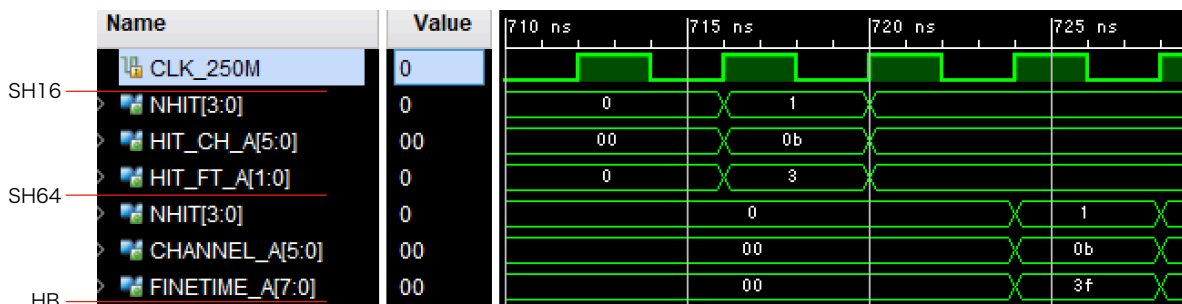


図 A.2 ch11 に入力した場合の応答: SH16 以降

表 A.2 図 A.2 の説明

行数	意味
1	250MHz クロック
2	SH16 出力: 立ち上がりの数が 1 であることを示す
3	SH16 出力: 6'b0b=11 番に立ち上がりがあったことを示す
4	SH16 出力: 立ち上がりのタイミング、2'b11=3ns(mod4) に検出されたことを示す
5	SH64 出力: 立ち上がりの数が 1 であることを示す
6	SH64 出力: 6'b0b=11 番に立ち上がりがあったことを示す
7	SH64 出力: 8'b3f=63ns(mod64) に立ち上がりがあったことを示す

最後に HB の出力を図 A.3、その説明を表 A.3 に示す。



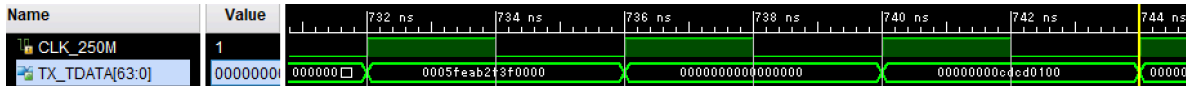


図 A.3 ch11 に入力した場合の応答: HB 出力

表 A.3 図 A.3 の説明

値	意味
1 ブロック目 (0-15): 16'h0005	64ns のカウンタの値
1 ブロック目 (16-31): 16'hfeab	ヘッダー
1 ブロック目 (32-39): 8'h2f=8'b00101111	立ち上がりのチャンネル情報。 上位 6bit が 6'b001011=6'd11 なので ch11 に立ち上がりがあったことを示す。
1 ブロック目 (40-47): 8'h3f=8'd63	立ち上がりの時間情報。 63ns に立ち上がりがあったことを示す。
1 ブロック目 (48-63): 16'h0000	2 個目の立ち上がり情報。 立ち上がりがないことを示す。

表 A.3 の立ち上がり情報 0 には、16'h2f3f=16'b0010111100111111 が出力されている。チャンネル情報を表す上位 6bit の値を 10 進数に変換すると、6'b001011=6'd(8+2+1)=6'd11 となり、ch11 に入力があったことが分かる。時間情報を表す下位 8bit の値を 10 進数に変換すると、8'b00111111=8'd(32+16+8+4+2+1)=8'd63 となり、カウンターの 63 ns のタイミングに入力があったことが分かる。また、立ち上がり情報 1 以降には出力はなく、これ以外のヒットが検出されなかったことが分かる。以上より、正しく出力されていることがわかる。

## A.1.2 トリガーレイテンシの見積もり

次に、信号を 64 ns カウンタの 0 ns と 63 ns のタイミングで入力し、TDC のレイテンシをシミュレーションする。これは、レイテンシの最も短い場合と最も長い場合に対応している。シミュレーションの結果を図 A.4 に示す。

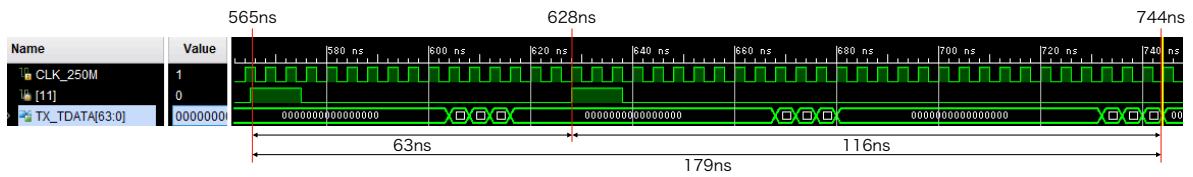


図 A.4 TDC レイテンシのシミュレーション

63ns に入力された信号は 116ns 後、0ns に入力された信号は 179ns に出力されることが分かる。これは 200 ns を下回っており、要求を満たす。

### A.1.3 多チャンネル入力に対する動作

最後に、オーバーフローがあった場合のシミュレーションを行う。図 A.5 に入力信号を示す。1 行目が 250MHz クロック、それ以降が ch0-15 の入力を示している。まず ch0、4、8、12 に入力し、その 10 ns 後に ch1、5、9、13、その 10 ns 後に ch2、6、10、14、その 10 ns 後に ch3、7、11、15、その 10 ns 後に ch0、4、8、12 に入力している。64ns 中に計 20 個の立ち上がりを入力していることになり、この場合には 12 個のヒットがオーバーフローする。

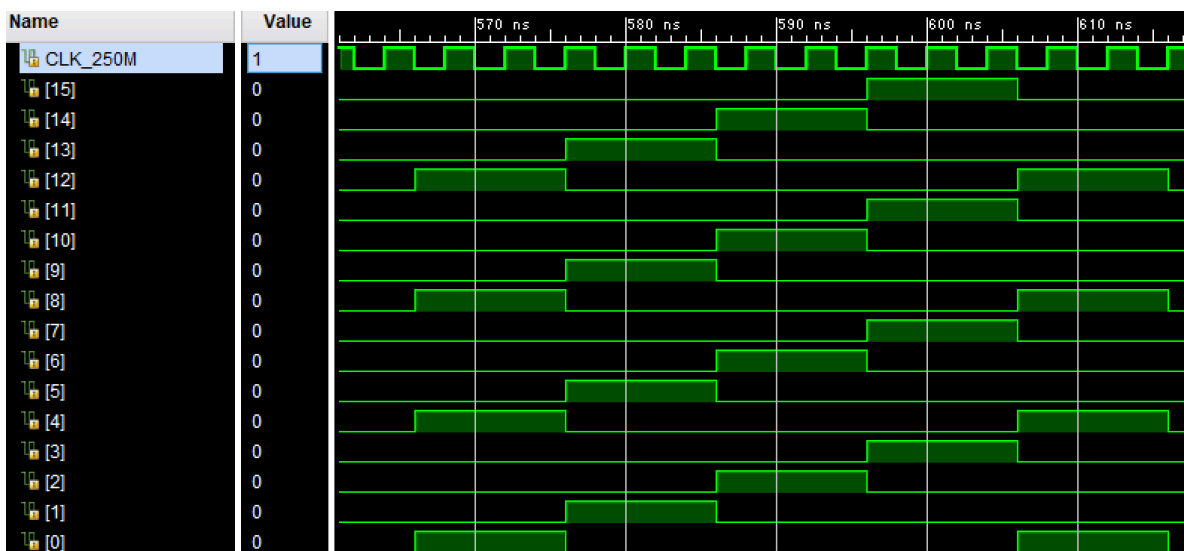


図 A.5 オーバーフローが起こる場合の入力

図 A.6 に出力、表 A.4 にその説明を示す。

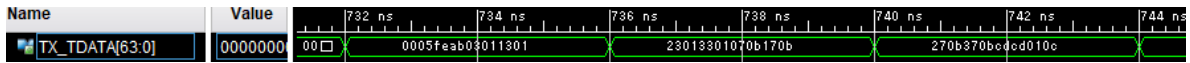


図 A.6 オーバーフローが起きた場合の出力

表 A.4 図 A.6 の立ち上がり情報、オーバーフロー情報の説明

値	意味
立ち上がり 0: 16'h0301	ch0、タイミング 1ns
立ち上がり 1: 16'h1301	ch4、タイミング 1ns
立ち上がり 2: 16'h2301	ch8、タイミング 1ns
立ち上がり 3: 16'h3301	ch12、タイミング 1ns
立ち上がり 4: 16'h070b	ch1、タイミング 11ns
立ち上がり 5: 16'h170b	ch5、タイミング 11ns
立ち上がり 6: 16'h270b	ch9、タイミング 11ns
立ち上がり 7: 16'h370b	ch13、タイミング 11ns
オーバーフロー情報: 16'h010c	オーバーフローの数。対応する bit の値は 10'h00c=10'd12 となるので、12 個オーバーフローしていると出力されていることが分かる。

入力したもののうち早い 8 個が正しいチャンネルで読み取られており、0 から 3 と 4 から 7 の間の時間差も 10 ns と正しい値を出力している。また、オーバーフローの数も 12 個と正しく出力されている。

## A.2 SiTCP による TDC 読み出し

サンプルチャンネルとして ch0 と ch5 に信号を入力し、立ち上がりを検出した 64ns、256ch について SiTCP を用いて読み出した (図 A.7)。

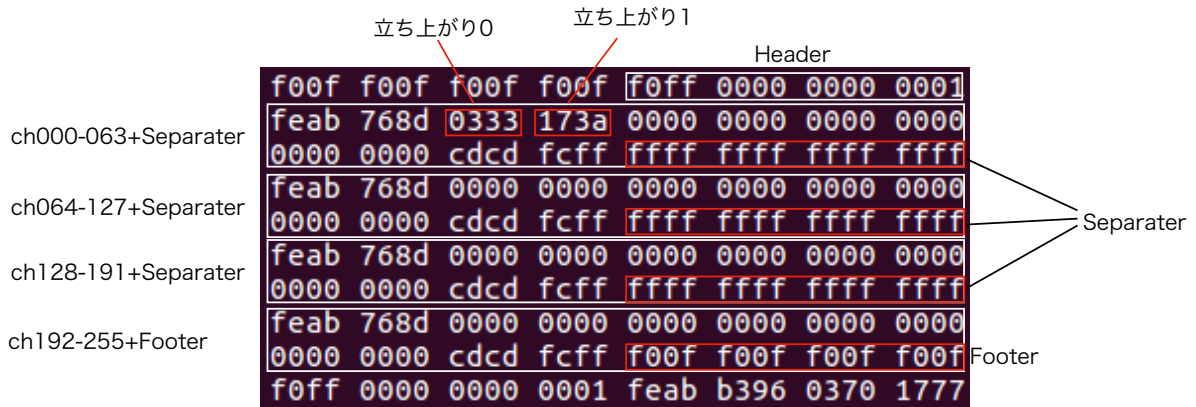


図 A.7 TDC 出力の読み出し: 64bit × 3 ごとに挿入される 64'hff...ff はセパレータ

2 行 3 列の 16'h0333 は ch0 へのタイミング 51 ns の立ち上がり、2 行 4 列の 16'h173a は ch5 へのタイミング 58 ns の立ち上がりに対応する出力であり、入力のチャンネルに対応した出力がされていることが分かる。以上から、SiTCP を用いた読み出しは正しく動作していると判断した。

## 参考文献

- [1] W. Weise, Nucl. Phys. A553 (1993) 59c-79c
- [2] Particle Data Group, The Review of Particle Physics(2017)
- [3] P. Gubler and K. Otani, arXiv: 1404.7701v2
- [4] S. Durr, *et al.*, Phys. Rev. Lett., 116, 172001(2016)
- [5] A. Abdel-Rehim, *et al.*, Phys. Rev. Lett., 116, 252001(2016)
- [6] R. Muto, *et al.*, Phys. Rev. Lett., 98, 042501(2007)
- [7] S. H. Lee, *et al.* , Phys. Rev. C57, 927(1998)
- [8] J-PARC E16 Technical Design Report(2016)
- [9] W. Nakai, JPS2017
- [10] D. Adamova, *et al.*, Phys. Lett. B, 666(2008) 425-429
- [11] R. Amaldi, *et al.*, Phys. Rev. Lett., 96, 162302(2006)
- [12] M. H. Wood, *et al.*, Phys. Rev. C78, 015201(2008)
- [13] Y. Nara, *et al.*, Phys. Rev. C61, 024901
- [14] <https://cds.cern.ch/record/1069892/files/cer-002725643.pdf>
- [15] [https://www.psi.ch/drs/DocumentationEN/DRS4\\_rev09.pdf](https://www.psi.ch/drs/DocumentationEN/DRS4_rev09.pdf)
- [16] <http://cds.cern.ch/record/438949/files/p443.pdf>
- [17] <http://openit.kek.jp/project/DRS4ADC/public/drs4adc-public>
- [18] Y. Obara, JPS2017
- [19] <http://www.jahep.org/hepnews/2015/15-2-4-BelleIITrigger.pdf>
- [20] [https://japan.xilinx.com/support/documentation/user\\_guides/jug476\\_7Series\\_Transceivers.pdf](https://japan.xilinx.com/support/documentation/user_guides/jug476_7Series_Transceivers.pdf)
- [21] <http://www.jahep.org/hepnews/2014/14-3-2-BelleIIDAQ.pdf>
- [22] <http://www.ti.com/lit/ds/slls523e/slls523e.pdf>
- [23] <http://www.analog.com/media/en/technical-documentation/>

- data-sheets/ADG3247.pdf
- [24] [https://japan.xilinx.com/support/documentation/data\\_sheets/j\\_ds180\\_7Series\\_Overview.pdf](https://japan.xilinx.com/support/documentation/data_sheets/j_ds180_7Series_Overview.pdf)
  - [25] [https://japan.xilinx.com/support/documentation/ip\\_documentation/aurora\\_64b66b/v9\\_2/j\\_pg074-aurora-64b66b.pdf](https://japan.xilinx.com/support/documentation/ip_documentation/aurora_64b66b/v9_2/j_pg074-aurora-64b66b.pdf)
  - [26] <https://japan.xilinx.com/products/design-tools/vivado.html#documentation>
  - [27] <http://research.kek.jp/people/uchida/technologies/SiTCP/>
  - [28] <https://jp.tek.com/datasheet/arbitrary-function-generator>
  - [29] <http://www.tamadevice.co.jp/pdf/clk/cl580.pdf>
  - [30] <https://literature.cdn.keysight.com/litweb/pdf/5991-1103JAJP.pdf?id=2258675>
  - [31] <http://geant4.cern.ch>