

修士論文

RHIC PHENIX 実験における
高運動量 μ 粒子トリガーのための
高速データフォーマッター回路の開発と
トリガー性能の評価

中村克朗

京都大学大学院 理学研究科
原子核ハドロン研究室

概要

バリオンを3つのクォークのみの集まりとみなす単純なモデルがバリオンの分類、及びその磁気能率の理解に対して大きな成功を収めたことから、核子のスピン $1/2$ は3つの価クォークのスピン合成のみで説明され、海クォーク、グルーオンからの核子スピンへの寄与はほとんどないと考えられていた。ところが EMC 実験や SMC 実験などの偏極非弾性散乱の測定により、クォーク全体のスピンの担う陽子スピンの大きさはわずか 30 % 程度であり、同時に海クォークの偏極度も陽子スピンを担っている構成要素の一部であることが明らかとなった。ただこの結果はフレーバー SU(3) を仮定して得られた近似的なものであった。そこで、核子の量子数に寄与しないはずの海クォークがその偏極にどれだけ寄与しているのかを、直接測定により検証することが求められていた。

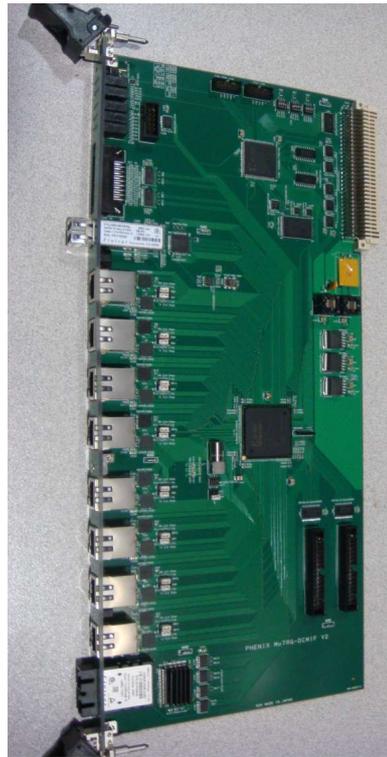
米国ブルックヘブン国立研究所で稼働している RHIC (Relativistic Heavy Ion Collider) の PHENIX 検出器では核子スピン構造の解明が精力的に進められている。RHIC は偏極した陽子同士を重心系エネルギー 500GeV で衝突させることのできるシンクロトロン加速器であり、この衝突の際に生成される W ボソンはフレーバーごとの偏極度の直接測定を行うための最適なプローブとなる [1]。そこで核子内クォーク、反クォークの偏極度分布のフレーバー依存性を理解すべく、W ボソン生成断面積の単一偏極非対称度の測定に向けて準備が重ねられてきた。

W ボソンの同定はその崩壊により生成される μ 粒子を測定することにより行われるのだが、既存のトリガーシステムではハドロンプロセスにより生じる大量の低運動量 μ 粒子を区別できない。そのため、このバックグラウンドのレートがデータ収集レートの上限を超えてしまい、測定すべき希少な W ボソンからのイベントを取りこぼしてしまうことになる。

そこで我々は既存の磁場中におかれた μ 粒子用飛跡検出器 (MuTr) からヒット情報のみを取り出して、曲がり方の小さい高運動量 μ 粒子のみを選び出すという新たなトリガーシステムを開発している。特に発表者はそのシステムにおいて重要な役割を担う2種類の回路 (図 1) を開発してきた。1つは、総数 19200 本に上る MuTr からのヒット信号を受け取り、そのデータをシリアル化して 2.8Gbps という高速通信でトリガー発行回路に送信する高速データフォーマッター回路 (MuTRG-MRG) である。もう1つは、複数の MuTRG-MRG から受け取った W ボソン候補のヒットデータをイベントビルドして、後の解析のためにデータ収集装置に送信するインターフェース用回路 (MuTRG-DCMIF) である。これらの回路を実際に PHENIX のデータ収集システムに組み込んで動作試験を行うことで、ヒット効率の悪化、時間分解能の悪化を引き起こすことなく MuTRG-MRG および MuTRG-DCMIF を用いてデータ収集ができるということを確認した。本論文ではこれらの回路の開発、その動作試験の結果を中心に報告する。



(a)



(b)

図 1: (a)MuTRG-MRG、(b)MuTRG-DCMIF の写真。

目次

第 1 章	序章	4
1.1	核子スピン構造研究の歴史的背景	4
1.2	パートン模型とパートン偏極度分布関数	5
1.2.1	因子化定理	5
1.2.2	パートン偏極度分布に成り立つ和則	6
1.2.3	パートン偏極度分布の測定	6
1.3	W ボソンによるフレーバーを分けた海クォーク偏極度分布の測定	8
1.4	陽子陽子衝突における W ボソンの運動学	9
1.5	PHENIX 検出器における W ボソンの測定	11
1.6	研究の概要、及び本論文の流れ	12
第 2 章	PHENIX 検出器システム	14
2.1	RHIC 加速器概観	14
2.2	PHENIX 概観	17
2.3	ハドロン吸収材	18
2.4	μ 粒子識別検出器 Muon Identifying Chamber (MuID)	19
2.5	μ 粒子飛跡検出器 Muon Tracking Chamber (MuTr)	21
第 3 章	PHENIX データ収集システム (DAQ)	26
3.1	Level-1 トリガーシステム	26
3.2	データ収集時の読み出し回路へのタイミング信号とコントロール信号	28
3.3	現行の μ 粒子検出用 LL1 トリガーシステム	28
第 4 章	高運動量 μ 粒子 LL1 トリガーシステム	31
4.1	高運動量 μ 粒子 LL1 トリガーの必要性	31
4.2	高運動量 μ 粒子 LL1 トリガーシステム	32
4.3	ヒット情報読み出し回路 MuTRG-ADTX	33
4.4	Resistive Plate Chamber (RPC)	38
第 5 章	MuTRG-MRG、MuTRG-DCMIF の開発	39
5.1	MuTRG-MRG、MuTRG-DCMIF の必要性	39
5.2	MuTRG-MRG、MuTRG-DCMIF の開発	41
5.3	MuTRG-MRG、MuTRG-DCMIF の仕様	42
5.4	ビームクロックの役割	44
5.5	MuTRG-MRG、MuTRG-DCMIF の機能	45
5.5.1	複数 MuTRG-ADTX からのデータのイベントビルド	46

5.5.2	ヒット論理の選択機能	47
5.5.3	データの strip 順の並び替え	47
5.5.4	読み出し用 Latency 値の調節	47
5.5.5	DCM への送信イベント数の調節	48
5.5.6	MuTRG-MRG の MuTRG-DCMIF へのデータ送信用インターフェース	49
5.5.7	MuTRG-DCMIF の DCM へのデータ送信用インターフェース	50
5.5.8	MuTRG-ADTX の制御	51
5.5.9	エラー診断、エラー処理	51
5.5.10	MuTRG-MRG のデバッグ用 FPGA デザイン	52
5.6	PHENIX DAQ システムへの設置	53
5.7	MuTRG-MRG、MuTRG-DCMIF の確認点	54
5.7.1	MuTRG-MRG、MuTRG-DCMIF のロジック機能の確認	54
5.7.2	MuTRG-ADTX のヒット信号の検出効率	54
5.7.3	MuTRG-ADTX へのリセット信号の出力タイミング、およびトリガー 信号の処理タイミングの調整	54
第 6 章	MuTRG-MRG、MuTRG-DCMIF の性能評価	57
6.1	MuTRG-MRG、MuTRG-DCMIF の諸機能の確認	57
6.1.1	ヒット論理の変更機能	57
6.1.2	cross talk、及び ringing の影響の確認	63
6.1.3	MuTRG-ADTX への制御機能	66
6.1.4	LL1 との通信の確認	68
6.2	ヒット信号の検出効率	70
6.2.1	測定方法	70
6.2.2	測定結果	70
6.2.3	問題点	70
6.2.4	考察	71
第 7 章	ビームクロックの遅延調整	77
7.1	タイミングの不定領域の確認	77
7.2	キャリブレーションパルスのタイミングと広がり	78
7.3	リセットのタイミング	83
7.3.1	測定方法	84
7.3.2	測定結果	85
7.4	トリガーのタイミング	85
7.4.1	測定方法	88
7.4.2	測定結果	88
第 8 章	結論	90

第1章 序章

1.1 核子スピン構造研究の歴史的背景

バリオンを3つのクォークの集まりとみなす簡単なモデルが、ハドロンの質量、及び磁気能率などの静的性質の理解において大きな成功を収めたことから、核子のスピン $1/2$ は3つの価クォークのスピンの合成のみで理解できると考えられていた。しかし EMC 実験 [2]、SMC 実験 [3] に代表される偏極深非弾性散乱実験 (polarized DIS) により、陽子内のクォークと反クォークの偏極度の総和が陽子スピン $1/2$ の 30%程度しか説明できないことが示された。

EMC、SMC が行ったこれらの実験は仮想光子をプローブとして用いた inclusive DIS による測定であり、電荷を持つ粒子に結合するため、得られる結果は様々なフレーバーのクォーク、反クォークの偏極度が混ざり合ったものとなる。この結果からフレーバーごとの偏極度を導出するにはフレーバー SU(3) を仮定しバリオン 8 重項における崩壊強度を用いて導く必要がある [4]。このようにして inclusive DIS により導出されたストレンジクォークと反ストレンジクォークの偏極度の和は、陽子のスピンの向きとは逆向きに有限の値を持つということを示唆するものであった。ストレンジクォークは陽子内では海クォークに属するものであることからこの結果はとても衝撃的であった。このことから核子スピンに対する海クォーク偏極度の寄与の解明が強く望まれ、特にフレーバー SU(3) を仮定しない直接的な海クォークの偏極度測定が求められた。

これを機に陽子内のパートン偏極度に対して多くの関心がもたれ、その後様々な polarized DIS の測定が HERMES 実験、SMC 実験などで行われた。中でも、クォークと反クォークの偏極度を独立に求められる semi-inclusive DIS [5, 6] の測定が広く行われるようになった。semi-inclusive DIS は、核子内で反応したフレーバーとその破砕プロセスで生成されるハドロンとの相関関数を用いることにより、クォークと反クォークを分けた偏極度測定を可能にしている。しかしながら、この破砕プロセスにおける相関の記述には限界があり、そのためこの方法では絶対値が小さいと予想される反クォークの偏極度を正確に求めることができなかった。

図 1.1 にこれまで行われてきた inclusive DIS 及び semi-inclusive DIS による測定データを統一的に解析した結果を示す [7]。ここで図中の KRE [8] 及び KKP [9] は破砕プロセスにおけるクォークのハドロン化を表わす 2 つの異なる破砕関数である。価クォークの偏極度に関しては絶対値が大きいため外形ははっきりしているのであるが、海クォークである \bar{u} および \bar{d} は符号も正しく分かっていないのがわかる。

以上のことから、これらに変わる方法でのフレーバーを分けた海クォーク偏極度の直接測定が望まれてきた。

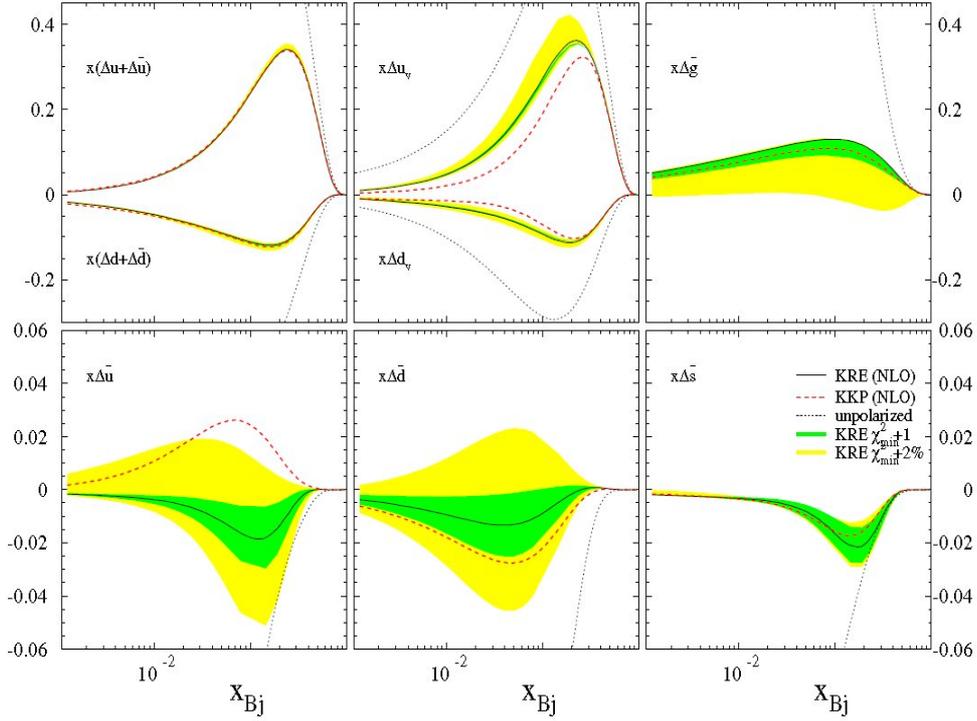


図 1.1: 現在まで行われた DIS により求められた各パートンの偏極度分布。緑色の領域は χ^2 が 1 増える領域。黄色の領域は χ^2 が 2% 増える領域。

1.2 パートン模型とパートン偏極度分布関数

ここでパートン模型とパートン偏極度分布関数について説明する。

1.2.1 因子化定理

高エネルギーの散乱において核子は点状の粒子の集まりをみなすことができ、それら個々の粒子との散乱の和によって反応を記述できる。パートン模型ではハドロン反応の断面積は、以下の 3 つの過程に分解され、そのたたみこみ積分であらわされる。(因子化定理) それは、始状態ハドロンの中にパートンが見出される確率 (パートン分布)、パートン同士の相互作用の断面積、終状態に存在するパートンが終状態のハドロンになる確率 (破砕関数) の 3 つである。

例えば、陽子陽子反応における高い横運動量を持つ 生成反応の断面積は、

$$\sigma^{pp \rightarrow X} = \sum_{f_1, f_2, f} \int dx_1 dx_2 dz f_1(x_1, \mu^2) f_2(x_2, \mu^2) \sigma^{f_1 f_2 \rightarrow f X'} D_f^X(z, \mu^2)$$

と表すことができる。ここで、 f_1 、 f_2 、 f はパートンを表わす。下付き数字は、始状態の 2 つの陽子を区別するために使用した。 $f_1(x_1, \mu^2)$ は陽子のパートン分布関数である。すなわち、陽子の中に、陽子の運動量の x_1 倍 ($0 < x_1 < 1$) の運動量を持つパートン f_1 を見出す確率である。 D_f^X は、パートンレベルの終状態、すなわち f_1 - f_2 散乱の終状態に存在する

パートン f から、パートン f の持つ運動量の z 倍の運動量を持つ 粒子が生成する確率であり、破砕関数と呼ばれる。パートン同士の散乱断面積は、反応に参加するパートンの質量より十分大きなエネルギー領域における反応であれば摂動論的 QCD によって計算することが可能である。しかしパートン分布関数及び破砕関数は、QCD によって第一原理から計算することが非常に難しい。

計算できる領域とできない領域の分離、そして計算できない領域を実験によって与えることにより、摂動論的 QCD が初めて予言能力を持つことができる。

計算できる領域とできない領域を分けるために、スケール変数 μ を導入している。このスケール変数への依存性は、摂動を途中で止めることによって生ずるのであって、物理的な結果はこのスケール変数によらない。

上記は、スピン依存性を考慮した反応についても成り立つ。スピン依存性を考慮したパートン分布関数を、

$$\Delta q(x) = q_+^+(x) - q_+^-(x)$$

と定義する。ただし、下付きの符号は陽子のヘリシティを、上付き符号はパートンのヘリシティを表わす。そして、初期状態の陽子のスピンを考慮した断面積を、

$$\Delta\sigma^{pp\rightarrow\pi X} = \frac{1}{4}(\sigma_{++}^{pp\rightarrow\pi X} + \sigma_{--}^{pp\rightarrow\pi X} - \sigma_{-+}^{pp\rightarrow\pi X} - \sigma_{+-}^{pp\rightarrow\pi X})$$

と定義する。ただし、下付き符号は初期状態陽子のヘリシティを表わす。このとき、スピンを考慮しない場合と同様に、

$$\Delta\sigma^{pp\rightarrow X} = \sum_{f_1, f_2, f} \int dx_1 dx_2 dz \Delta f_1(x_1, \mu^2) \Delta f_2(x_2, \mu^2) \Delta\sigma^{f_1 f_2 \rightarrow f X'} D_f^\pi(z, \mu^2)$$

が成り立つ。

1.2.2 パートン偏極度分布に成り立つ和則

陽子のパートン分布関数に関して以下の和則が成り立つ。

$$\frac{1}{2} = \int_0^1 dx \left(\frac{1}{2} \Sigma_q (\Delta q(x) + \Delta \bar{q}(x)) + \Delta g(x) \right) + L$$

ここで、 L はクォーク、グルーオンの軌道角運動量を表わし、 $\Delta g(x)$ はグルーオンのスピン依存パートン分布関数を表わす。陽子スピン $1/2$ に対するクォークからの寄与が 30%程度であることがわかったため、残りの寄与はこのグルーオン、あるいは軌道角運動量の寄与と考えられるが、まだはっきりとした答えは出ていない。

1.2.3 パートン偏極度分布の測定

スピン非対称性は陽子スピン構造の研究に頻繁に登場する。ビーム（陽子）のスピン向きによって、生成粒子の断面積が異なるが、その違いを表わしたものがスピン非対称度である。まず、スピン非対称性の定義とそれに必要なビーム偏極度の定義を述べる。

ビームの偏極度

ビーム中のヘリシティーが正の陽子の数を B_+ 、ヘリシティーが負の陽子の数を B_- とすれば、陽子ビームの偏極度は、

$$P_{\text{beam}} = \frac{B_+ - B_-}{B_+ + B_-}$$

で定義される。陽子ビームの偏極度が70%であるとは、 $P_{\text{beam}} = 0.7$ 、あるいは $P_{\text{beam}} = -0.7$ を意味する。

二重スピン非対称性

ある粒子（例えば W や J/ψ など）の生成断面積を σ とする。陽子陽子の衝突では、陽子ビームのヘリシティーの組み合わせとして4通り考えられる。ヘリシティー正同士の陽子衝突における、粒子の生成断面積を σ_{++} とかく。他のヘリシティーの組み合わせも同様にして、 σ_{+-} 、 σ_{-+} 、 σ_{--} のように書く。このとき、この粒子のスピン非偏極度は

$$A_{LL} = \frac{\sigma_{++} + \sigma_{--} - \sigma_{-+} - \sigma_{+-}}{\sigma_{++} + \sigma_{--} + \sigma_{-+} + \sigma_{+-}}$$

で定義される。下付き添え字の LL は2つの陽子が両方とも縦方向に偏極していることを表わす。実験的にはビームの偏極度なども考慮に入れて、

$$A_{LL} = \frac{1}{|P_1||P_2|} \frac{N'_{++} + N'_{--} - N'_{-+} - N'_{+-}}{N'_{++} + N'_{--} + N'_{-+} + N'_{+-}}$$

で定義される。ここで P_1 、 P_2 は、ビーム1、2の偏極度であり、 N'_{++} は、ビームのヘリシティーが正同士の衝突における観測粒子の個数を、ルミノシティーで規格化したものである。

陽子陽子衝突における J/ψ や π^0 の二重スピン非対称性は、陽子中のグルーオン偏極度と結びついたので、グルーオン偏極度測定に重要な役割を果たす物理量である [1]。

単一スピン非対称性

単一スピン非対称性は、二重スピン非対称性と違い、偏極ビームと非偏極ビームの衝突反応において定義される。偏極陽子ビームのヘリシティーが正（負）の場合に、粒子の生成断面積を σ_+ (σ_-) と書けば、単一スピン非対称度は、

$$A_L = - \frac{\sigma_+ - \sigma_-}{\sigma_+ + \sigma_-} \quad (1.1)$$

と定義される。下付き添え字の L は、一方のビームのみが longitudinal に偏極していることを表わす。また、実験的には、

$$A_L = - \frac{1}{|P|} \frac{N'_+ - N'_-}{N'_+ + N'_-}$$

と定義される。ここで、 P は、偏極しているビームの偏極度であり、 N'_+ は、ヘリシティー正の陽子ビームと、非偏極ビーム衝突における観測粒子の個数を、ルミノシティーで規格化したものである。

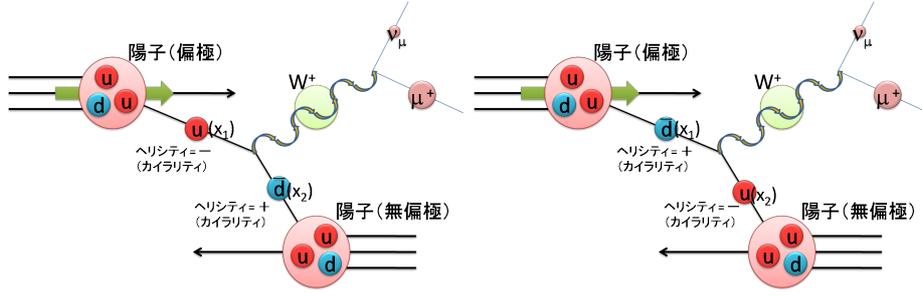


図 1.2: 2 つの W^+ 生成プロセス。

パリティ変換によりビームのヘリシティの向きは逆になる。そのためパリティが保存する相互作用では A_L の値は 0 となる。 A_L が有限の値を持つということはその反応がパリティを破る相互作用を含むことを意味する。

1.3 W ボソンによるフレーバーを分けた海クォーク偏極度分布の測定

偏極陽子陽子衝突実験における W ボソンの生成断面積の単一スピン非対称性の測定は、最初に述べたフレーバーを分けた海クォーク偏極度分布の導出に最適である。それは以下の理由による。まず W ボソンによる弱い相互作用の反応は最大限にパリティを破っている。そのため単一スピン非対称性は有限の値を持ちうる。また W ボソンは弱電荷に選択的に結合する。この弱電荷は CKM 行列を対角行列であるとみなせばフレーバーをあらわすものとなる。この近似において、W ボソンがフレーバーに選択的に結合するとみなせる。すなわち陽子陽子衝突において W^+ については u と \bar{d} が主な反応パートンであることが分かり、 W^- については \bar{u} と d が主な反応パートンであることが分かる。

以下では、この単一スピン非対称度の値と陽子内のクォーク、反クォークの偏極度とどのように結び付くか説明する。まず W^+ の生成について考える。偏極陽子側から反応に寄与するパートンの Bjorken x (momentum fraction) を x_1 、非偏極陽子側から反応に寄与するパートンの Bjorken x を x_2 とする。

前述したように W を仲介する弱い相互作用はパリティを最大限に破っており、そのため決まったカイラリティの値を持つ粒子としか相互作用できない。高エネルギー反応であるので W ボソンとカップルする u クォークはヘリシティ (カイラリティ) が負のものだけであり、 \bar{d} クォークはヘリシティ (カイラリティ) が正のものだけである。すなわち、

$$\begin{aligned}\sigma^+ &\propto u_+^-(x_1)\bar{d}(x_2) + \bar{d}_+^+(x_1)u(x_2) \\ \sigma^- &\propto u_-^-(x_1)\bar{d}(x_2) + \bar{d}_-^+(x_1)u(x_2)\end{aligned}$$

ただし $u_{h_p}^h(x)$ は親の陽子のヘリシティが h_p であるときのヘリシティ h であるパートン u の x に対する分布である。ここで、クォーク分布 $u_-(x_1)$ などはパリティ変換で対称であるの

で、 $u_-(x_1) = u_+^+(x_1)$ などが成り立つ。そのため、

$$A_L^{W^+} = \frac{\sigma^- - \sigma^+}{\sigma^- + \sigma^+} = \frac{\Delta u(x_1)\bar{d}(x_2) - \Delta\bar{d}(x_1)u(x_2)}{u(x_1)\bar{d}(x_2) + \bar{d}(x_1)u(x_2)} \quad (1.2)$$

同様に W^- について測定すると、

$$A_L^{W^-} = \frac{\sigma^- - \sigma^+}{\sigma^- + \sigma^+} = \frac{\Delta d(x_1)\bar{u}(x_2) - \Delta\bar{u}(x_1)d(x_2)}{d(x_1)\bar{u}(x_2) + \bar{u}(x_1)d(x_2)} \quad (1.3)$$

となる。特にこの値は $x_F = x_1 - x_2$ の値の大小でフレーバーごとのクォークの偏極度分布を求めることができる。すなわち、 $x_F \gg 0$ のときは $\bar{d}(x_1) \ll u(x_1)$ 、 $\bar{u}(x_1) \ll d(x_1)$ であるので $A_L^{W^+} \rightarrow \Delta u(x_1)/u(x_1)$ 、 $A_L^{W^-} \rightarrow \Delta d(x_1)/d(x_1)$ となり、逆に $x_F \ll 0$ のときは $\bar{d}(x_2) \ll u(x_2)$ 、 $\bar{u}(x_2) \ll d(x_2)$ であるので $A_L^{W^+} \rightarrow -\Delta\bar{d}(x_1)/\bar{d}(x_1)$ 、 $A_L^{W^-} \rightarrow -\Delta\bar{u}(x_1)/\bar{u}(x_1)$ となる。

このように W ボソンの生成断面積の単一スピン非対称度を測定することはフレーバーごとのクォークの偏極度分布を求めることにつながる。さらにこの測定は semi-inclusive DIS とは違い、破砕関数などを用いる必要がないので精度よく偏極度を導くことができる。以上のように W ボソンはフレーバーごとのクォークの偏極度分布を直接測定するにあたっての最適なプローブとなることが分かる。

1.4 陽子陽子衝突における W ボソンの運動学

この W ボソンをその崩壊により生成される μ 粒子を観測することにより同定する。このとき μ 粒子の運動量を知ること、元のパートンの Bjorken x を導出することを考える。

陽子陽子衝突の重心系で考え、高エネルギー衝突であるので、陽子、パートン、レプトンの質量を無視する。また生成される W ボソンの横方向運動量を近似的に無視する。2つの陽子の4元運動量を p_1^μ 、 p_2^μ とおく。(上付きの μ は添え字を表わす。) この横方向の運動量を無視すれば、

$$\begin{aligned} p_1^\mu &= (P, 0, 0, P) \\ p_2^\mu &= (P, 0, 0, -P) \end{aligned}$$

とできる。よって mandelstam variable s は、

$$\begin{aligned} s &= (p_1^\mu + p_2^\mu)^2 \\ &= 4P^2 \end{aligned}$$

となる。ここで、パートンの運動量を p_{q1}^μ 、 p_{q2}^μ とおけば、Bjorken x とビーム運動量を用いて、

$$\begin{aligned} p_{q1}^\mu &= x_1 p_1^\mu = x_1 (P, 0, 0, P) \\ p_{q2}^\mu &= x_2 p_2^\mu = x_2 (P, 0, 0, -P) \end{aligned}$$

と書ける。そのため W の運動量 q 及び q^2 は、

$$\begin{aligned} q &= p_{q_1}^\mu + p_{q_2}^\mu \\ &= ((x_1 + x_2)P, 0, 0, (x_1 - x_2)P) \\ q^2 &= 4x_1x_2P^2 = M_W^2 \end{aligned}$$

となる。また、 W のラピディティを y_W とおくと、

$$\begin{aligned} y_W &= \frac{1}{2} \ln\left(\frac{q^0 + q^3}{q^0 - q^3}\right) \\ &= \frac{1}{2} \ln\left(\frac{x_1}{x_2}\right) \end{aligned}$$

となる。以上により x_1 と x_2 は、

$$\begin{aligned} x_1 &= \frac{M_W}{\sqrt{s}} \exp(y_W) \\ x_2 &= \frac{M_W}{\sqrt{s}} \exp(-y_W) \end{aligned}$$

とあらわせる。このように y_W を測定すれば x_1 、 x_2 が求まることが分かる。

y_W は以下のようにして求まる。崩壊により生成された μ 粒子の実験室系でのラピディティ、 W 静止系でのラピディティをそれぞれ y_μ^{lab} 、 y_μ^* とすると、

$$y_\mu^{lab} = y_\mu^* + y_W$$

である。この y_μ^{lab} は μ 粒子の z 方向の運動量から求まる。次に W 静止系における μ 粒子への崩壊角を θ^* とする。このとき、高エネルギー極限でラピディティと擬ラピディティが等しいことを用いて、

$$\begin{aligned} y_\mu^* &= \eta_\mu^* = -\ln\left(\tan \frac{\theta^*}{2}\right) \\ &= \frac{1}{2} \ln\left(\frac{1 + \cos \theta^*}{1 - \cos \theta^*}\right) \end{aligned}$$

とかける。ここで η_μ^* は W 静止系における μ 粒子の擬ラピディティである。さらに W の横運動量を無視すれば、実験室系と W 静止系で μ 粒子の横運動量は変わらないので、

$$p_{\mu T} = \frac{M_W}{2} \sin \theta^*$$

となる。このようにして θ^* を求めることができる [1]。

以上が W ボソンを生成した 2 つのパートンの Bjorken x の導出方法である。まとめると次のようになる。

$$\begin{aligned} (p_{\mu T}, p_{\mu z}) &\rightarrow y_\mu^{lab} \\ p_{\mu T} &\rightarrow y_\mu^* \\ (y_\mu^{lab}, y_\mu^*) &\rightarrow y_W \rightarrow (x_1, x_2) \end{aligned}$$

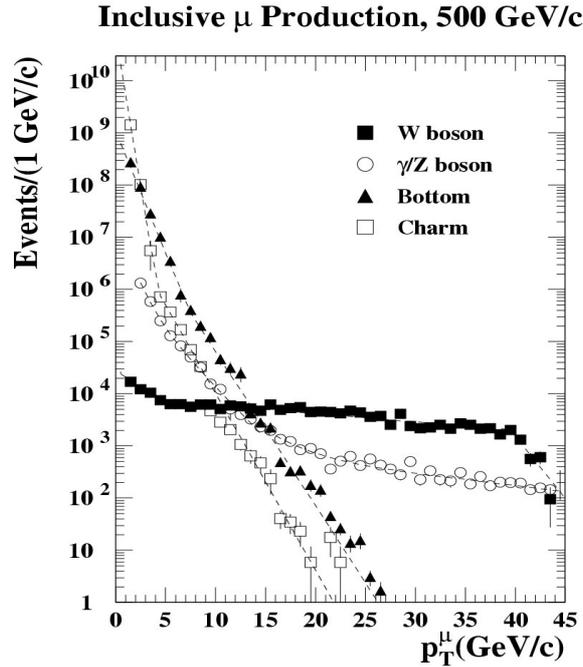


図 1.3: $\sqrt{s} = 500\text{GeV}$ の陽子陽子衝突において生成される μ 粒子 (\pm) の親粒子別の横運動量分布。PYTHIA5.7 を用いて、Muon Arm に入る μ 粒子を計算した。積分ルミノシティは $\int Ldt = 2.0 \times 10^{39}\text{cm}^{-2}$ を仮定してある [10]。

1.5 PHENIX 検出器における W ボソンの測定

RHIC PHENIX 検出器では W ボソンの崩壊からの電子と μ 粒子をとらえることができる。特に PHENIX 検出器では前方に設置された μ 粒子検出器を用いることによって、 $|x_F| \gg 0$ の領域が見ることができる。そこで以下は W ボソンの崩壊により生成される μ 粒子を観測することによる W ボソンの測定について考える。

通常、W 粒子の検出には、検出されないニュートリノによる大きなエネルギー欠損を要求することが多いが、PHENIX 検出器は全立体角を覆った検出器ではないため、エネルギー欠損を正確に測定することは不可能である。

しかし、図 1.3 からわかるように W ボソンからの崩壊 μ 粒子は、横運動量 $20\text{GeV}/c$ を要求することによって同定することができる。 Z^0 からのバックグラウンドは数%しかなく、また μ^+ 、 μ^- の質量を組むことによって差し引くことができる。すなわち PHENIX 検出器において W ボソンの測定が可能である。

上述のように、W ボソンの生成断面積の単一スピン非対称度を測定し、終状態の μ 粒子の運動量からパートンにおける Bjorken x を再構成することによって、陽子のスピン構造を調べることができる。PHENIX 検出器において期待される、スピン依存パートン分布関数の感度を図 1.4 に示す。PHENIX 実験によって、フレーバーごとの海クォーク偏極度の不定性を大きく減らすことが期待される。

図 1.5 に、 $\sqrt{s} = 500\text{GeV}$ 、積分ルミノシティ $\int Ldt = 800\text{pb}^{-1}$ の陽子陽子衝突における

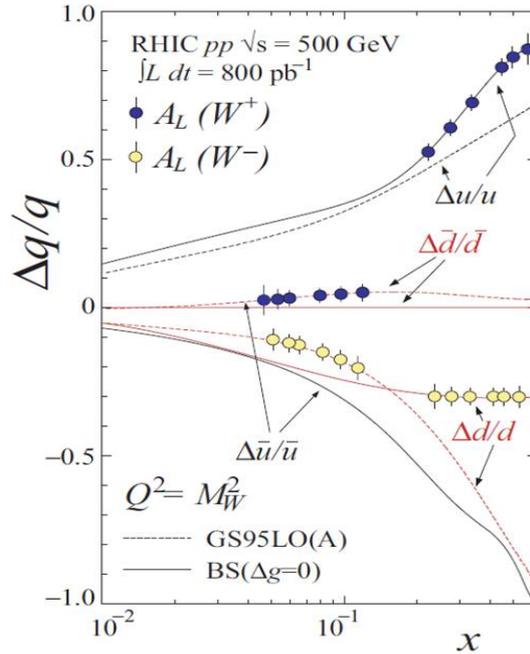


図 1.4: $\sqrt{s} = 500 \text{ GeV}$ 、積分ルミノシティ $\int L dt = 800 \text{ pb}^{-1}$ での陽子陽子衝突において期待されるパートンの偏極度の測定値。実線のモデルは BS [13]、点線は GS95LO(A) [14] による。

Muon Arm での W ボソンからの μ 粒子の検出数の PYTHIA によってシミュレーションによる結果を示す。横軸は μ 粒子からの横方向運動量である。このシミュレーションにより横運動量を $20 \text{ GeV}/c$ 以上という条件では上記のエネルギー、積分ルミノシティにおいて、 W^+ からのものが 7306 イベント、 W^- からのものが 7664 イベント得られるという結果を得ている。

1.6 研究の概要、及び本論文の流れ

以上の研究を PHENIX 検出器で行うにあたって、新たなトリガーシステムを構築することが必要となることが分かっている (セクション 4.1 参照)。このトリガーシステムの開発が進められてきたが、読み出し回路系のデータをトリガーを発行する回路へ送信する、またトリガー信号を受け取ったときにデータを記録用モジュールに送信するなどといった機能を持った回路が必要となった。この回路は MuTRG-MRG、及び MuTRG-DCMIF と呼ばれる 2 種類の回路である。そこで筆者はこの MuTRG-MRG、MuTRG-DCMIF の開発に取り組み、設計、試作機の製作を行った。開発した回路は動作試験、PHENIX DAQ における性能評価を行い要求される仕様を満たしていることを確認した。具体的に要請される MuTRG-MRG、MuTRG-DCMIF に対する性能は以下のものである (第 5 章参照)。

- 読み出し回路系への制御

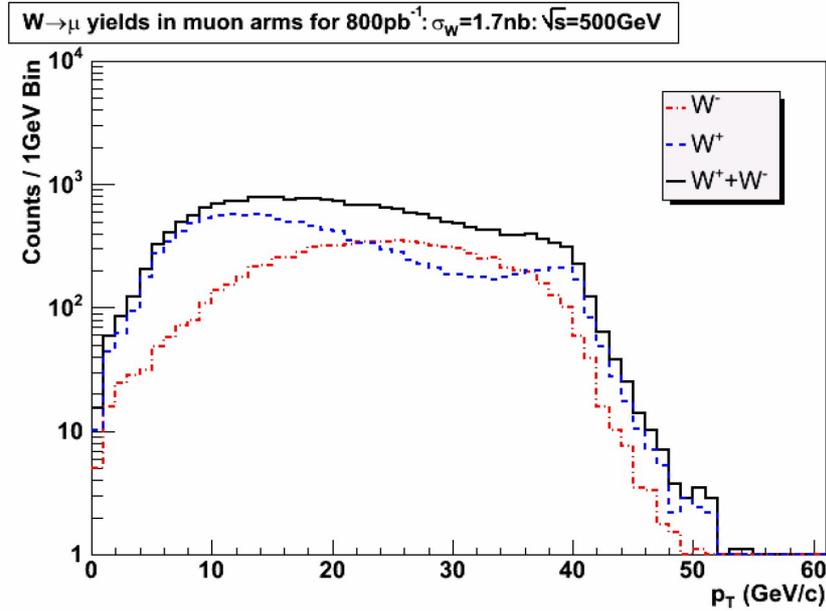


図 1.5: $\sqrt{s} = 500\text{GeV}$ 、積分ルミノシティ $\int Ldt = 800\text{pb}^{-1}$ の陽子陽子衝突において期待される、Muon Arm ($1.2 < |\eta| < 2.2$) での W ボソンからの μ 粒子の検出数 [25]。PYTHIA を用いてシミュレーションした結果である。横軸を μ 粒子の横運動量としてプロットしている。

- 検出効率が 100% であること
- 時間分解能を悪化させないこと

これらについて確かめた。本論文では以上のことを説明する。

構成は以下のようなものである。まず PHENIX の検出器システム、PHENIX の DAQ について説明する。次に開発されてるトリガーシステムがどのようなものなのかを述べる。そして筆者が行った MuTRG-MRG、及び MuTRG-DCMIF の開発に関して説明し、その中でこれらの豊富な機能について述べる。その後は開発した回路の動作試験、及び性能評価について述べる。最後に上述の 3 つのことからについての結果を述べながら結論をまとめた。

第2章 PHENIX 検出器システム

この章ではまず偏極陽子ビームを 250GeV まで加速する RHIC 加速器について紹介したうえで、測定に用いられる個々の PHENIX 検出器を説明し、PHENIX における μ 粒子の測定方法を述べる。とくに μ 粒子の測定に深く関係する Muon Identifying Chamber、Muon Tracking Chamber について詳しく説明する。

2.1 RHIC 加速器概観

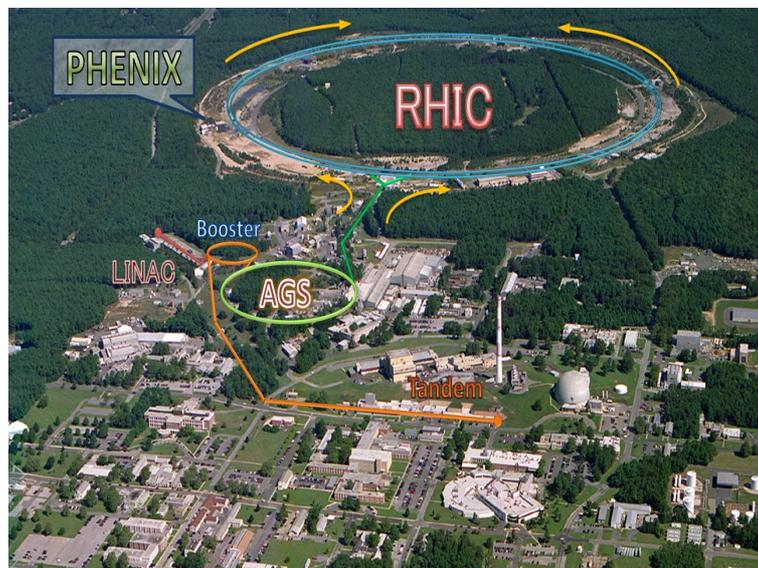


図 2.1: ブрукヘブン国立研究所の RHIC 加速器。

RHIC 加速器 (図 2.1) は周長 3.8km のシンクロトロン加速器である。RHIC はその Relativistic Heavy Ion Collider (相対論的重イオン衝突型加速器) という名前からもわかるとおり高エネルギーの重イオン同士を衝突させて生じるクォーク・グルーオン・プラズマを研究することを主な目的として設計された加速器であった。この加速リング上に siberian snake¹ と呼ばれるらせん型双極子電磁石などを導入することで、RHIC は最大衝突重心系エネ

¹ 偏極状態を維持したまま高エネルギーの陽子を加速し続けるには、リングの周回途中で偏極方向を反転させて偏極のずれが蓄積されないようにしなければならない。しかし単純に磁場をかけるのではこれにより陽子の軌道まで変わってしまう。siberian snake は正味の軌道変化が 0 になるようにならせん状に磁場をかける向きを変えていき、加速中の偏極陽子をリング軌道から外すことなくそのスピンの方向を 180° 変えることのできる電磁石である。この様子を図 2.2 に示す。

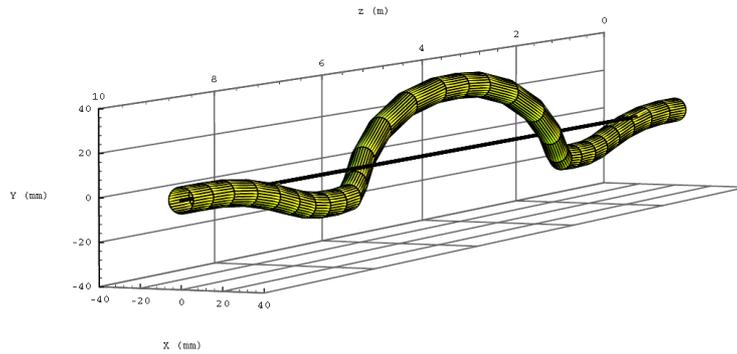


図 2.2: siberian snake による陽子加速時の軌道変化の計算値。軌道のずれがらせん状になっており、正味の変化が最終的に 0 になっているのがわかる。

ルギー 500GeV、設計ルミノシティー $2 \times 10^{32} \text{cm}^{-2} \text{s}^{-1}$ の偏極陽子衝突型加速器としても稼働することができる。

偏極陽子の加速を図 2.3 に示す。まず光ポンピングにより作られた偏極 H^- を LINAC (線形加速器) によって 200MeV まで加速する。その後電子をはぎ取り陽子として前段加速用のブースターに注入する。このブースターにより偏極陽子はバンチ構造をとりながら 1.5GeV まで加速され、さらに Alternating Gradient Synchrotron (AGS) に注入されて 24GeV にまで加速される。そして各バンチは RHIC リングのうち時計回りのリング (Blue Ring) と反時計回りのリング (Yellow Ring) に振り分けられ、それぞれのリングで 250GeV まで加速されることになる。このような過程を経て最終的に RHIC 加速器では表 2.1 にまとめるようなパフォーマンスが得られる。

特に衝突時間間隔の 106ns (9.4MHz) は、各衝突ごとにデータ処理をしているデータの読み出し用回路、及びトリガー発行用の回路にとって、非常に重要なパラメーターとなる。これらの回路には衝突に同期した 9.4MHz の周期矩形信号がクロックとして供給されており、このクロックを用いることにより各衝突ごとのデータ処理が可能となる。

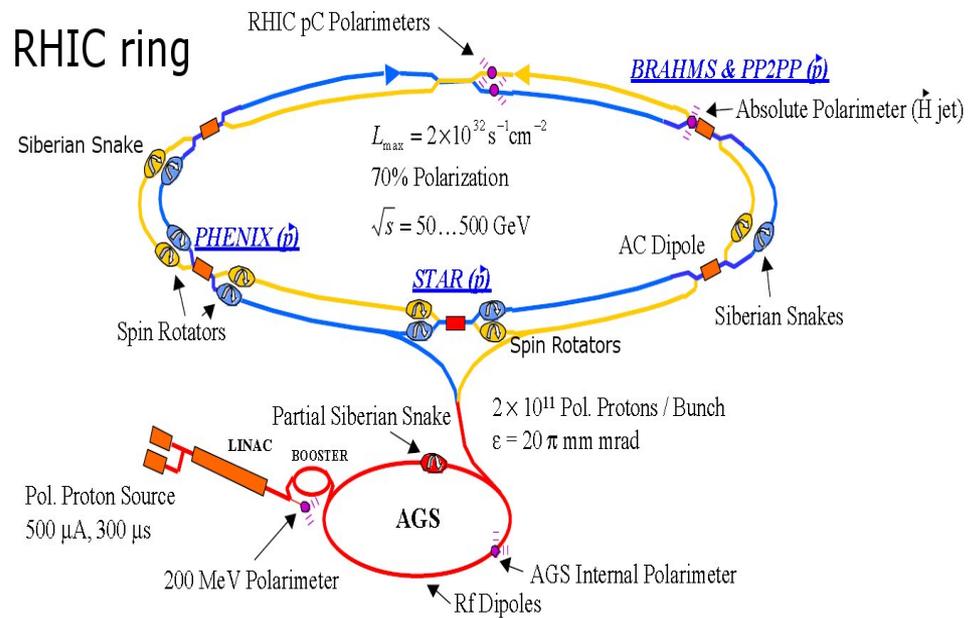


図 2.3: 各実験施設及び装置の位置。PHENIX 測定施設は 8 時の位置にある。その他にも 2 時の位置には BRAHMS が、6 時の位置には STAR がそれぞれ位置している。siberian snake は RHIC リング上の 2 か所に設置されている。また PHENIX と STAR の衝突点の前後に置かれているのはスピローテーターと呼ばれるもので、ビームの偏極の向きを横方向から縦方向に変えるためのものである。これにより縦偏極同士の陽子の衝突が可能となっている。

表 2.1: RHIC 加速器の主要なパラメーター。

parameter	
最大重心系エネルギー	500GeV
設計ルミノシティ	$2 \times 10^{32} \text{ cm}^{-2} \text{ s}^{-1}$ (500GeV) $8 \times 10^{31} \text{ cm}^{-2} \text{ s}^{-1}$ (200GeV)
リングの周長	3.8km
リング上のバンチ数	120
バンチ当りの陽子数	2×10^{11}
バンチの長さ	60 ~ 90cm
設計偏極度	70%
衝突角度	0 °
衝突の間隔	106ns (9.4MHz)

2.2 PHENIX 概観

PHENIX は RHIC 加速器上の 8 時の位置に設けられた、ビーム衝突時に生成される様々な粒子をとらえるための検出器システムの 1 つである。その全体図を図 2.4 a) に示す。PHENIX

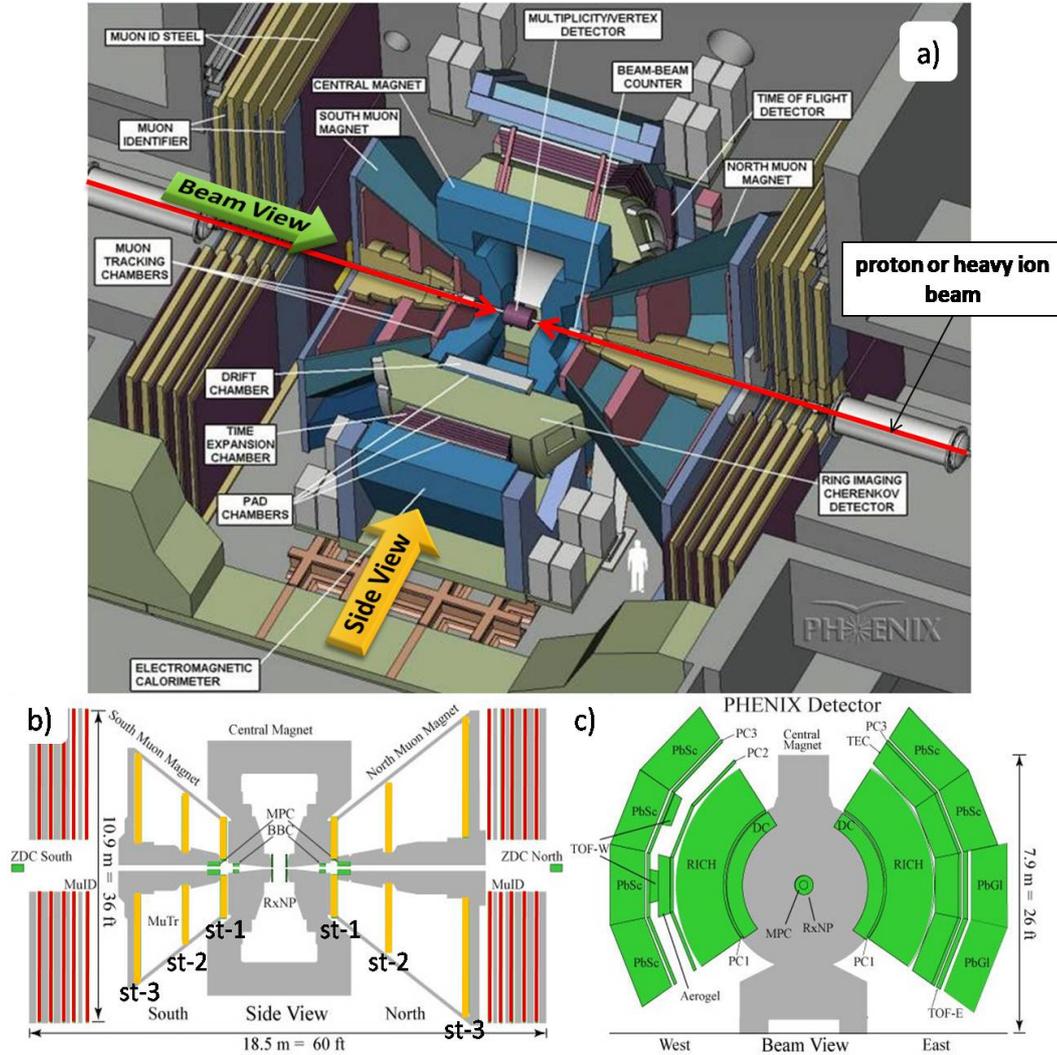


図 2.4: a).PHENIX 検出器システムの全体図。b).a)において手前から (橙色矢印方向から) 見た PHENIX の断面図。c).a)においてビーム方向から (緑色矢印方向から) 見た PHENIX の断面図。b)には主に Muon Arm が描かれており、c)には主に Central Arm が描かれている。このうち μ 粒子の測定に使われるのは Muon Arm の方である。b)の図で橙色で描かれている検出器が Muon Tracking Chamber(MuTr)で、赤色で描かれている検出器が Muon Identifying Chamber(MuID)である。MuTr は North 側、South 側のどちらも 3 枚設置されており、衝突点から順にそれぞれ station-1、station-2、station-3 と名づけられている。MuID は North 側、South 側のどちらも 5 層からなり、ハドロン吸収材である鉄の層と交互に設置されている。

は主に Muon Arm (図 2.4 b) と Central Arm (図 2.4 c) に分けられる。Muon Arm は擬ラピディティ²にして、 $1.15 < \eta < 2.44$ (North), $-2.25 < \eta < -1.15$ (South) を覆い、Central Arm は $|\eta| < 0.35$ を覆う。Muon Arm は μ 粒子用の検出器システムであり、Central Arm は主に光子、電子、ハドロン (π 、K、陽子) を検出するためのシステムである。以下では W ボソンの測定において主要な役割を担う Muon Arm について説明する。

2.3 ハドロン吸収材

衝突により生じる大量のハドロンは W ボソンの測定において最大のバックグラウンドとなる。Muon Arm に入るハドロンを除去し μ 粒子のみを残すために Muon Arm の方向にはいくつかのハドロン吸収材が設置されている。図 2.5 に、ビーム軸に沿った距離の関数として South Muon Arm 内での積分反応長をプロットしたものを示し、表 2.2 にそれぞれの吸収材の材質と厚みを示す。

衝突点からの粒子は Muon Arm に入る前に Nosecone(銅)、Central Magnet(鉄) を通過する。これらの吸収材による反応長は 5 程度となり、これにより Muon Arm に入るハドロン

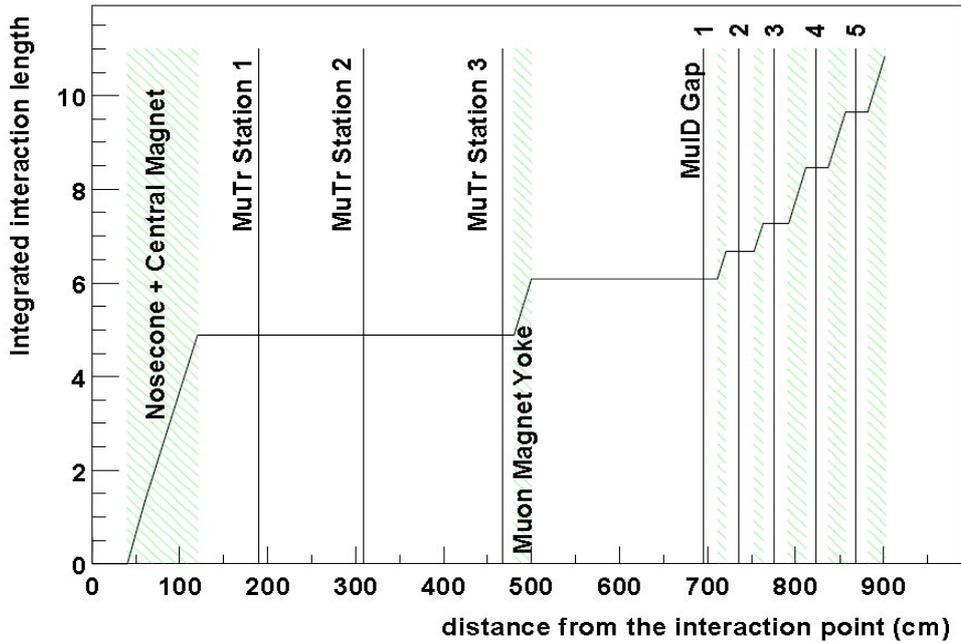


図 2.5: South Arm における積分反応長を衝突点からのビーム軸に沿った距離の関数としてプロットしたものを。緑で示されているのがハドロン吸収材であり、垂直の実線で示されているのが大まかな検出器の位置である。

² z 軸をビーム軸にとったとき、ビーム方向のラピディティとは粒子の四元運動量を (E, p_x, p_y, p_z) として $y = \frac{1}{2} \ln \frac{E+p_z}{E-p_z}$ であらわされる。ここで質量を無視できるような高エネルギー状態を考えると $p_z = E \cos \theta$ (ただし θ はビーム軸に対する運動量の角度) と表せるので、ラピディティは $y = -\ln \tan \frac{\theta}{2}$ と θ のみの関数となる。このことから衝突型の検出器システムでは粒子のビーム軸に対する角度、あるいは検出器の範囲を表わす指標として擬ラピディティ $\eta = -\ln \tan \frac{\theta}{2}$ という量を用いる。

表 2.2: ハドロン吸収材の材質と厚み。

ハドロン吸収材	物質	North	South
		厚さ [cm]	厚さ [cm]
Nosecone	Cu	20	20
Central Magnet	Fe	60	60
Muon Magnet Yoke (End Cap)	Fe	30	20
MuID 1st layer	Fe	10	10
MuID 2nd layer	Fe	10	10
MuID 3rd layer	Fe	20	20
MuID 4th layer	Fe	20	20

は約 1/100 に抑えられる。

2.4 μ 粒子識別検出器 Muon Identifying Chamber (MuID)



図 2.6: 壁際に設置されているのが MuID である。実際の測定時には MuID の手前に Muon Arm magnet が入るのでこのように全体を見ることはできなくなる。

MuID は 5 層構造をしたワイヤーチェンバーの集まりであり、各層の間には 10cm または 20cm の厚みの鉄が挿入されている。このように吸収材と交互に配置されているのには、

- gap 間をつないでトラッキングができようにするため
- Nosecone 及び Central Magnet で吸収しきれず突き抜けてきたハドロンを吸収するため
- 最後の層まで通過できない比較的低エネルギーの μ 粒子に対しても検出できるようにするため

という理由がある。この MuID の 1 層目に到達するために必要な μ 粒子のエネルギーは 1.9GeV であり、MuID をすべて突き抜けるのに必要な μ 粒子のエネルギーの平均は 2.7GeV である。MuID は 5 層から成り、それぞれ衝突点に近い方から順に gap1、gap2、gap3、gap4、gap5 と呼ばれている。

図 2.7 に MuID の 1 つの gap を衝突点から見た図を示す。1 つの gap は、4 つの large panel と 2 つの small panel からなる。これらは不感領域をなくすために、衝突点から見て端が重なるように配置されている。それぞれの panel には 2pack と呼ばれる構造をしたワイヤーチェンバーが水平方向、及び垂直方向に配置されており、2 次元座標情報が得られるようになっている(図 2.8 上図参照)。2pack は 2 本の Iarocci 型プラスチックチューブで構成されており、1 つのチューブは 8 つのセルから成る。1 つのセルは 1 本のアノードワイヤーを持つワイヤーチェンバーである。2pack は 2 本のチューブを半分だけずらして配置することによって、セルとセルとの間での検出効率の悪化を防ぎつつドリフト時間が短くなるように工夫してある(図 2.8 下図参照)。

MuID の動作電圧は 4300 ~ 4500V である。ガスは、イソブタンと二酸化炭素の混合ガスである。ガス増幅率は $\sim 2 \times 10^4$ で、2pack の検出効率は $\sim 97\%$ 、ドリフト時間は $\sim 60\text{nsec}$ が達成されている。これは、ビームクロック (106nsec) よりも短いため、Level-1 トリガーを供給することが可能である。

読み出し回路部分では、2pack (合計 16 本の wire) の論理和 (OR) を取った信号が 150 倍に増幅され MuID の Read Out Card(ROC) に送信される。ここで、更に 3 倍に増幅された後デジタル化され、データバッファに蓄えられる。閾値はノイズを除去しながら高い検出効

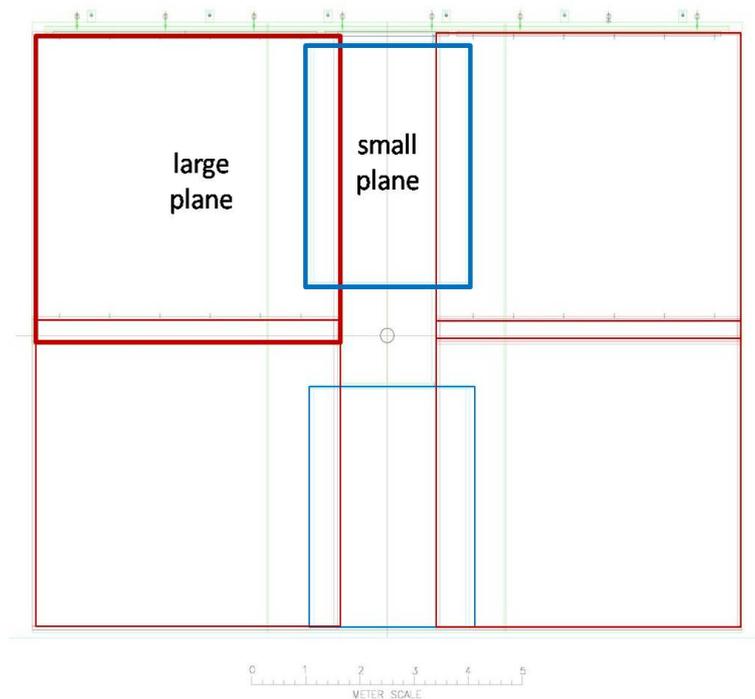


図 2.7: 衝突点から見た MuID の 1gap。4 枚の large plane と 2 枚の small plane からなる。

表 2.3: アノードワイヤーの直径と材質

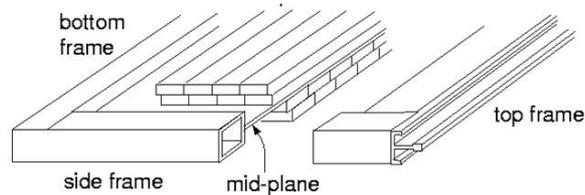
	アノードワイヤー	センスワイヤー
直径	75 μ m	20 μ m
材質	金メッキタングステン	金メッキ Cu-Be

率を保つために 90mV に設定されている (典型的な信号の大きさは 500mV ~ 1V)。ヒット情報はバッファに蓄えられると同時に、Level-1 トリガーを作るためにトリガー生成回路にも送信される。MuID の ROC は Level-1 トリガーが発行されると、そのイベントに対応するデータを PHENIX のデータ収集モジュール (DCM) に送信する。

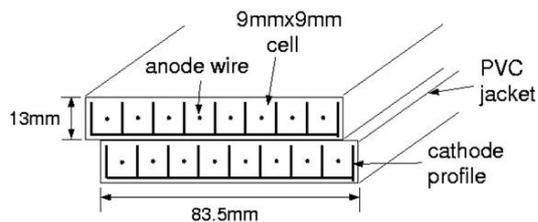
2pack を 1 つの信号と見るため、約 8cm という粗い精度で読み出すことになる。しかし、 μ 粒子がハドロン吸収材を通過する際の多重散乱の広がりがこの程度であるため、トリガー信号として使う分にはこれ以上細かな読み出しは必要ない。

2.5 μ 粒子飛跡検出器 Muon Tracking Chamber (MuTr)

MuTr はカソードストリップ読み出しのワイヤーチェンバーである。図 2.9 のように 3 つの station から構成され、 z 軸にたいして垂直に設置されている。衝突点に近い方から station-1、station-2、station-3 と呼ぶ。それぞれの station は 8 つの octant と呼ばれる構造から成り、図 2.12 のように octant はさらに 2 つの half-octant に分かれている。

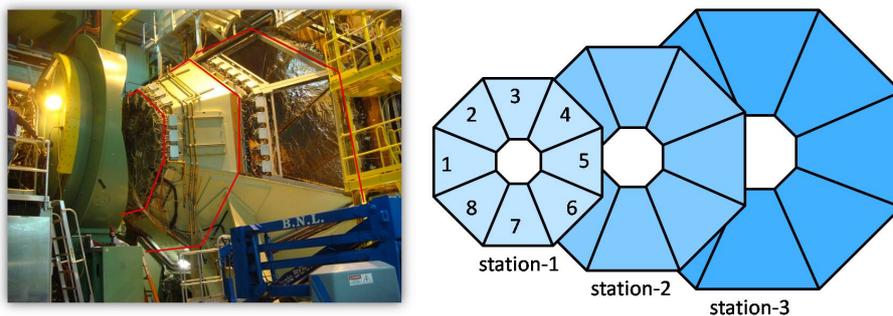


Cross section of the MuID panel

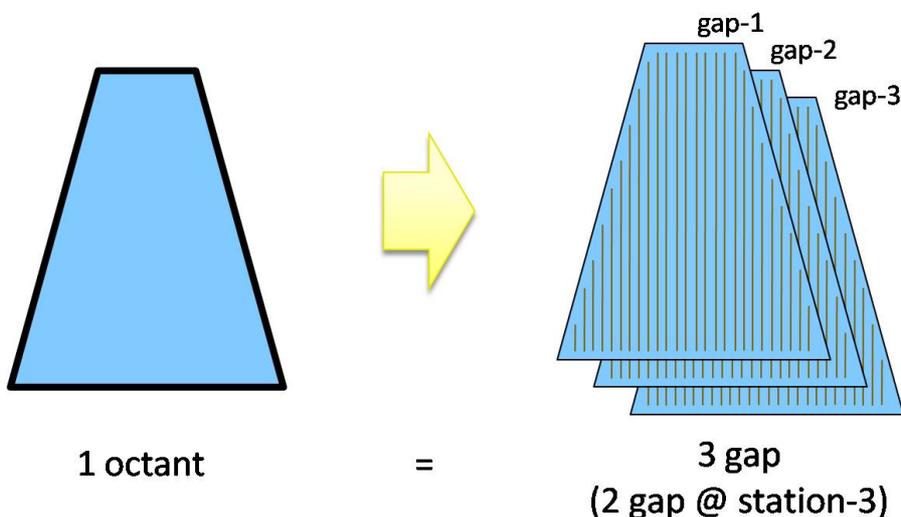


Cross section of the plastic tube(2-pack)

図 2.8: 2pack 構造の断面。8 つの並んだワイヤーチェンバーのセットをずらして配置してあるのがわかる。このようにすることで検出効率を上げ、ドリフト時間を短くしている。



(a) MuTr の station 構造。左図が実際の MuTr であり、赤い線を描いた位置に設置されている。右図は模式図。各 station は octant と呼ばれる 1/8 の構造に分割される。



(b) 各 octnat の構造。3 枚 (station-3 では 2 枚) のチェンバーの集まりであり、それぞれ gap-1、gap-2、gap-3 と呼ばれている。

図 2.9: MuTr の構造。

図 2.10 のように station-1、station-2 は 3 つの gap、station-3 は 2 つの gap からできている。それぞれのギャップはアノードワイヤー面と、それを挟む 2 層のカソードストリップ面で構成されている。gap は、衝突点に近い方から gap-1、gap-2、gap-3 と呼ぶ。各 gap のカソードストリップ面 2 枚はそれぞれ non-stereo plane と呼ばれる面と stereo plane と呼ばれる面により構成されている。non-stereo plane でのカソードストリップは図 2.12 に示すように引かれており、stereo plane でのカソードストリップはそれに対して少し角度をつけて引かれている。これによって粒子の通過位置の 2 次元情報が得られるようになっている。stereo-plane でのこの角度は gap 毎に異なる値に設計されており、多重度の高いイベントにおける不定性を減らしている。

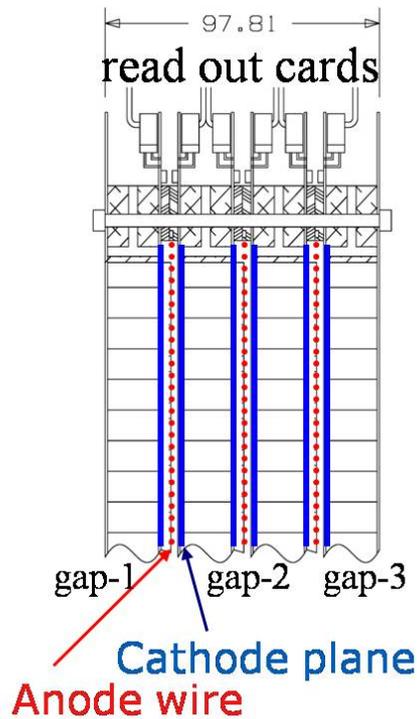


図 2.10: MuTr の断面図。各 gap は 1 枚のチェンバーになっており、それぞれ 2 枚の読み出し用カソードストリップ面がある。

MuTr の仕様は以下の要請から決まっている。

- J/ψ の ψ' からの分離、 $\Upsilon(1S)$ の $\Upsilon(2S,3S)$ からの分離、 ρ 、 ω の ϕ からの分離
- ベクトルメソンに関して、1 年間の run で十分な統計が得られるだけの signal-to-background とアクセプタンス
- Au-Au の中心衝突の際においても、十分な検出効率でトラックを見つけられるだけの低い occupancy が得られること

これらの要請により MuTr は 3station のカソードストリップ読み出し、かつ gap ごとに異なった角度のストリップ方向となっている。またこの粒子識別の能力を得るために、non-stereo plane での位置分解能 $100 \mu\text{m}$ 、stereo plane での位置分解能 $300 \mu\text{m}$ が要求される。

MuTr のカソードストリップは 5mm 間隔でエッチングされた銅である。読み出しは 1strip とばして行っている。アノードワイヤー面にはフィールドワイヤー及びセンスワイヤーが交互に 1cm 間隔で張られており、non-stereo plane でのカソードストリップに垂直な方向を向いている。表 2.3 にフィールドワイヤーとセンスワイヤーの詳細をまとめた。このアノードワイヤーとカソードストリップの間隔は 3.2mm である。

station-1、station-3 は、FR4 ハニカムパネルにエッチングされた銅のストリップパターンを張り付けているが、station-2 は多重散乱による影響を最小限に抑えるため、厚さ $25 \mu\text{m}$

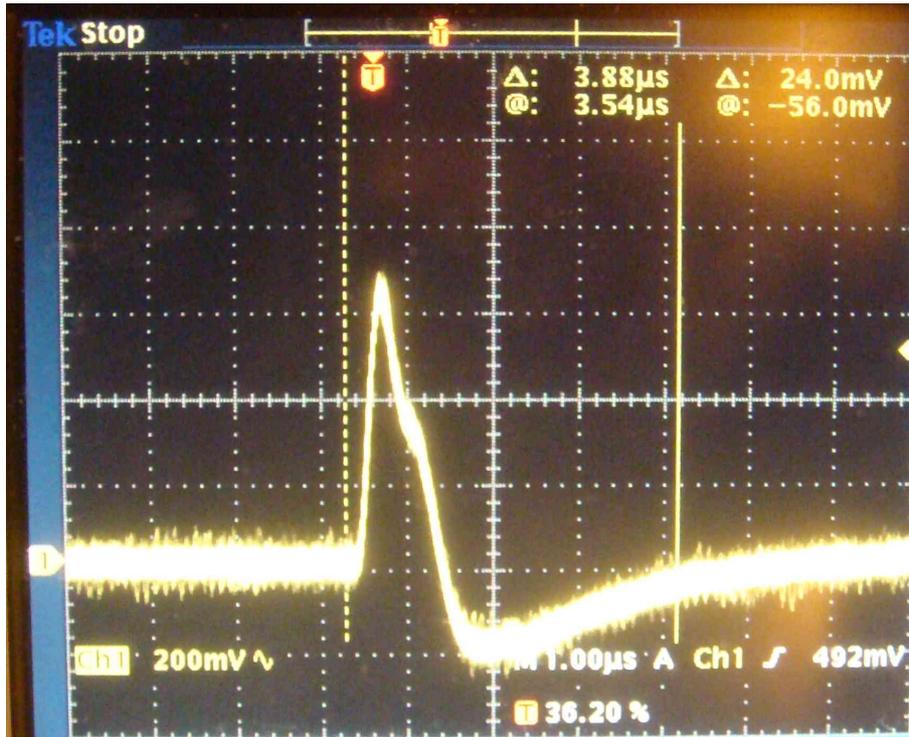


図 2.11: DAC=0x40 のキャリブレーションパルスによるカソードストリップからの信号。横のスケールは $1 \mu \text{ sec/div}$ であり、縦のスケールは 200mV/div である。

m のマイラーホイールにストリップパターンを銅でエッチングしたものをを用いている。銅の厚さは 600 \AA であり、放射長は 0.1% 以下となっている。

ガスは $\text{Ar}:\text{CO}_2:\text{CF}_4=50:30:20$ の混合ガスを用いている。このガスは不燃性であり、広いプラトー領域を持っていること、ドリフト時間が 60nsec と十分短いこと、ローレンツ角が小さいことを考慮して選ばれた。このときの動作電圧は $1875 \sim 1925\text{V}$ である。

MuTr 用の現行の読み出し回路 (Current FEE) において、信号は CPA (荷電プリアンプ)、AMU (アナログ記憶ユニット)、DCM (データ収集モジュール) の 3 段階を経て読み出しがおこなわれる。まずカソードストリップに誘起された電荷は CPA を経て増幅、整形 (増幅率は 3.5mV/fC) されて AMU に 64 サンプルが蓄えられる。Level-1 トリガー信号を受け取ると、ここからデジタル化 (11bit ADC) された 4 サンプルが DCM に送られる。

この MuTr にはキャリブレーションを行うシステムを持っている。このシステムでは MuTr の一番外側 (読み出し回路のある側) のアノードワイヤーに、外部から波高の調節できる矩形波の信号を入力することで行われる。この調節は DAC の値を調節することにより行われる。図 2.11 に DAC=0x40 におけるキャリブレーションパルスに誘起された strip の信号を示す。strip 毎に長さが異なるためアノードワイヤーとの容量が異なる。そのため信号の大きさは strip により変わってくる。MuTr では位置分解能を良くするために粒子の通過に対して信号があった strip で信号の大きさの重心を求めるのだが、strip ごとに応答の大きさが異なっては正しく重心を求めることができない。MuTr のキャリブレーションは信号の大きさの strip 依存性を求めることによってこの補正を行えるようにしている。

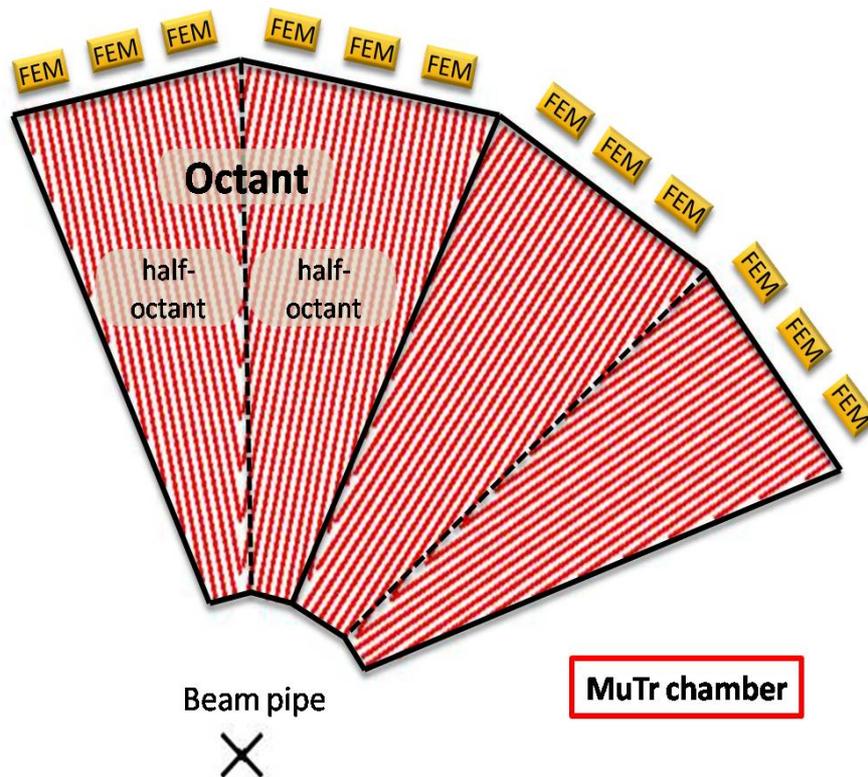


図 2.12: 図のように MuTr は octant と half-octant に分割される。さらに non-stereo plane のストリップの向きも示す。各 half-octant プレーンの中央のストリップがビームパイプ方向を向いており、あとのストリップはこれと平行に 5mm 間隔で並んでいる。読み出しは 1strip とばしで行われる。磁場は動径方向にかかっている。

第3章 PHENIX データ収集システム (DAQ)

この章では PHENIX のデータ収集システムについて説明する。新しく読み出し系の回路を設計するにあたって、PHENIX でデータ収集を行えるようにするためには既存のシステムを理解してそのフォーマットに従ったものにしなければならない。

PHENIX のような大型の検出器システムでは衝突の度に毎回データを記録するとデータの量が膨大になりストレージの容量が不足する。そのため衝突ごとに欲しいイベントだけを選びすぐって記録していかなければならない。この取捨を行っているのが主に Level-1 トリガーである。

Level-1 トリガーは衝突後に素早く必要のないイベントを捨てるためのトリガーであり、PHENIX の一部の検出器からの信号により発行される。データレートは Level-1 トリガーにより 140MB/s(ストレージへの最大記録速度) 以下となる。

以下では Level-1 トリガーを取り扱うシステムを中心に説明する。

3.1 Level-1 トリガーシステム

Level-1 トリガーによるイベントの取捨を行うにあたって、

- 読み出し用モジュール Front-End Module (FEM)
- Local Level-1 Module (LL1)
- Global Level-1 Module (GL1)
- Master Timing Module (MTM)
- Granule Timing Module (GTM)
- Data Collection Module (DCM)

これらのモジュールが重要な役割を担う。

図 3.1 にトリガーシステムの全体図をしめす。PHENIX には、1つの検出器のデータを読み出すためのモジュール集合体の最小単位を表わすグラニュールという概念がある。グラニュールには検出器(あるいはその一部)と、その検出器に対応した FEM、GTM、DCM が含まれており、それらのみでデータ収集が行えるようになっている¹。基本的に LL1 を

¹このようにある一部の検出器のみによるデータ収集をスタンドアロンモードによるデータ収集と呼び、主に検出器のキャリブレーションやデバッグのために用いられる。

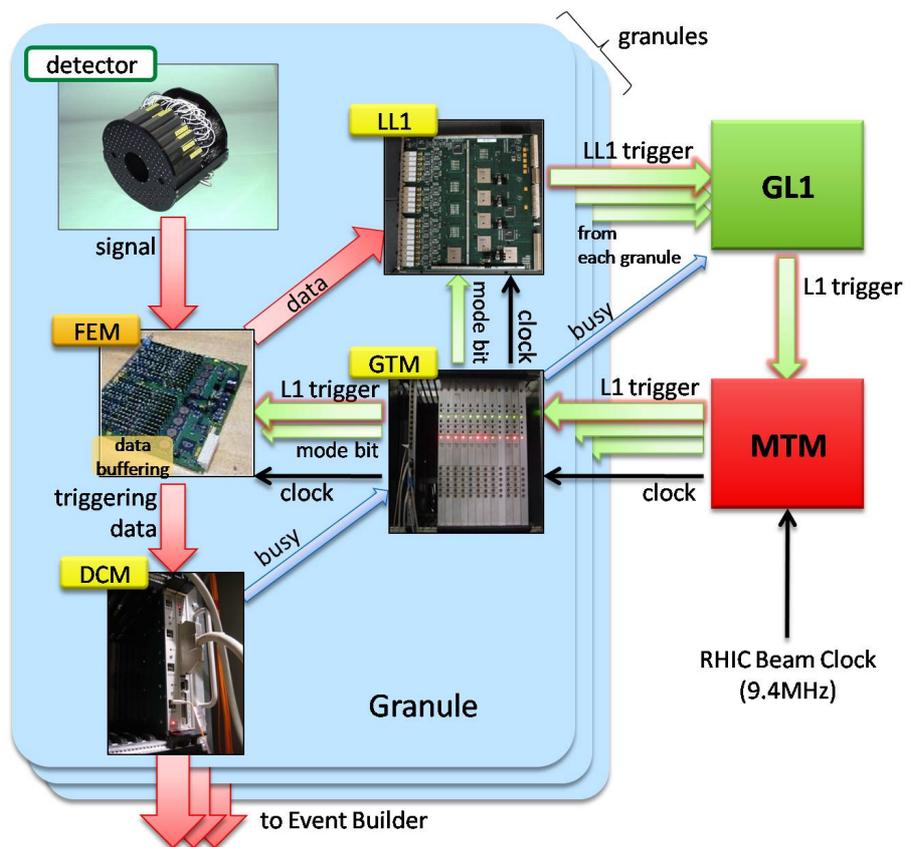


図 3.1: Level-1 トリガーシステムの説明図。図中の mode bit とは GTM が FEM、LL1 を制御するために送るコントロール信号を表わす。

持っているグラニュールは時間特性の良い検出器が属するグラニュールだけであるが、時間分解能がそれほど良くない MuID は例外的に LL1 を持っている。²

このグラニュールという概念を踏まえて DAQ プロセスについて説明する。まず LL1 を持っているグラニュールでは、衝突毎に検出器からの信号は FEM 上でデジタル信号に変換されて LL1 に送信される。それと同時にこの検出器から信号は、Level-1 トリガー受信時に DCM へ送信するために、FEM 内のアナログメモリーに記憶される。LL1 は FEM から送られてきたデータを受け取って、そのデータが収集すべきデータかどうかを判断する。そして収集すべきであると判断した場合は Local Level-1 トリガー (LL1 トリガー) を GL1 に向けて発行する。GL1 は LL1 を持つすべてのグラニュールからの LL1 トリガーを受け取り、それぞれに適当なプリスケール (間引き) を行う。そして最後にプリスケールを行われた LL1 トリガーすべての論理和をとる。これが Level-1 トリガーであり、MTM、GTM を介して FEM に届けられる。FEM はこの Level-1 トリガーを受け取った時に、あらかじめメモリーに記録しておいたアナログデータを引き出してデジタル化した後に、DCM にデータ送信する。DCM は、このデータと他のグラニュールからのデータとをイベントビルディングさせるために、このデータを後方のイベントビルダーに伝える。

²MuID は 1 トリガーに対して 2 イベント分のデータを記録することで時間分解能の悪さを補っている。

LL1 を持たないグラニュールでは、FEM は単に検出器からの信号をメモリーに記憶していく。そして GL1 から発行される LL1 トリガーが来るのを待ち、それを受け取るとメモリー上のアナログデータをデジタル化して DCM へデータ送信を行う。

3.2 データ収集時の読み出し回路へのタイミング信号とコントロール信号

以上はデータ収集時においての、各モジュールが持つデータ信号およびトリガー信号を送る上での役割である。しかしこれとは別に MTM、GTM はタイミング系統やコントロール系統において重要な役割を持つ。まずは RHIC から流れてくる衝突に同期した 9.4MHz(106ns) のビームクロックを FEM、LL1 に分配するという役割である。このビームクロックは FEM、LL1 にとってデータ処理を行う上で必要不可欠な信号である。もう 1 つは mode bit と呼ばれる制御信号を FEM、LL1 に送信する役割である。この mode bit には、

- ・リセット信号
データ収集の開始時に FEM、LL1 を初期化するための信号。
- ・run 信号
データ収集が行われていることを表す信号。
- ・疑似トリガー信号
検出器のキャリブレーション時にデータを取るために FEM に送られる擬似的なトリガー信号。キャリブレーション用パルスに同期した信号である。GL1 から発行される信号ではない。

などがあり、これらに加えて送信している mode bit が有効であることを示す mode enable も FEM、LL1 に送信される。データ収集開始時の mode enable、リセット信号、run 信号の振る舞いを図 3.2 に示す。mode enable はデータ収集が行われていないときは Low のままであり、各 mode bit は意味を持たない。データ収集プロセスはまず初期化作業から始まる。このときに mode enable は初めて High になり、これと同時に run 信号は Low に変わる。FEM、LL1 は Low を示している run 信号により初期化中はまだデータ処理を開始しない。この初期化の間に FEM、LL1 はリセットされる。そして初期化開始から約 13 μ sec 後に初めて run 信号が立ち上がり、データ収集の開始となる。ここから FEM、LL1 がデータ処理を始めることになる。

3.3 現行の μ 粒子検出用 LL1 トリガーシステム

以下では LL1 トリガーの一例として MuID の LL1 トリガーシステムについて紹介する。現在 Muon Arm における μ 粒子測定用の LL1 トリガーは MuID にしか備わっていない。MuID LL1 トリガーは MuID にトラックを残した粒子のうち衝突点から来たものだけを選び出し、宇宙線やゴーストトラックなどのバックグラウンドを取り除いている。

以下 MuID LL1 のトリガーアルゴリズムを説明する。MuID からの信号は前章の図 2.6 で示した 2pack からの計 16 本の信号に対して OR をとったものである。MuID は実際にはい

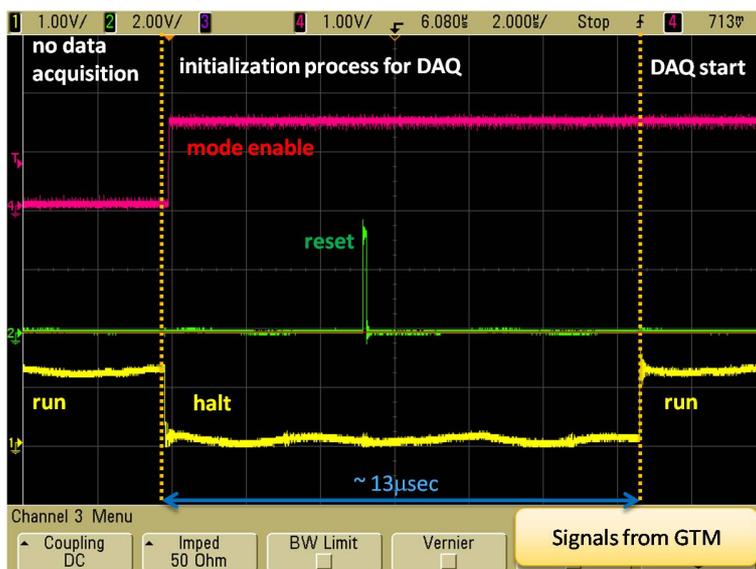


図 3.2: データ収集開始時に GTM から FEM に送られる mode bit 信号。

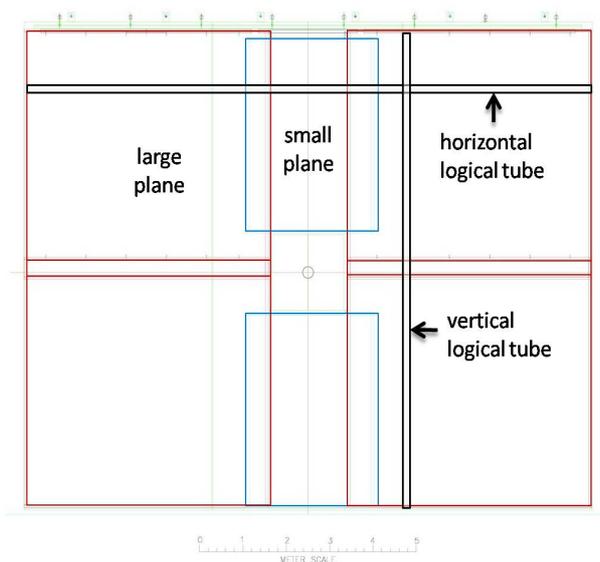


図 3.3: logical tube

くつかのパネルに分かれているが、MuID トリガーアルゴリズムでは、x 座標の同じ、あるいは y 座標の同じパネルをまたいだ 2pack をつなぐことによって、図 3.3 のような 1 本の長い 2pack をつくる。これらは logical tube と呼ばれており、これを単位として MuID のトリガーアルゴリズムはつくられている。

MuID LL1 では水平方向、垂直方向に対して独立に以下のアルゴリズムが適用され、その結果が GL1 に送信される。まず gap1 の logical tube を端から順に 1-a、1-b、1-c、1-d、… というようにラベル付けする。gap2、3、4、5 の logical tube に関しては、その logical tube の

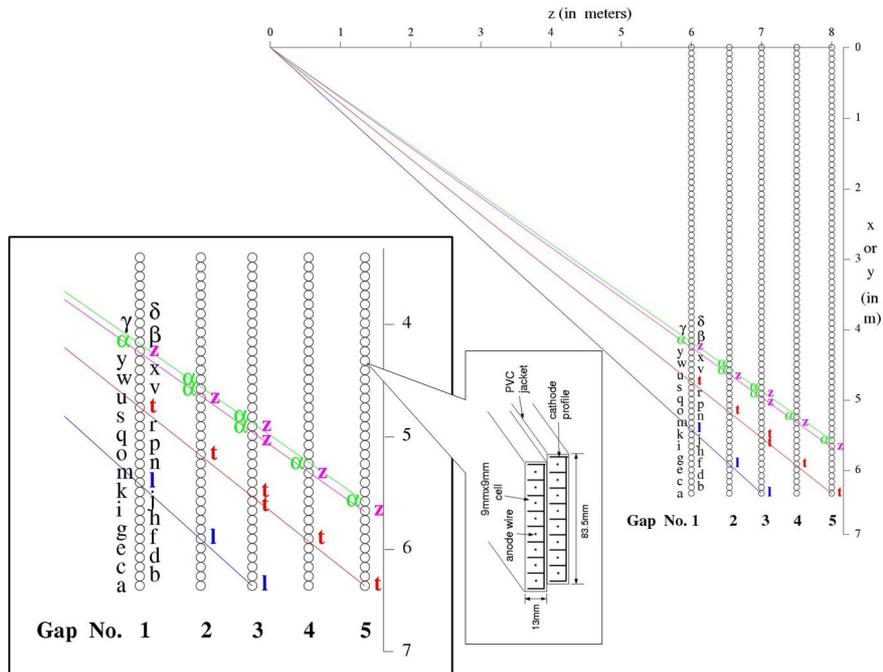


図 3.4: logical tube のラベリング。ラベルの部分を拡大して表示した。

中心点と衝突点とを直線で結び、その直線が通る gap1 上の logical tube と同じアルファベットでラベル付けしていく (図 3.4)。このようにしてすべての logical tube に 2-a、2-b、…、3-a、3-b、…、4-a、4-b、…、5-a、5-b、… というラベルが付けられる (もちろん重複するラベルの logical tube も存在する)。gap を問わず同じアルファベットを割り当てられた logical tube の集合を symset と呼ぶ。gap1 ~ 5 上のヒットが次の条件が満たされたときに LL1 トリガーが発行される。

- gap1 の logical tube にヒットがある
- 次の gap 上の logical tube のうちで、symset の違いが ± 1 以下の tube にもヒットがある
- 設定された深さの gap までヒットが生じている
- ただし 1gap 分だけなら間にヒットがなくてもよい

とくに MuID LL1 は粒子が到達した深さによって Deep(高運動量 : 4gap まで)、Shallow(低運動量 : 2gap まで) という 2 つの異なるトリガーを発行する。

第4章 高運動量 μ 粒子 LL1 トリガーシステム

この章では μ 粒子による W ボソンの測定に必要な高運動量 μ 粒子 LL1 トリガーシステムについて説明する。

4.1 高運動量 μ 粒子 LL1 トリガーの必要性

前章で説明したように、現在のトリガーシステムでは MuID だけが μ 粒子検出用の LL1 トリガーを発行している。MuID LL1 トリガーはハドロン吸収材を突き抜けてきた粒子をとらえることにより μ 粒子であると同定するトリガーであり、どの gap までハドロン吸収材を突き抜けてきたかを調べることにより、粗くではあるが運動量に依存したカットもかけられる。ここで図 1.3 で示すように、横運動量 $p_T > 20\text{GeV}/c$ 以上の高運動量 μ 粒子は W ボソンからのものが支配的になり、 $p_T < 20$ 以下の低運動量領域ではバックグラウンド事象が支配的となることが分かっている。そこで MuID LL1 の運動量の閾値を最大値である $2.5\text{GeV}/c$ (gap5 までの粒子の通過を要請) として測定すると、棄却能力 (Rejection Factor) ¹ は 250 程度となる。一方、PHENIX トリガーシステムにおいて μ 粒子測定用 LL1 トリガーに与えられるトリガーレートの最大は 2kHz である。重心系エネルギー $\sqrt{s} = 500\text{GeV}$ の衝突 (断面積は $\sigma = 60\text{mb}$) においてルミノシティが設計値の $L = 2 \times 10^{32}\text{cm}^{-2}\text{s}^{-1}$ に達したとすると、トリガーレートを 2kHz に抑えるには、 $RF_{\min} = 12\text{MHz}/2\text{kHz} = 6000$ 以上の棄却能力が必要となる。すなわち既存の MuID LL1 トリガーで μ 粒子を測定していたのでは LL1 トリガーレートが最大値の 2kHz をはるかに超えてしまう。 2kHz から超えた分のトリガーはブリスケールにより間引かれるが、このとき同時に希少な W ボソンからのイベントも間引いてしまう。これでは現実的な期間で W ボソンイベントの統計をためることが不可能となる。

そこでより高い棄却能力を持った高運動量 μ 粒子用 LL1 トリガーが必要となる。MuID の運動量閾値をあげるためには μ 粒子の通過するハドロン吸収材の厚みをより厚くしなければならない。しかし空間的な制約上これは現実的ではない。そこで考案されたのが MuTr のヒット情報を使って LL1 トリガーを作り出す方法である。これは、Muon Magnet 中での粒子の軌道情報を得ることによって、その曲がり具合から運動量を見積もるという方法である。シュミレーションにより、この方法で十分なトリガー性能を得られることが確認されている [20, 22]。

次にこの高運動量 μ 粒子用トリガーシステムについて説明する。

¹ 棄却能力とはトリガーがイベントを選別する能力の指標であり、陽子陽子衝突の断面積を σ 、ルミノシティを L 、トリガーレートを R_{trig} として $RF = \frac{\sigma L}{R_{\text{trig}}}$ と定義される。すなわち、衝突頻度に対してどれだけトリガー頻度を落とせるかという量である。

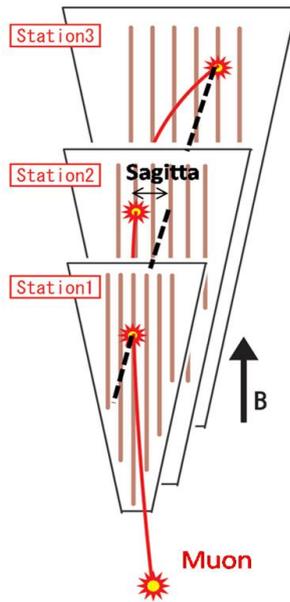


図 4.1: MuTr によるサジッタの測定。

4.2 高運動量 μ 粒子 LL1 トリガーシステム

磁場中に置かれた飛跡検出器である MuTr はそもそも運動量測定用の検出器であり、高運動量 μ 粒子のトリガーをつくるのに最適な検出器である。新たにつくられる高運動量 μ 粒子 LL1 トリガーシステムは MuTr のヒット情報から LL1 トリガーを発行する。

以下に具体的なトリガーアルゴリズムを示す。

1. MuTr の station 1 のヒットのあるストリップを探す。
2. そのヒットに対して、衝突点から来た μ 粒子が、そのストリップを通過した時に通る station 3 の領域² にヒットがないか探す。
3. station 3 の決められた領域にもヒットがあると、station 1 のヒットと station 3 のヒットとで引いた直線が station 2 で交わるストリップが求められ、そのストリップの ± 1 以内のストリップにヒットがあった時に LL1 トリガーが発行される。(すなわちサジッタ $\leq 1\text{strip}$ のトラックが選ばれる。図 4.1 参照。)

このアルゴリズムは同じ octant 内のヒットに対してのみ適用される。このように衝突点から来た、サジッタの小さいトラックを選び出すことでこの高運動量 μ 粒子 LL1 トリガーは高い棄却能力を得ることができる。

次は読み出す MuTr の plane についてである。前述したように MuTr のすべての plane のカソードストリップを読み出すことによって、2次元のヒット情報を構成することができる。しかしながらシュミレーションにより、MuTr の non-stereo plane だけを読み出すだけで十分な棄却能力が得られることが分かっている。non-stereo plane はストリップの並びが図 2.12

²この領域は、PHENIX の検出器の幾何学的配置を正確に考慮に入れたシュミレーションから station 1 のストリップ 1 本 1 本に対して求められており [22]、search window と呼ばれている。

表 4.1: 高運動量 μ 粒子 LL1 トリガーにおける MuTr の読み出しのストリップ数。

	South			North		
	strip /plane/oct	読み出す plane 数	読み出す octant 数	strip /plane/oct	読み出す plane 数	読み出す octant 数
station-1	96ch/plane/oct	3	8	96ch/plane/oct	3	8
station-2	160ch/plane/oct	2	8	192ch/plane/oct	2	8
station-3	256ch/plane/oct	2	8	320ch/plane/oct	2	8

に示されているように中央の strip が動径方向を向いて、その他の strip がそれに平行に並んでいる plane である。station-1、station-2、station-3 にはそれぞれ 3、3、2 枚の non-stereo plane があるのだが、設置できる読み出し用モジュールの台数の制約上、station-2 は 2 枚しか読み出さない (表 4.1 参照)。gap ごとに non-stereo plane である 1plane しか読みださないの、以後 gap と言うときはその gap に属する non-stereo plane も指すものとする。

複数の plane からのヒット情報は、station-1 ならば 3plane のうち 2plane にヒットがあるという条件 (2 of 3)、station-2,3 ならば 2plane のうち 1plane にヒットがあるという条件 (1 of 2) を課すことによって、各ストリップの検出効率を上げている。これにより単一の plane ではそれぞれ 94%、91% である station-1、station-2 の検出効率がともに 99% 以上となる。

しかしながらこのトリガーシステムには、MuTr からの信号の時間特性が良くないという大きな問題点がある。後述するように MuTr から得られるヒット信号の時間分布の広がりには 1 ビームクロック (106ns) を超えてしまっている。そのため MuTr のヒット情報だけを用いたのでは、どのビームバンチ衝突のイベントに対してトリガーを発行してよいかわからなくなってしまう³。この不定性を吸収すべく時間ゲートを広げると棄却力は下がってしまうので、この方法は避けたい。より時間分解能の良い信号との AND をとればよいのであるが、既存の検出器システムにおいてそのような検出器で Muon Arm と同じようなアクセプタンスのものが無い。そこで時間分解能に優れた検出器である Resistive Plate Chamber (RPC) が開発されており、この信号を用いて LL1 トリガーの発行時間を定めようと計画されている。RPC に関しては後ほど (セクション 4.4) 詳しく説明する。

4.3 ヒット情報読み出し回路 MuTRG-ADTX

既存の MuTr 用 FEM (図 4.2) は検出器からの波形を求めるために AD 変換を行っているモジュールであり、LL1 トリガー生成用にヒット信号のみを外部に出力するということができない。そのため前述のトリガーシステムの実現には新たな FEM が必要となる。

新たに回路を追加するにあたり以下の条件を満たすことが重要となる。

- 既存 MuTr のパフォーマンスの劣化が許容範囲であること

³MuID も同様に時間分解能が良くない検出器であるが DCM へ 2 ビームクロック分のデータ (の OR) を送信することで回避している。



図 4.2: MuTr で現在用いられている FEM。

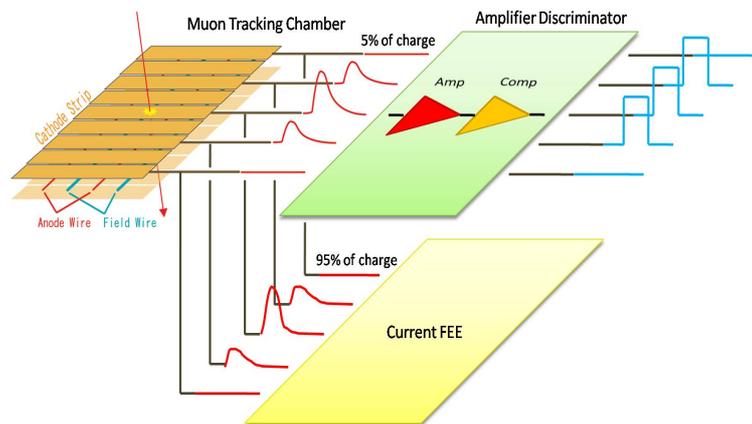


図 4.3: 新しい FEM の役割。MuTr からの信号の 5% の電荷量が入力され、ヒット情報におされる。

- 新しい回路が十分なヒット効率を達成できる

そこでキャパシタによって既存の FEM に入力されている信号から約 5% の電荷量をスプリットし、それを新たな FEM に入力してヒット情報を得るという方法が考え出された。このとき現行の FEM に入力される信号は元の 95% となり、また新たな回路を入れることによるノイズも発生するので、そのままでは S/N は悪くなる。しかしながら MuTr に印加する高圧電源の電圧を 25V 上げることによって S/N を元に戻せることが確認されている [23]。

この 5% の信号からヒット情報を得ているモジュールが MuTRG-ADTX (Amplifier-Discriminator and Data Transmitter board) である。以下ではこの MuTRG-ADTX について詳しく説明する。

図 4.4 に MuTRG-ADTX を示す。この MuTRG-ADTX はスプリットにより得られた MuTr からの信号を増幅し、コンパレータを通すことによってデジタル化されたヒット情報を

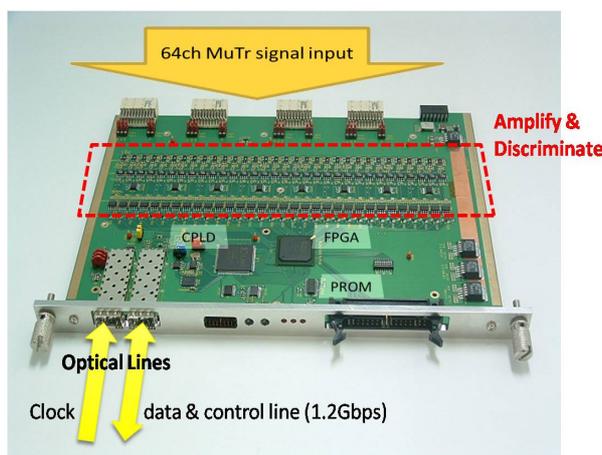


図 4.4: MuTRG-ADTX ボード。この図では見えないがボードの裏面にはデータ送信と制御信号受信のためのトランシーバチップ (TLK1501) が実装されている。

表 4.2: 1octant 当たりに設置される MuTRG-ADTX の台数。

	South MuTRG-ADTX の台数 /oct	North MuTRG-ADTX の台数 /oct
station-1	5 /oct	5 /oct
station-2	6 /oct	9 /oct
station-3	8 /oct (4 /half-oct)	10 /oct (5 /half-oct)

得ている。コンパレータにおけるヒットの判定は、LED(Leading Edge Discriminator) と CFD(Constant Fraction Discriminator) の 2 つの方法の AND を用いている⁴。これによりノイズに強く、タイミングもある程度そろったヒット信号が得られる。図 4.5 に MuTr に宇宙線が通過した時の、ADC の値に対する検出効率、及び MuTRG-ADTX コンパレータ部分の出力の時間分布を示す。時間分布のゼロ点はシンチレータからの信号をもとにしている。

MuTRG-ADTX は 1 台当たり最大 64ch 分の MuTr からのストリップ信号を読み取ることができ、MuTr の 1octant 分からの信号を複数台で分けて処理している。各 station に設置される 1octant 当たりの MuTRG-ADTX の台数は表 4.2 のとおりである。

MuTRG-ADTX は MuTr の読み出し部分のすぐそばに設置される。そのため得られたヒットデータを計測室まで送信しなくてはならない。これを行っているのが Texas Instruments 製のトランシーバ用チップ TLK1501 である。このチップは 8b/10b エンコード方式⁵ を

⁴LED は入力信号がある閾値を超えた時に出力信号を出す方式であり、CFD はパルスハイトに対してある割合に達したときに出力信号を出す方式である。LED はノイズに強く、CFD はタイミング特性のよい出力信号となる。MuTRG-ADTX ではこの CFD ではなく擬似的な CFD を用いており、入力信号の低周波成分が高周波成分を超えた時に出力を出すようにしている。

⁵8b/10b エンコード方式とはシリアル化において、パラレルな 8bit データをその 8bit に対応したシリアルな

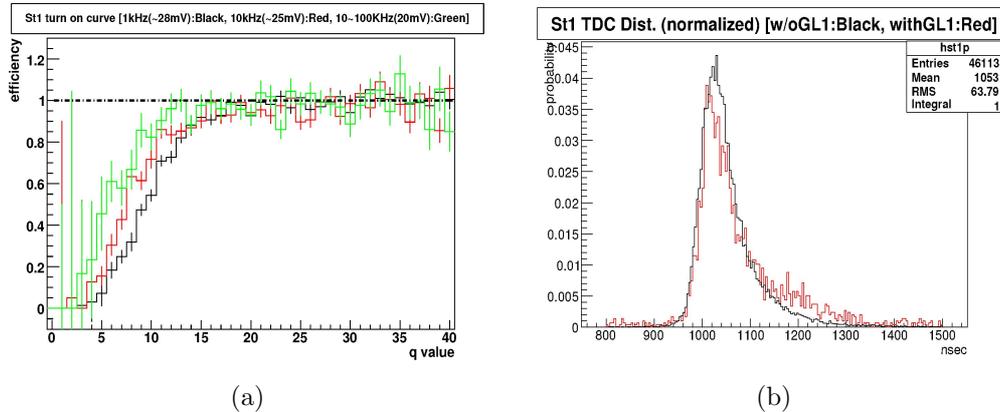


図 4.5: (a)MuTr での ADC の値に対する検出効率の立ち上がり。横軸は MuTr からの信号の大きさに比例した Q 値という値である。3 つのプロットはそれぞれ閾値 20mV (緑色)、25mV (赤色)、28mV (黒色) のときの立ち上がりである。この図において MIP での Q 値は 22 程度である。(b)MuTr に宇宙線が通過した時の、MuTRG-ADTX コンパレータ部分の出力の時間分布。時間のゼロ点はシンチレータからの信号をもとにしている。黒色のプロットがシンチレータのヒットをトリガーとした時のもので、赤色のプロットがシンチレータのヒットと MuID のトリガーとのコインシデンスをトリガーとした時のもの。

用いて 16bit のパラレルな入力データをシリアル化して送信することができる。さらに受信側の TLK1501 でこのデータを受信し元の 16bit データを復元することができる。

MuTRG-ADTX に入力される MuTr からのチャンネル数は最大 64ch であるので、16bit データ入力の TLK1501 だけではこの 64ch のヒットデータをシリアル化して送信できない。そこで MuTRG-ADTX には Field Programmable Gate Array(FPGA)⁶ が実装されており、このなかで 64bit のヒットデータを 16bit のパケットに 4 分割し、TLK1501 の入力ラインに 4 回に分けて 16bit のパケットを流している。こうすることで TLK1501 による 64bit ヒットデータの送信を可能にしている。実際には TLK1501 はこの 4 つの 16bit ヒットデータに加えて、trailer 16bit(クロックカウンター 8bit、モジュール ID 8bit)、Carrier Extend 16bit(1 イベントの区切りを表わすための仕切り)を送るため、1 ビームクロック (106ns) の間に 6 パケットの 16bit データを送信する。図 4.7 にその様子を示す。64bit のデータが 16bit に 4 分割されて、さらに header と Carrier Extend が付加されて並び替えられているのが分かる。このため各パケットを送信するクロックは 6 倍のビームクロックとなる。

信頼性の高いシリアルリンクを確立するためにタイミング性能が優れている水晶振動子を送

⁶10bit データに変換する方式のことである。単純に 8bit データをそのままシリアル化すると、8bit データが 0 ばかり、あるいは 1 ばかりであった時に、シリアル化したデータは変化のない信号になってしまう。これでは受信側で AC-coupling がとれない。そこで 8b/10b エンコード方式では、どのような入力 8bit データに対してもシリアル化した信号に適当な遷移が必ず起こるエンコード方式となっている。これによりシリアル化した後のデータレートは 8bit 転送の場合は 8 倍ではなく 10 倍、16bit 転送の場合は 16 倍でなく 20 倍となる。

⁶FPGA とは PC を使って、デジタル信号の処理に欠かせない AND、OR などの論理ゲートや flip-flop などを思い通りに配置することができ、さらに何度も配置しなおすことができるデバイスである。すなわち入力信号に対して思いのままのデジタル処理を行ってくれるデバイスである。

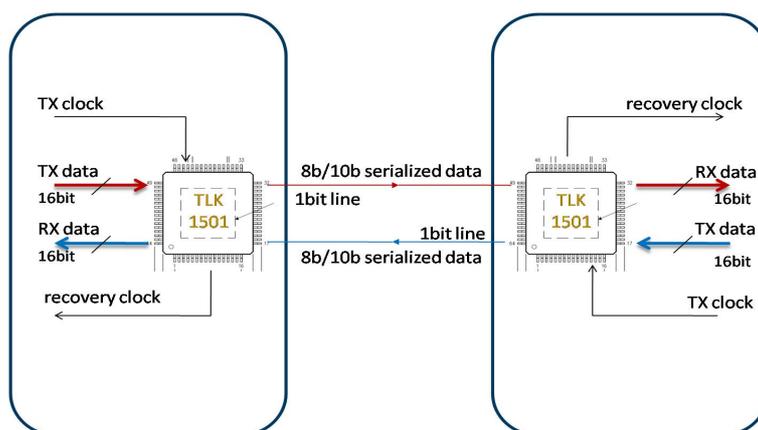


図 4.6: TLK1501 の機能。入力クロックの立ち上がりごとに 16bit のデジタルデータをシリアル化して転送する。またそのデータをデシリアル化して、元の 16bit のデータを復元することができる。

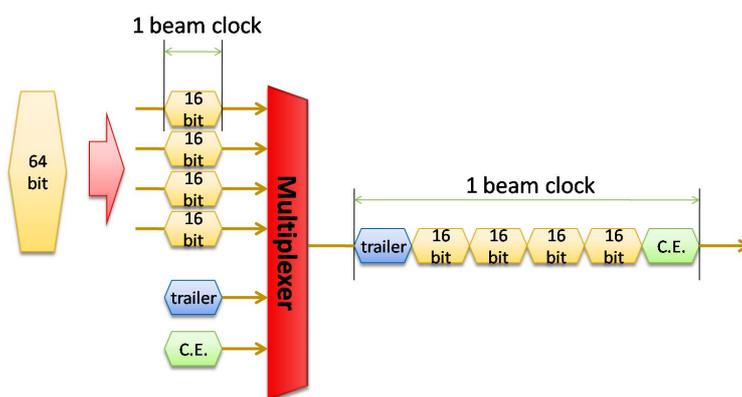


図 4.7: MuTRG-ADTX で 64bit データが 4 分割され、6 倍の速さで送信されている様子。C.E. は Carrier Extend (データの区切り) を表わし、trailer にはビームクロックカウンターの値、及び MuTRG-ADTX の ID の値が入っている。

信クロックとして使用している。そのため TLK1501 による通信は非同期通信となっている。すなわち送信しなければならないデータは 6 倍のビームクロック周波数 ($6 \times 9.4\text{MHz} = 56.4\text{MHz}$) で生じるのにたいして、送信用クロック (TX clock) には 60MHz のクリスタルクロックを使っている。そのため周期的に送信するデータがなくなる状態が生じる。このとき FPGA は TLK1501 に対して通常のデータとは区別される idle パケットを送信し、受信側にデータが空であることを伝える。

FPGA は揮発性のデバイスであり、MuTRG-ADTX の電源を落とすとそれまで記憶されていた論理ゲートや flip-flop の配置の情報が消えてしまう。そのため MuTRG-ADTX の電源投入時に自動的に FPGA に設定データが書き込まれる必要がある。(この FPGA などの論理ゲートや flip-flop の配置情報の書き込みをコンフィグレーションという。)

これを行っているのが Programmable Read Only Memory(PROM) である。PROM は不

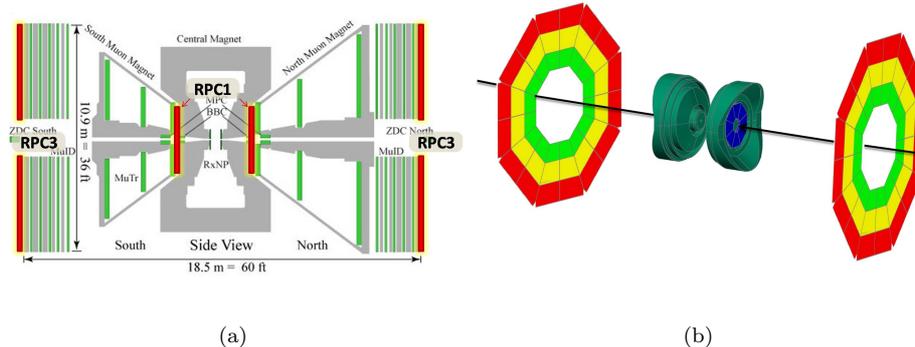


図 4.8: (a)PHENIX における RPC が設置される位置、(b)RPC の立体図。

揮発性のメモリーであり、内部に FPGA のコンフィグレーションデータを格納することができる。さらに PROM は電源投入時に自動的に FPGA へコンフィグレーションを行うことができる。

この PROM は JTAG と呼ばれるデバイスへのアクセス方式に従って、外部から書き込むことが可能であり、必要に応じて FPGA の動作を変更することができる。

以上が MuTRG-ADTX のヒットデータ取得とデータ送信に関する役割である。これらの部分に関するテストは 2007 年夏に PHENIX において、試作機を用いての様々な性能評価が行われ、MuTr からヒット情報を読むに当たり十分な性能を持つことが確認された [23]。

FPGA はコンパレータ部分の LED 判定の際の閾値をセットするという役割も担っている。具体的には FPGA がレジスタに設定された値を読み取り、閾値出力用の Digital to Analog Converter(DAC) 素子に設定用のフォーマットに従ってその値を送るということを行う。

4.4 Resistive Plate Chamber (RPC)

RPC はイリノイ大学の研究グループが中心となって開発中のトリガーシステムにおいて、粒子が通過した時間情報、及びトラック情報を与える検出器である。2 つの station からなり、MuTr 同様に 1/8 ずつの octant 構造となっている。現在は開発段階であるがテストベンチにおいて位置分解能は $\sim 0.5\text{cm}$ 、時間分解能は $2 \sim 4\text{nsec}$ を達成している。

図 4.8 は PHENIX における RPC の位置と RPC の立体図を表わしたものである。

第5章 MuTRG-MRG、 MuTRG-DCMIFの開発

5.1 MuTRG-MRG、MuTRG-DCMIFの必要性

前章で記述した MuTRG-ADTX 回路は、現行の FEM へ入力される信号に対する影響を最小限に抑えるために、MuTRG-ADTX を MuTr のすぐ傍に設置する必要がある。さらに現行 FEM への新たなノイズ源ともなりうるため、搭載機能は必要最小限にとどめたい。PHENIX 検出器群の中に設置するためには空間的制約も受ける。そこで FEM である MuTRG-ADTX 回路を検出器からのヒット情報の読み出し機能に特化させ、その制御を本章で議論する別回路に切り離す事で、MuTRG-ADTX 回路をコンパクトなデザインにすることが可能となった。

LL1 トリガーシステムの構築には、前述の MuTRG-ADTX の制御機能およびデータ処理機能を加えた以下の機能が必要となる。

- DAQ 時にコントロール信号を GTM から受け取り、FEM 全体をコントロールすること
- Level-1 トリガー信号を受け取った際の DCM へのデータ送信
- DAQ 開始前の FEM の初期化 (FPGA、PROM へのコンフィグレーション、閾値の設定、Digital Clock Manager のリセット)

という様々な機能を持ったモジュールが必要となる。特に DAQ 開始前に FEM を設定するには

- VME バスを介して通信を行うことができ、さまざまな値の書き込み、読み取りができる。

ことが必要となる。

さらに表.4.2 から分かるように、South Arm で 19 台/oct、North Arm で 24 台/oct もの MuTRG-ADTX が設置される。LL1 トリガーアルゴリズムは octant ごとに独立に行われるので、1 つの LL1 には少なくとも 1octant からのヒットデータをすべて入力する必要がある。しかし、合計 152 ~ 192 台にのぼる MuTRG-ADTX からのヒットデータをそのまま LL1 に送信するというのは、LL1 にとっても巨大な入力用スペースが必要となり現実的でない。そこで、

- 複数台の MuTRG-ADTX からのヒットデータを受け取り、それらをさらにシリアル化することで 1 ラインにデータをまとめ、それを LL1 に送信する

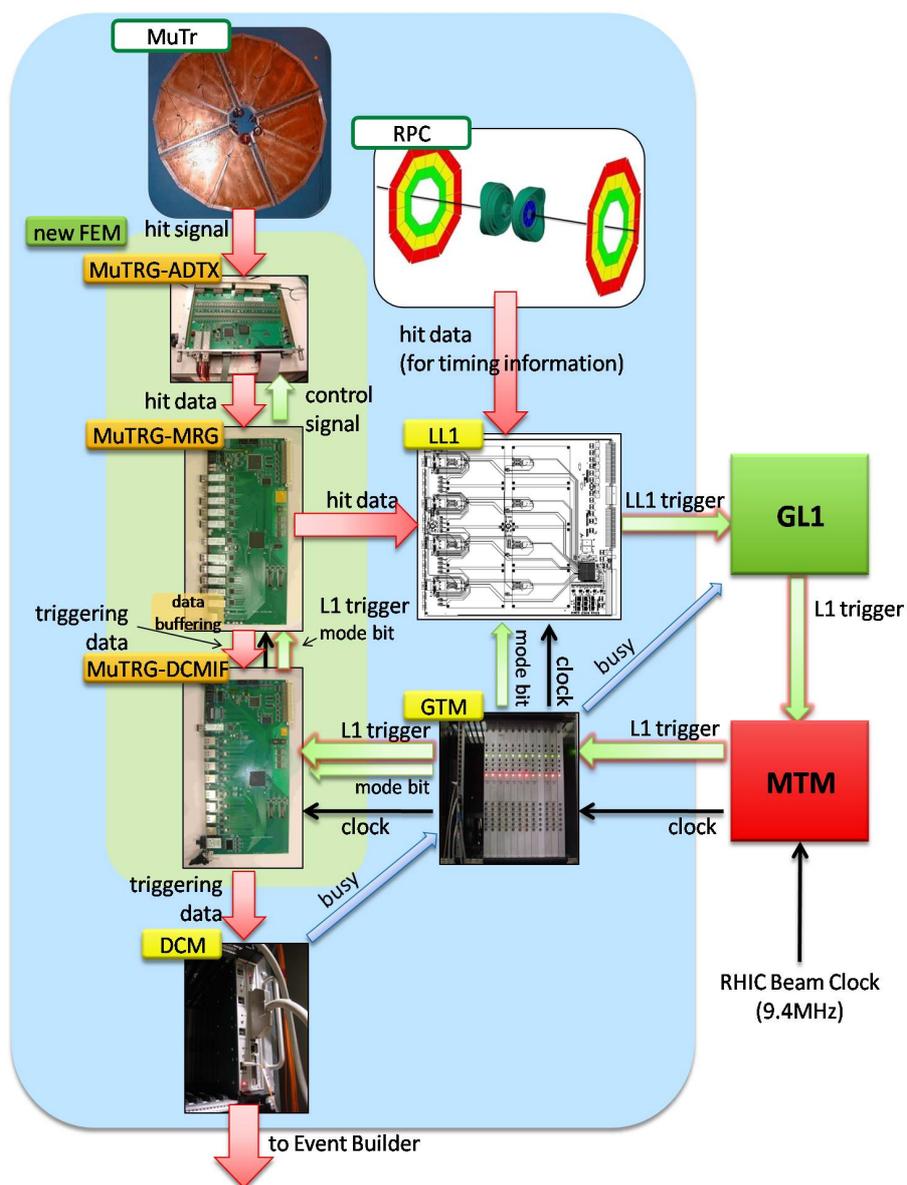


図 5.1: Muon Arm に導入される高運動量 μ 粒子用 LL1 トリガーシステム

という集約機能も必要となる。多種多様なこれらの機能を実現するのが MuTRG-MRG、及び MuTRG-DCMIF である。

新しく作るトリガーシステムをブロック図として描くと図 5.1 のようになる。MuTRG-MRG が LL1 へのヒットデータの転送、及び MuTRG-ADTX のコントロールという役割を担い、MuTRG-DCMIF が DCM へのトリガーのかかったデータの転送、及び GTM からのトリガー信号、クロック、コントロール信号（モードビット）を受信するという役割を担っている。

South Arm152 台、North Arm192 台からの信号の集約には、10 チャンネルの入力を持

表 5.1: 新たな LL1 トリガーシステムに必要となる各モジュールの台数と入力チャンネルの数。

South	MuTRG-ADTX	MuTRG-MRG	MuTRG-DCMIF	LL1 tile	DCM
台数	152	32	4	8	1
入力チャンネル数	-	10	8	4 (for MRG)	4
North	MuTRG-ADTX	MuTRG-MRG	MuTRG-DCMIF	LL1 tile	DCM
台数	192	32	4	4	1
入力チャンネル数	-	10	8	4 (for MRG)	4

つ MuTRG-MRG が 64 台必要となる。それに対して、このトリガーシステムに与えられる DCM は 2 台であり、1 台あたり 4 チャンネルの入力をもつ。そのため MuTRG-MRG と DCM の間に、複数の MuTRG-MRG からのデータをさらにシリアル化して DCM に送信する回路が必要となる。それが MuTRG-DCMIF である。このような理由で新しい LL1 トリガーシステムでは、FEM が 3 つの異なる回路に分かれている。表 5.1 に各モジュールの台数をまとめる。

この章では MuTRG-MRG、MuTRG-DCMIF の開発および役割について説明する。

5.2 MuTRG-MRG、MuTRG-DCMIF の開発

筆者は 2007 年秋から MuTRG-MRG、及び MuTRG-DCMIF の開発を行ってきた。開発した MuTRG-MRG、MuTRG-DCMIF の図を図 5.2 に示す。MuTRG-MRG、MuTRG-DCMIF は KEK 回路室の協力を得て、使用の決定、回路図の設計、試作機の作成、評価を行った。回路図の作成には回路図作成ソフトである OrCAD を用い、回路図からの設計を行った。このように回路図から設計を行ったのには以下の理由があげられる。

- 自由に機能を付け加えることができる
- その部分にあった適切なパーツを選ぶことができる
- 開発費を低く抑えられる

パーツの選定上最も気を使ったのは FPGA である。MuTRG-MRG、MuTRG-DCMIF には様々な種類のシリアル化チップ、デシリアル化チップが実装されており、それらの入出力ピンは FPGA と結線されている。シリアル化チップ、デシリアル化チップはその性質上入出力ピンの数が多くなる。MuTRG-MRG でのシリアル化チップ、デシリアル化チップは 11 個の TLK1501、TLK3101 と 1 対の LVDS 信号通信用チップである DS99R105,106 が搭載されており、MuTRG-DCMIF でのシリアル化チップ、デシリアル化チップは 8 対の DS99R105,106 と、TLK2501、HDMP-1024 が 1 つずつ搭載されている。それらからの全チャンネルに加

えて VME バスとの通信線も FPGA に入力されなければならない。そこで MuTRG-MRG、MuTRG-DCMIF に実装する FPGA として、Xilinx 製の安価でコストパフォーマンスに優れた Spartan-3 シリーズのうち当時購入可能であったものでもっとも入出力用ピン数の多い XC3S4000_5FG900C を使用した。この FPGA は 633 本の入出力ピンを持っているが、そのうち MuTRG-MRG は 566 本のピンを、MuTRG-DCMIF は 592 本のピンをそれぞれ用いている。

MuTRG-MRG、MuTRG-DCMIF はともに VME64x からの制御ができるようになっている。2 つの回路の大きさはともに縦が 9U (400mm)、横が 160mm であり、基板は厚さ 1.6mm の 10 層構造である。電源に関しては MuTRG-MRG は VME64x の 3.3V 電源を、MuTRG-DCMIF は 3.3V と 5.0V 電源ラインを用いている。消費電流はデータ処理時の MuTRG-MRG で 3.3V ラインに 4.3A 程度が流れる。

基板のレイアウト上も考慮した点は以下のようなものが挙げられる。

これらの回路には速い信号が流れる信号線がいくつもある。例えば、次のセクションでも説明するように、140MHz のクロックや、TLK1501 や TLK3101 によるシリアル化されたデータである 1.2~2.8Gbps の信号である。それらの信号線上でインピーダンスの違う領域が存在すると反射の影響により信号の波形が歪んでしまう。この歪み具合がひどくなると、クロックについては立ち上がりのジッターが大きくなり、シリアルデータについてはデシリアル化ができなくなってしまう。そのため MuTRG-MRG、MuTRG-DCMIF のレイアウトでは、それらの信号線の太さが配線上でできる限り変わらないように、角ばった曲がり方ではなく円を描くような曲がり方にした。

また FPGA への信号線が非常に多いので、その周りでは信号線が密集している。そのため FPGA に入る信号のほとんどを 0.15mm という非常に細い太さの信号線とした。これにより FPGA のピンとピンの間に 2 本の信号線を通すことですべての配線が可能となった。

また 140MHz のクロックの立ち上がりに同期して FPGA から TLK3101 へ出力される信号の信号線に関しては、この歪みの影響を少なくするために FPGA から TLK3101 までの距離を極力小さくした。

5.3 MuTRG-MRG、MuTRG-DCMIF の仕様

MuTRG-MRG は station-1,2 では 1 台で 1octant を担いし、station-3 では 2 台で 1octant を担うようになっている。そのため MuTRG-MRG 1 台当り少なくとも 9 台の MuTRG-ADTX を処理する必要がある (表.4.2 参照)。これに対して MuTRG-MRG は最大 10 台の MuTRG-ADTX との制御及び通信をおこなうことができるモジュールであり、MuTRG-MRG はこの要求を満たしているのがわかる。MuTRG-ADTX の説明でも述べたように、このラインでは 1.2Gbps の通信がおこなわれる。

次に MuTRG-MRG から LL1 へのラインであるが、必要なデータレートは、1 台の MuTRG-MRG が送る最大の strip 数が 192strip であることから (表.4.1 参照、station-3 は half-octant 分の strip となることに注意) $(192\text{bit}(\text{data})+16\text{bit}(\text{header})+16\text{bit}(\text{Carrier Extend}))\times 9.4\text{MHz}=2.1\text{Gbps}$ 以上のデータレートが必要となる。実際はこのラインに TLK3101¹ が使われてお

¹TLK3101 は TLK1501 と同様にトランシーバー用のチップで、これも 8b/10b の通信を行う。TLK1501 とはその送信用クロックの許容周波数が異なり、より高速の通信を行うことができる。TLK1501 で使える送信用クロック

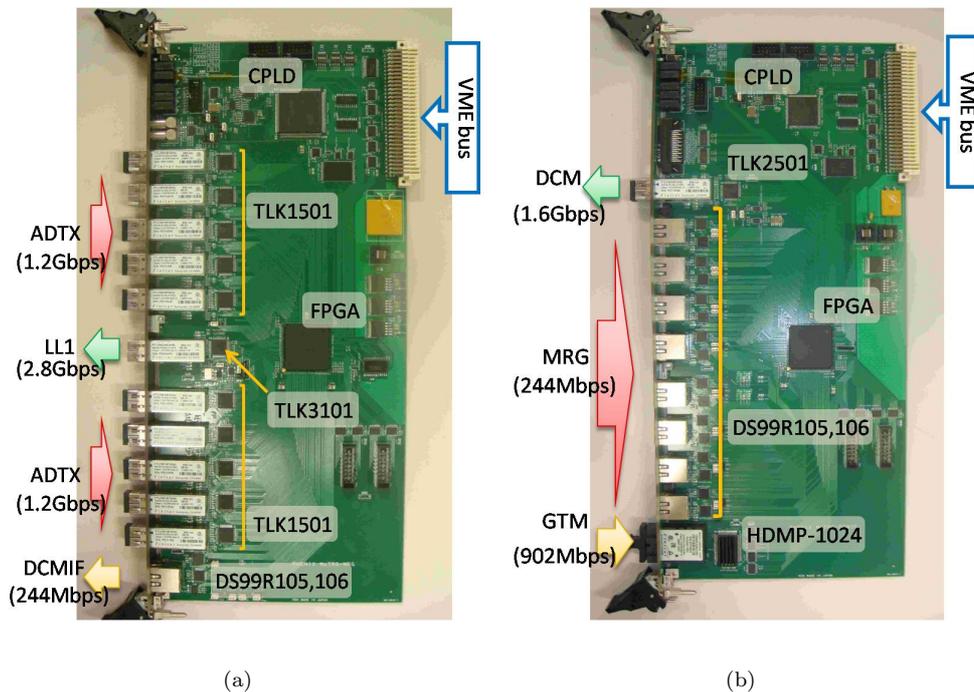


図 5.2: (a).MuTRG-MRG、(b).MuTRG-DCMIF の写真。

り、LL1 と非同期通信をしている。この非同期通信で必要となる送信用クロックの最低周波数は、送り出すパケットの数が $192\text{bit}/16\text{bit} + 1(\text{header}) + 1(\text{Carrier Extend}) = 14$ パケットなので、 $9.4\text{MHz} \times 14 = 132\text{MHz}$ となる。これを満たすように、LL1 とは 140MHz クロックを送信用クロックとして用いた非同期通信を行っている。このときのデータレートは、TLK1501 同様、クロックの 1 周期ごとに 20bit のデータがシリアル化されて送られるので、 $20\text{bit} \times 140\text{MHz} = 2.8\text{Gbps}$ の通信速度となる。これは PHENIX の各検出器から Counting Room へのデータ転送において標準的に使われている HDMP-1022,24 による G-Link 信号のデータレートの $902\text{Mbps}(24\text{bit} \times 9.4\text{MHz} \times 4)$ や ATLAS で使われている HDMP-1032,34 による G-Link 信号のデータレート $800\text{Mbps}(20\text{bit} \times 40\text{MHz})$ に比べて、非常に速い通信となる。

これを実現するために、以下にあげるような様々な点を考慮した。

- FPGA と TLK3101 との間隔
- 140MHz クロック信号用の信号線のインピーダンス
- 140MHz クロック信号用の遅延素子の設置

最初の 2 点については前述したものである。最後の点については以下の理由である。データ信号は約 7nsec (140MHz の周期) ごとに High、Low の遷移が起こるが、信号が定常である

クの周波数は $30 \sim 75\text{MHz}$ 、同様に姉妹品である TLK2501 は $75 \sim 125\text{MHz}$ 、TLK3101 は $125\text{MHz} \sim 156\text{MHz}$ である。

時間は立ち上がり時間、立ち下がり時間（ともに約 3nsec 程度）があるためにそれよりも小さい。さらに 16 個の信号が FPGA から出力されるタイミングは完全には揃えることはできない（約 1nsec 程度ばらつく）。そのため 16 個の信号がすべて定常である時に 140MHz が立ち上がるようにするには、140MHz クロック信号に遅延を加えて立ち上がりの時間を調節する必要がある。

MuTRG-MRG と MuTRG-DCMIF との間に必要なデータレートは、最大 Level-1 トリガーレートを 5kHz（実際に μ 粒子検出用に与えられるトリガーレートは 2kHz 以下）として考えると、MuTRG-MRG と MuTRG-DCMIF 間で $192\text{bit}(\text{data}) \times 5\text{kHz} = 960\text{kbps}$ である。

実際にはここでは 9.4MHz の用いて 24bit シリアル化の通信を行っているので、純粋なデータ速度としては $24\text{bit} \times 9.4\text{MHz} = 225.6\text{Mbps}$ の通信を行っている。これは必要な速度に対して十分な値である。このラインではデータのみを送信しているわけではなく、header(24bit)+C.E.(24bit) も 1 Level-1 トリガー信号あたりに送信している。これらを加えても十分なデータ速度が実現されている。

最後に MuTRG-DCMIF と DCM との間に必要なデータレートであるが、ここでも最大 Level-1 トリガーレートを 5kHz として考える。1 Level-1 トリガー信号あたりに DCM に送信する最大のデータ量は、North Arm の 1octant 当たりの全 strip(608strip) を DCM に 7 イベント数送信しているときであり（DCM に送信するイベント数に関してはセクション 5.5.5 参照） $(608\text{bit} \times 2(\text{2octant 分}) \times 7) \times 5\text{kHz} = 42.5\text{MHz}$ である。

これに対して実際は 80MHz クロックを用いた 16bit シリアル化の通信を行っているので、純粋なデータ通信速度としては $16\text{bit} \times 80\text{MHz} = 1.28\text{Gbps}$ の通信を行っており十分であることが分かる。実際にはデータだけでなく header(16bit \times 5)+trailer(16bit \times 2~10) の通信を行う。さらに TLK2501 を用いていることから 8b/10b による通信になるので、シリアルライン上のデータレートは $20\text{bit} \times 80\text{MHz} = 1.6\text{Gbps}$ となる。

5.4 ビームクロックの役割

RHIC のビームはバンチ構造をしており、バンチごとにビームの偏極の向きが異なるため、スピン非対称度を求めるには得られたデータがどのビームバンチの衝突で起こったものかを知る必要がある。そのために FEM ではビームクロックを用いている。

ビームクロックによる処理を説明する前に、この処理を行うにあたって用いられる、flip-flop という概念について説明する。まず flip-flop について、ここでは簡単のために D 型 flip-flop を説明する。D 型 flip-flop とは図 5.3(a) にあらわされるような論理回路である。この回路の動作を説明すると、CLK に入力されている信号が立ち上がるたびに出力 Q に、CLK が立ち上がった時点の入力 D の値が出力されるようになる。そのため CLK が立ち上がる時以外は Q の出力に変化はない。このようにすることで、出力 Q の状態が定まる時間を把握しつつその後の処理をすることができる。また Q の出力は CLK に変化を与えなければ値を保持することができるので、flip-flop はコンピュータの主記憶装置やキャッシュメモリなどに用いられる。

新しい LL1 トリガーシステムにおける回路設計では図 5.3(b) のように flip-flop を並べて配置することで、ヒットデータの処理をビームクロックの立ち上がりごとに行うようにしている。このようにすることで各 logic からの演算結果が正しく求まってから次の処理に移る

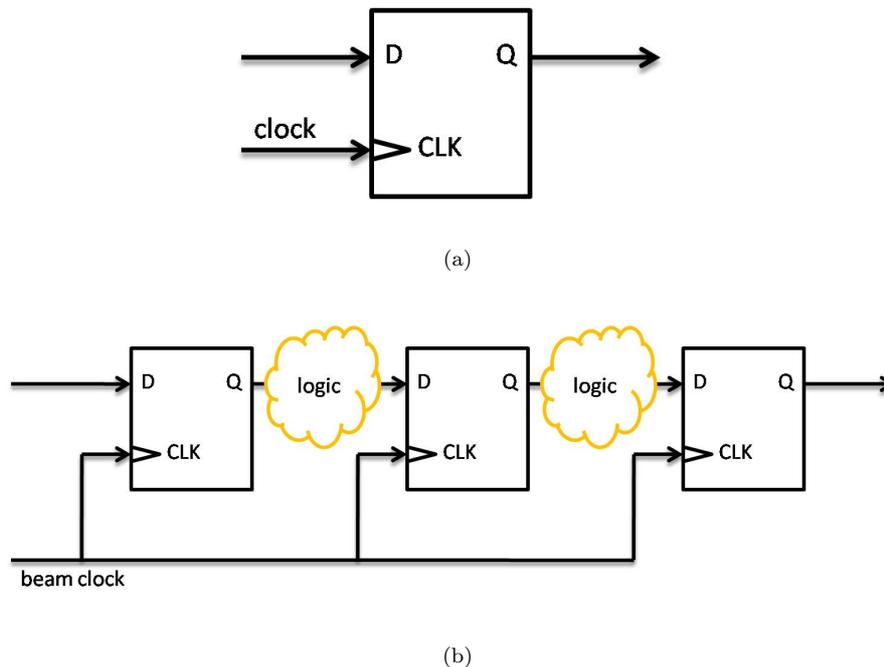


図 5.3: (a)D 型 flip-flop の図。(b)D 型 flip-flop を並べて作った順序回路。

ということが可能であり、またビームクロックの立ち上がりごとに処理されるので各衝突からのデータを分けて処理することができる。

新しい LL1 トリガーシステムでは MuTRG-ADTX において、各イベントのヒットデータにたいしてビームクロックカウンターという ID を割り振っている。このカウンターはそのデータがどのビームバンチの衝突で起こったものかということを示すものであり、送信されたそのデータは MuTRG-MRG において他の MuTRG-ADTX から来たデータとこのビームクロックカウンターが揃うようにしてイベントビルドされる。このビームクロックカウンターは以下のように割り振られる。まず MuTRG-MRG から MuTRG-ADTX に向かって送信されるリセット信号によりカウンターの値は 0 となる。その後上述の flip-flop の原理を用いてリセット信号が解除された次のビームクロックの立ち上がりからデータの処理が始まるのであるが、その初めのデータに付けられるカウンターは 0 であり、次のデータからはカウンターの値が 1 ずつ増えていくようにつけられていく。このようにして MuTRG-ADTX 上でのリセット解除直後のビームクロックの立ち上がりから、順番にビームクロックカウンターの値が割り振られていく。

5.5 MuTRG-MRG、MuTRG-DCMIF の機能

以上は仕様上の要求であったが、MuTRG-MRG、MuTRG-DCMIF はトリガーシステムとして備わっていないわけではない機能が多々存在する。このセクションでは MuTRG-MRG、及び MuTRG-DCMIF に実装されたこれらの機能を紹介していく。

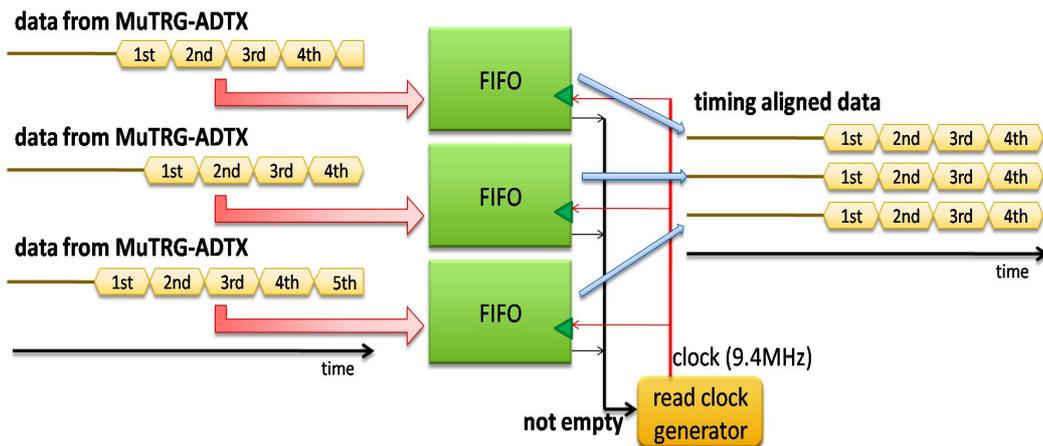


図 5.4: MuTRG-MRG におけるイベントビルドの概要図。すべての FIFO にデータが入るまでデータの取り出しを待つことによってイベントビルドを行っている。

5.5.1 複数 MuTRG-ADTX からのデータのイベントビルド

MuTRG-ADTX と MuTRG-MRG を結ぶ光ケーブルの長さ、ビームクロックの distributor から MuTRG-ADTX につながっているクロック用の光ケーブルの長さはいずれも等長である。そのため複数の MuTRG-ADTX から MuTRG-MRG に送られるデータはある程度揃っているのであるが、非同期通信による 17nsec 程度のずれ（このタイミングのずれに関してはセクション 5.7.3 参照）TLK1501 などのチップの個体差によるずれにより、これらのデータは厳密には異なるタイミングで MuTRG-MRG に入力される。そのため、MuTRG-MRG 上でこれらのデータをイベントビルドするにあたって、データをそろえるための工夫が必要となる。

MuTRG-MRG 内ではこれを図 5.4 のように解決している。MuTRG-MRG においてイベントビルドの要となるのは MuTRG-ADTX のリセットを解除した直後である。リセットを解除した時点では図中の first-in first-out(FIFO)² の読み出しは行われていない。この読み出しが開始されるのは、複数の MuTRG-ADTX から送られてくる一番最初のデータがすべて、それぞれの FIFO に書き込まれたときである。すなわち図中で read clock generator がすべての FIFO からの empty 信号を観察しており、これらの empty 信号がすべて Low となると（すなわちすべての FIFO にデータが入ると）読み出し用の 9.4MHz クロック（ビームクロックに等しい）が発行される。このようにして読み出しクロックが発行されてからは自動的に順番のそろったデータが FIFO から取り出されていきイベントビルドがなされる。以降この MuTRG-MRG 内に流れる読み出し用の 9.4MHz を MuTRG-MRG 上の処理用ビームクロックと呼ぶことにする。

イベントビルドされた後のデータは正しくイベントビルドできているかを確認するために、それぞれのデータが持つビームクロックカウンターの値をチェックされる。この値が同じ時間のデータすべてに対して一致していないとき MuTRG-MRG は対応するエラーを出

²FIFO とはデジタル回路において、独立した書き込みアドレスと読み込みアドレスを持つメモリまたはレジスタであり、先入先出法に従って、一番最初に書き込まれたデータから順に読み出しがおこなわれるメモリである。

力する（このエラー診断についてはさらに後述する）。

5.5.2 ヒット論理の選択機能

MuTRG-ADTX の MuTr からの信号 1strip に対するヒット効率は station-1、station-2 で 1gap あたりそれぞれ 94%、91%であることが測定されている。本トリガーシステムは 1station あたり 2 枚ないし 3 枚の複数 gap からの読み出しを行うので（表 4.1 参照）、この複数 gap 間に対応する strip のヒットの OR をとることで 1station あたり 99%以上のヒット効率を達成する。また 3gap 分を読み出す station-1 については 3gap 中 2gap(2 of 3) 以上のヒットを要求すれば、アクシデンタルなヒットを抑えたオペレーションが可能となる。

具体的には MuTr からのヒット信号がいずれの station からでも 3gap 分送られるとして処理される（station-2、station-3 からのヒット情報は 2gap 分しかないが、MuTRG-MRG 内でヒットが全くない 3 枚目の gap を仮想的につくって処理している。）。この 3gap からの計 3strip に対してどの論理処理（1 of 3、2 of 3、3 of 3）を行うかはユーザーが VME ごしにデータ収集を行う前に設定することができる。

現段階では station-1 に対しては 2 of 3、station-2,3 に対しては 1 of 3（実質的には 1 of 2）で DAQ を行うという方針となっている。

5.5.3 データの strip 順の並び替え

MuTr からの信号ケーブルは MuTRG-ADTX の 4 × 16ch の入力口に規則性なく入っている。そのため MuTRG-MRG は各 MuTRG-ADTX からヒット情報を収集した時点でこのデータを strip 順に並びなおしてやらなければならない。これは回路上の FPGA で行われている。MuTRG-ADTX に入力されている信号の strip の順番の情報は PHENIX に作られたデータベース内で一元的に管理されている。そこで、このデータベースから並び替えの情報を取り出し、FPGA 用のプログラムファイルを生成するというを行っている。

この strip 順の並び替えが正しく行われないとトリガー生成の判断が正常に機能しなくなることからこの機能はトリガーシステムの要であるといえる。

5.5.4 読み出し用 Latency 値の調節

図 5.5 のように、MuTRG-ADTX から送られてきたヒットデータはまず LL1 に送られる。それと同時に送ったものと同じヒットデータはメモリーの中に書き込まれる。PHENIX DAQ システム（セクション 3.1）で説明したように、LL1 トリガーは LL1 内でヒットデータをもとに生成され、GL1 で Level-1 トリガーが生成される。この Level-1 トリガーが MTM、GTM を介して我々の読み出しシステムに入力される。以上のように MuTRG-MRG から LL1 にヒットデータが送られてから、Level-1 トリガーがまた MuTRG-MRG まで戻ってくるまでに数 μ sec というオーダーで時間がかかる。すなわち MuTRG-MRG は、少なくともその間 LL1 に送ったヒットデータを記憶しておき、Level-1 トリガーが来たときにそのヒットデータを読み出して DCM へ送らなければならない。MuTRG-MRG が LL1 にヒットデータを送ってから Level-1 トリガーを受け取るまでの時間を Latency と呼ぶ。この Latency は

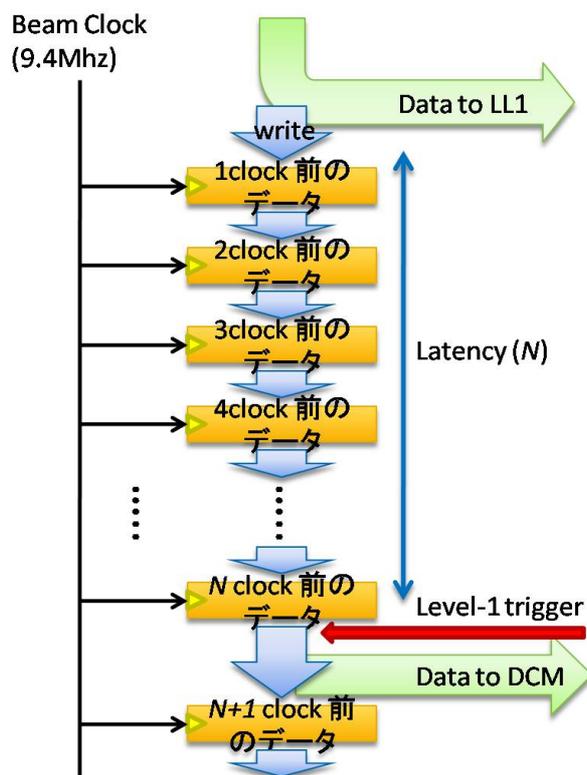


図 5.5: Latency の概念図。

ビームクロック (106nsec) 単位で数えられる。これに対して、MuTRG-MRG が Level-1 トリガーを受け取ったときにどれだけの時間さかのぼったデータを DCM に送るかを読み出し用 Latency 値と呼ぶことにする。この読み出し用 Latency 値もビームクロック (106nsec) 単位で数えられる。

Latency は、LL1 内での処理時間や設置した時の通信用ケーブルの長さなどにより決まる。長期的な視点では値が変わる可能性があるため、読み出し用 Latency 値は外部から設定できる必要があり、実際この値は VME を介して調節できるようになっている。

5.5.5 DCM への送信イベント数の調節

MuTr は時間分解能が 106nsec を超えた時間分解能が悪い検出器である。そのため、同一粒子によるヒットは station-1、station-2、station-3 で時間的にある程度ばらついている。LL1 では RPC による時間情報を用いることによって、このばらつきを考慮して LL1 トリガーを発行する。しかし MuTRG-MRG 内では依然としてこのヒットデータの時間はずれたままである。このヒット情報は DCM を介してストレージに記録されるのだが、ヒットがばらついているために、ある読み出し用 Latency 値のデータだけを送っていたのでは高運動量 μ 粒子が残すヒット情報の一部に記録漏れを起こす。そこで MuTRG-DCMIF は 1 回の Level-1 トリガーの受信に対して、最大 7 ビームクロックにまたがる複数の読み出し用

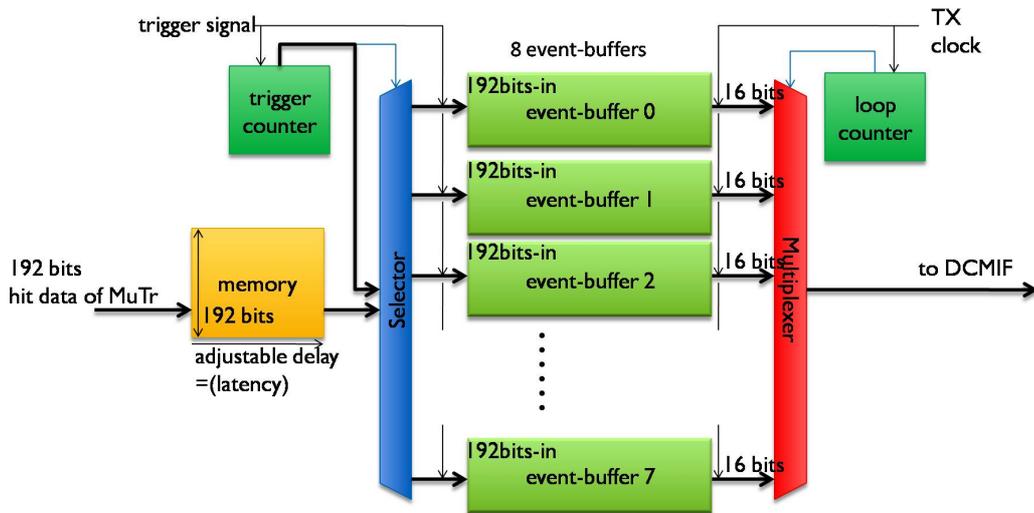


図 5.6: MuTRG-MRG の FPGA における MuTRG-DCMIF へのデータ送信用インターフェースのデザイン。

Latency 値のデータを同時に DCM へ送信できるようになっている。送信する幅はユーザーが VME を介して設定することができる。

5.5.6 MuTRG-MRG の MuTRG-DCMIF へのデータ送信用インターフェース

DCMIF へのデータ送信用インターフェースの FPGA デザインを図 5.6 に示す。左から LL1 へ送信される 192bit データはそのままメモリー内に書き込まれ、トリガー信号が来たときに読み出し用 Latency 値として設定した分の時間だけ前に書き込まれたデータが読み出される。そのデータは後方にある 8 つの event buffer と呼ばれる buffer に記録される。MuTRG-MRG は 1 つのトリガー信号に対して複数イベントのデータを送るため、その処理に送信イベント分のビームクロックが必要となる。このため event buffer が 1 つでは、いくつかのトリガー信号が集中して入ってきたときに、最初の 1 つ目のトリガー信号は処理できるが、2 つ目以降のトリガー信号は buffer が処理中であるために対応することができない。このようなことが起こらないように event buffer は 8 つ装備されている。PHENIX DAQ の最大の event buffer は 5 イベント分³ であるので、DCM の処理より十分処理速度が速い MuTRG-MRG、MuTRG-DCMIF では 8 つという数は十分な値である。

この event buffer に入ったデータはその後方で順番に読みだされる。このようにして MuTRG-MRG では複数のトリガー信号が連続して送られても耐えられる設計となっている。

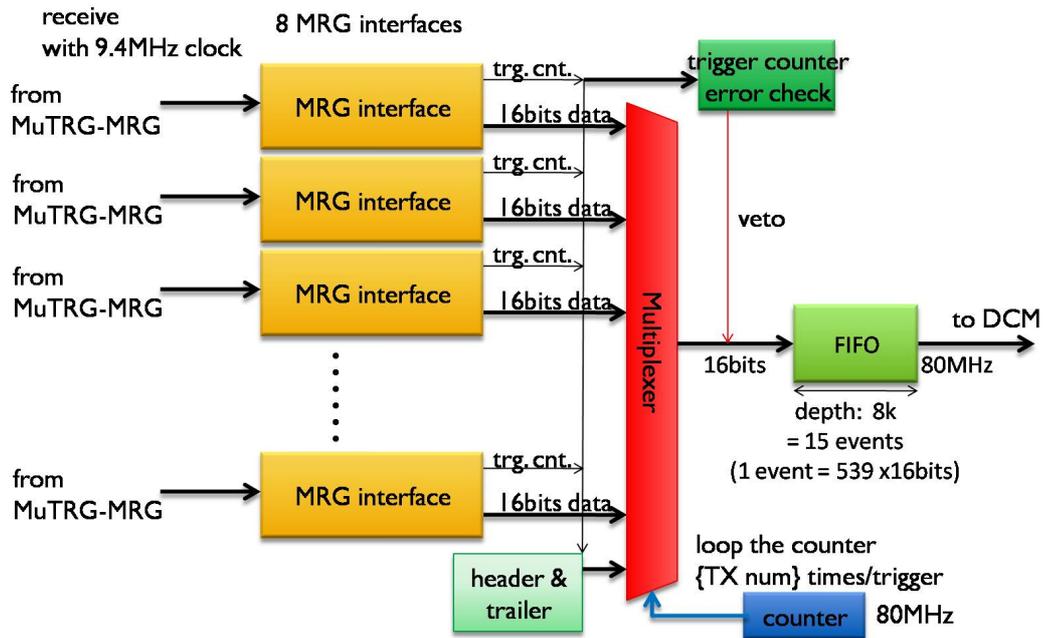


図 5.7: MuTRG-DCMIF の FPGA における DCM へのデータ送信用インターフェースのデザイン。

5.5.7 MuTRG-DCMIF の DCM へのデータ送信用インターフェース

DCM へのデータ送信用インターフェースの FPGA デザインを図 5.7 に示す。MuTRG-MRG から送られてくるデータは図中の MRG interface と呼ばれるメモリの中に次々に書き込まれる。それと同時に MRG interface 内では MuTRG-MRG から送られてくるパリティビットとデータのパリティとを比較してエラーがないことを確かめている。

MuTRG-MRG 内と同様にすべての MRG interface に 1 イベントでもデータがあれば、後方の multiplexer によって、同一トリガー信号による 8 台の MuTRG-MRG からのデータはまとめられる。このデータは DCM に 80MHz のクロックに同期して送信される。そのために MuTRG-DCMIF の内部処理と 80MHz との境界には FIFO がつけられている。内部処理に用いているクロック (FIFO の書き込み用クロック) は 80MHz (FIFO の読み出し用クロック) よりも速い $12 \times 9.4\text{MHz}$ であるので、複数のトリガー信号が連続してきたときには FIFO にデータが徐々にたまっていく。しかしながらこの FIFO は最大 15event 分のデータを格納する深さを持っており、先にも述べたように PHENIX DAQ の最大 event buffer が 5 イベント分であるので、これは十分な深さである。

³DCM 以降での処理のためにためておけるイベントの数である。この buffer がすべて埋まると処理が終わるまで GL1 は Level-1 トリガーを発行しない busy 信号状態となる。

5.5.8 MuTRG-ADTX の制御

MuTRG-ADTX の制御はデータ処理と同じ重要度を持つ。そもそも MuTRG-ADTX は Muon Arm Magnet 内の MuTr の検出器の読み出し部分に取り付けられる回路である。設置には MuTr アクセプタンス内に足場を組み立てるが、設置後は当然その足場が取り外され、以後物理的なアクセスは一部を除いて不可能になる。そのため外部からコントロール用の信号を送り、DAQ 中の MuTRG-ADTX のコントロールはもちろんのこと、設定の変更など細かな命令も行えるようにしなくてはならない。

MuTRG-MRG は TLK1501 の MuTRG-ADTX へ送信するラインを使ってこれらの制御を行っている。具体的に MuTRG-MRG が MuTRG-ADTX に対して行う制御は以下のものである。

- データ送信の命令
- MuTRG-ADTX の FPGA 内のレジスタのリセット
- MuTRG-ADTX の FPGA 内の Digital Clock Manager のリセット
- コンパレータ部分の LED 判定の閾値の設定
- FPGA および PROM のコンフィグレーションを含めた JTAG 通信
- MuTRG-ADTX のボード ID の読み出し
- テスト用の疑似ヒットデータの設定とその送信（デバッグ時のみ）

以上のように多様な制御を MuTRG-MRG は行っている。

5.5.9 エラー診断、エラー処理

MuTRG-MRG、MuTRG-DCMIF を使用するにあたってエラーの診断機能は大きな効果を発揮する。それはこのシステムから LL1 あるいは DCM にデータが送られないという事態になったときに、通常オシロスコープでデータの上流の方から確認していくことをしてエラー箇所を特定しなければならないのが、その診断結果から誤動作を起こしている部位や症状が容易に分かる。

MuTRG-MRG は診断結果をフロントパネルに取り付けられた 9 つの LED に常時表示する。ユーザーはこれを見ることで MuTRG-MRG の状態を把握することができる。図 5.8 に MuTRG-MRG の LED とそれぞれの診断内容を示す。

MuTRG-MRG 内で処理される MuTRG-ADTX は 10 ラインあるが、LED では数の制約上この 10 ラインのうちどの MuTRG-ADTX のライン中で起こったエラーなのかはわからない。そこで MuTRG-MRG は VME バスを介して詳細なエラー情報を読み取ることができるようにデザインされている。これによりどの MuTRG-ADTX のラインでエラーが起こったかや、さらにどの部分の FIFO がオーバーフローしたかなどの情報が分かるようになっている。

また VME バスでエラーを確認できることから、DAQ 用モニターにエラーを出力させることも可能となる。



LED #	case
LED 0	ADTX-MRG link error
LED 1	error propagation from ADTX
LED 2	clock counter inconsistency
LED 3	FIFO full error
LED 4	FIFO (ADTX interface) unexpected empty
LED 5	FIFO (DCMIF interface) unexpected empty
LED 6	no process running
LED 7	Digital Clock Manager unlock
LOCK	MRG-DCMIF link error

図 5.8: MuTRG-MRG の LED とそれぞれが示す症状。表が示す症状が発生すると LED が消灯するようになっている。

5.5.10 MuTRG-MRG のデバッグ用 FPGA デザイン

MuTRG-MRG にはデバッグのために、従来用いる FPGA デザインとは別にいくつかのデザインを作成している。以下では主に用いた 2 つのデバッグ用 FPGA デザインについて説明する。

TOM デザイン

このデザインは従来のデザインと同様に MuTRG-ADTX からのデータのデコードを行うのである。しかし、そこに 1of3、2of3 などのロジックの処理やヒットデータの並び替えの処理を施すことはない。そのため、MuTRG-ADTX からのデータを直接読み出すことがで

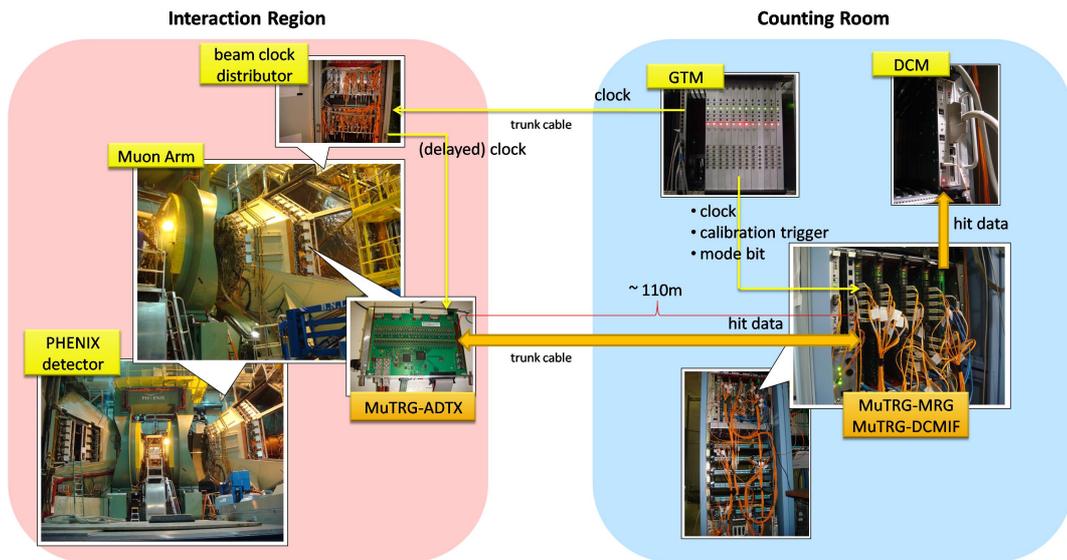


図 5.9: PHENIX DAQ システムへの設置図。Interaction Region と Counting Room で遠く離れているため trunk cable によりつなぐ必要がある。

きる。このデザインではデータ収集を PHENIX の DAQ システムを使ってではなく、VME を使って行うようになっている。このデザインは本来の MuTRG-MRG のデザインと同じように、トリガー信号が来た時間から任意のビームクロック分さかのぼった時間のデータを読み出すことができる。

LL1 へのデータのデコード用デザイン

LL1 ボードは我々の回路の開発と平行して、米国アイオワ州立大学が開発している回路であり、MuTRG-MRG と LL1 との通信試験は簡単にはできない。そこで MuTRG-MRG の FPGA のデザインを LL1 へのデータを受けられるデザインにすることで、開発中の MuTRG-MRG が送る LL1 へのデータ信号のチェックを行っていた。このデザインには、VME バス越しに受信すべきパターンを記録しておき、実際に受信したパターンと比較する機能が備わっている。受信したパターンが正しくなかった場合や、デコードできないフォーマットのパターンが送られてきたときにエラーを出力するようになっており、VME バス越しからそのエラー回数を測定することができる。

5.6 PHENIX DAQ システムへの設置

テスト用の MuTRG-MRG、MuTRG-DCMIF は実際に PHENIX DAQ に組み込まれて、その性能試験が行われた。そのセットアップの図を図 5.9 に示す。

このように Interaction Region (IR: ビームの衝突が起こる検出器が設置されている場所) と、Counting Room (データ収集を行う GTM、DCM が設置されている部屋) が離れている。

MuTRG-ADTX は MuTr の傍に設置されるので IR の中となり、MuTRG-MRG、MuTRG-DCMIF は Counting Room に設置されるので、MuTRG-ADTX と MuTRG-MRG との間は約 130m の光ケーブルでつなぐ必要がある。

また MuTRG-ADTX のビームクロックは GTM から出力される 1 本の信号を、IR に設置した信号分配装置により分けて Muon Arm に設置された全 MuTRG-ADTX に供給されている。またこの装置は出力信号に 0.25nsec 刻み、最大 64nsec までの遅延を加えることができる。この機能は後述する遅延の調整で用いられる。

MuTRG-MRG、MuTRG-DCMIF は GTM、DCM とつなぐことによって、本番の PHENIX DAQ システムに完全に従ってデータを取っている。

5.7 MuTRG-MRG、MuTRG-DCMIF の確認点

ここではトリガーシステムとして MuTRG-MRG、MuTRG-DCMIF について評価しておかなければいけない点について説明する。

5.7.1 MuTRG-MRG、MuTRG-DCMIF のロジック機能の確認

前章で紹介したように MuTRG-MRG、MuTRG-DCMIF にはトリガーシステムとして様々な機能が必要であり、実際にこれらは実装されている。特にヒット信号の生成を論理演算で判定する部分は、後の検出効率の測定や誤ヒットレートの測定を行うにあたってあらかじめチェックしておかなければならない機能である。

5.7.2 MuTRG-ADTX のヒット信号の検出効率

トリガーシステムにおいて MuTRG-MRG、MuTRG-DCMIF のヒット信号に対する検出効率は、高運動量 μ 粒子のトラックに対しての LL1 トリガー信号の発行効率につながる。ただし MuTRG-MRG、MuTRG-DCMIF はデジタル回路であるので原理的にはヒット信号の検出効率は 100% となるはずである。そこでキャリブレーションパルスを用いて MuTr のカソードストリップに信号を作り、そのヒットを PHENIX DAQ システムを用いてデータ収集することにより検出効率が 100% であることを確認した。

5.7.3 MuTRG-ADTX へのリセット信号の出力タイミング、およびトリガー信号の処理タイミングの調整

MuTRG-MRG は MuTRG-ADTX と 60MHz クロックによる非同期通信を行っている。すなわち MuTRG-MRG の FPGA から TLK1501 へ出力されるリセット信号の立ち上がり、立ち下がりにはビームクロックに同期して起こるのに対して、TLK1501 での送信は 60MHz のクロックの立ち上がりに同期して行われる。そのため出力されたりセット信号の立ち上がり、立ち下がりの時間に対して MuTRG-ADTX 上のリセット信号の立ち上がり、立ち下がり時間には 60MHz の周期 (~ 17 nsec) の不定性が生じる。これは図 5.10.a) によって確認できる。このオシロスコープの波形は MuTRG-ADTX の TLK1501 と MuTRG-MRG の

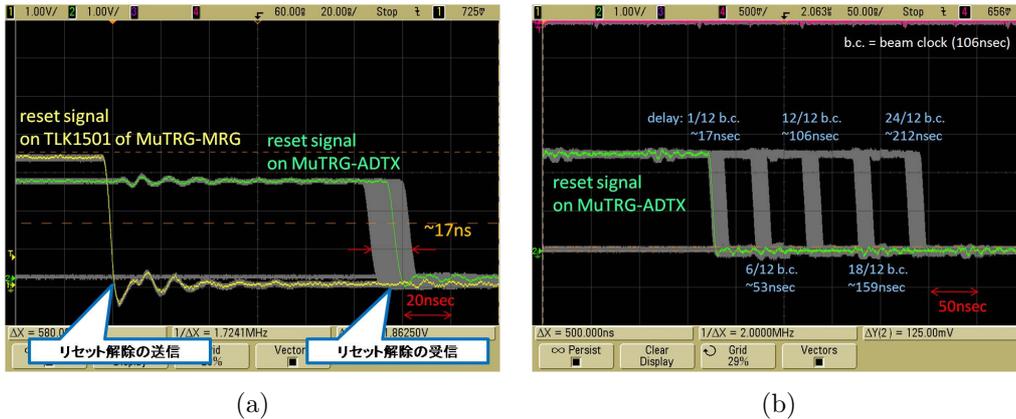


図 5.10: (a)MuTRG-MRG の送ったりセット信号 (黄色:トリガー) に対する MuTRG-ADTX 上で受けた信号 (緑)。これはパーシステントモードで取ったものであり、信号の到達時間に非同期通信によって生じた 60MHz 周期 ($\sim 17\text{nsec}$) の不確実性が生じているのがわかる。(b)MuTRG-ADTX へのリセット信号に対して delay をかけている様子。オシロスコープのトリガーは GTM から MuTRG-MRG に送信されているリセット信号で、MuTRG-MRG はこの信号に遅延を加えて MuTRG-ADTX にリセット信号を送信している。緑色の波形が実際に MuTRG-ADTX に届いたりセット信号である。波形はパーシステントモードで取っており、残された影は左から 1/12 ビームクロック、6/12 ビームクロック、12/12 ビームクロック、18/12 ビームクロック、24/12 ビームクロックのディレイをかけた時のものである。

TLK1501 とを 1.5m の光ケーブルでつないだ状態で MuTRG-MRG からリセット解除の命令を送り、それぞれの TLK1501 の入力 (MuTRG-MRG 側) と出力 (MuTRG-ADTX 側) にプローブをあててみたものである。(ケーブルの長さから、MuTRG-MRG から送った信号が MuTRG-ADTX に届くまでにかかっている時間のほとんどは TLK1501 のシリアル化、デシリアル化で起こっているものである。) たしかに 17nsec 程度の jitter が確認できる。ビームクロックの立ち上がりの時間に対して、次の 60MHz の立ち上がりがおこるまでの時間は確率的に $0 \sim 17\text{nsec}$ の間で一様に分布しているはずである。すなわち MuTRG-ADTX の TLK1501 でのリセット信号の立ち上がり、立ち下がりのタイミングも同じように一様分布しているはずである。

そのため MuTRG-ADTX 上でのビームクロックの立ち上がりのタイミングがちょうどこの分布の中にあると、リセット信号を送るたびに MuTRG-ADTX 上でリセット信号を認識するビームクロックの立ち上がりの位置が前後してしまう。すなわちリセット信号を送信するたびに MuTRG-ADTX が一番最初のデータを処理するビームクロックの立ち上がりの位置が変わってしまい、セクション 5.4 で説明したように、そのデータに付加されるビームクロックカウンターの値が変わってしまう。データはそのビームクロックカウンターの値によりどのバンチの衝突により生じたものが決定されるので、このカウンターの値の変化によりどのバンチから生じたデータであるかという分解が悪くなってしまふ。

またセクション 5.5.1 で説明したように、MuTRG-MRG 上の処理用ビームクロックの立

立ち上がりのタイミングは、リセット信号解除直後に送られる複数の MuTRG-ADTX からの一番最初のデータのうちで最も遅くに到着したデータの到着タイミングに揃うように決められる。しかし MuTRG-ADTX からのデータについても非同期通信のため約 17nsec 程度の一様分布を持って MuTRG-MRG に入力される。そのため MuTRG-MRG 上の処理用ビームクロックの立ち上がりにもリセット毎にばらつきが生じる。

この処理用ビームクロックの分布の中に Level-1 トリガー信号の立ち上がりのタイミングが来てしまうと、Latency は変わらないので、リセットを行う度に DCM に送るデータの時間位置が変わってしまう。

以上の懸念は MuTRG-ADTX 上のビームクロックに遅延を加えて回避することができる。実際 MuTRG-ADTX へのビームクロックば分配器に遅延を加える機能がついている。しかしながらこの遅延は、station 毎に最大 28nsec 程度ずれると予想される粒子の通過時間を調節し、MuTRG-ADTX 上のコンパレータ部分からの出力の時間分布 (図 4.5(b) 参照) でもっとも確率の大きい領域を覆うために調節するための遅延である。

そこでこれらの問題を、MuTRG-MRG に

- MuTRG-ADTX へ送信するリセット信号に遅延を加える
- MuTRG-MRG 内で処理する Level-1 トリガー信号に遅延を加える

という 2 つの機能を加えることで解決した。これ他の遅延はともに 1/12 ビームクロック (約 9nsec) 刻みで調節することができ、最大 2 ビームクロック分 (212nsec) まで加えることができる。

これについては第 7 章で詳しく説明する。

第6章 MuTRG-MRG、 MuTRG-DCMIF の性能評価

前章で説明したように、開発した MuTRG-MRG 及び MuTRG-DCMIF を実際に PHENIX の DAQ システムに組み込んだ。これによって MuTRG-MRG、MuTRG-DCMIF で処理されたデータを PHENIX の DAQ により取り、解析することが可能となる。

6.1 MuTRG-MRG、MuTRG-DCMIF の諸機能の確認

6.1.1 ヒット論理の変更機能

測定方法

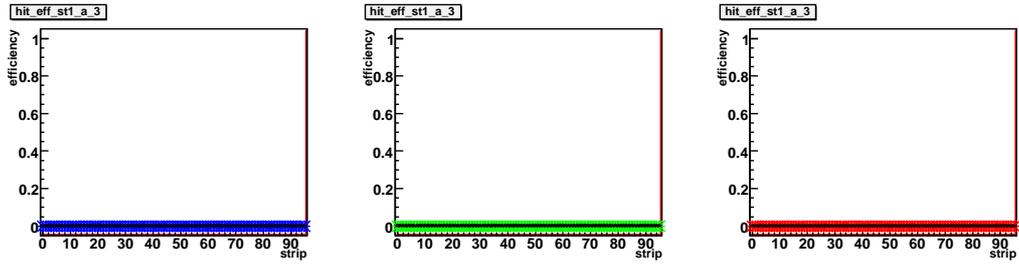
ロジック機能の確認は以下のように行った。3gap 分のヒットデータをとることができる station-1 において、キャリブレーションパルスを入れる gap の数と MuTRG-MRG 内のロジックを同時に変えながら測定し、各ストリップにヒットが生じるか見た。データ収集は PHENIX DAQ を用い、トリガーとして GTM からの疑似トリガー信号 (セクション 3.2 参照) を用いた。

例えば gap1 だけにキャリブレーションパルスを入れると、MuTRG-MRG 内でのヒットは 3plane のうちの 1plane でしか起こらないはずである。そのため正しくロジックが働いていれば 1of3 の条件では MuTRG-MRG 内でヒットが生成されるが、2of3、3of3 ではヒットは生成されないということが確認できるはずである。ここでの MuTRG-ADTX のヒットの閾値は 100mV であり、セットしているキャリブレーションパルスの波高 (DAC の値で 0x20 に設定) からヒットを得るのに十分低い値である。

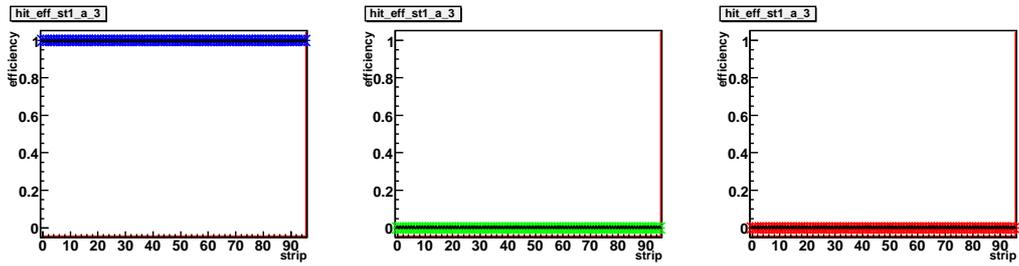
測定結果

まず gap1 のみにキャリブレーションパルスを入れた時、ヒットは GTM からの疑似トリガー信号に対して、読み出し用 Latency= 39 の時間に確認された。そこでこの読み出し用 Latency で検出されるヒットの検出効率をいろいろな場合について測定した。

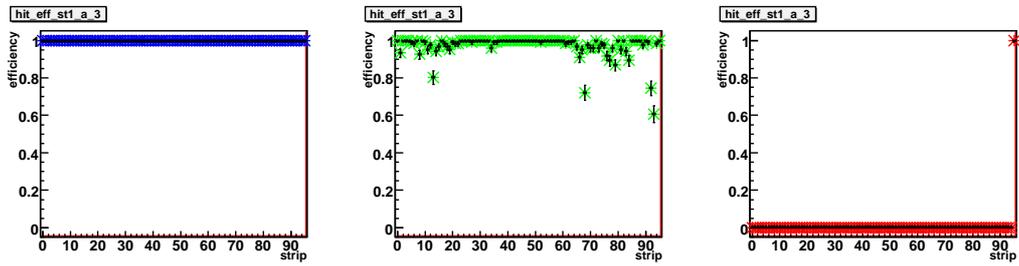
図 6.1 がその測定結果である。各 (a) ~ (d) のプロットに対して、この 3 つのプロットは MuTr のどの gap にもキャリブレーションパルスを入力せずに測定したものであり、左から 1of3、2of3、3of3 でのロジックでヒットデータを取ったものである。それぞれ横軸が MuTr station-1 の strip 番号 (全 96strip) 縦軸がヒット信号の検出回数をキャリブレーションパルスの入力回数で割った検出効率である。



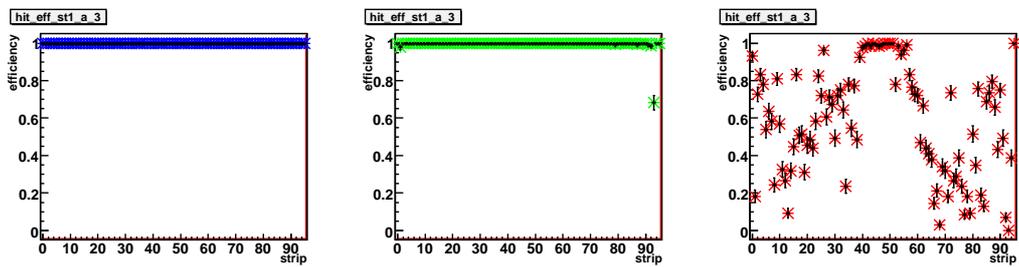
(a) キャリブレーションパルス無し



(b) gap1 にキャリブレーションパルスを入力 (1gap)



(c) gap1,3 にキャリブレーションパルスを入力 (2gap)



(d) gap1,2,3 にキャリブレーションパルスを入力 (3gap)

図 6.1: 読み出し用 Latency= 39 におけるキャリブレーションパルスに対するヒット検出の割合。

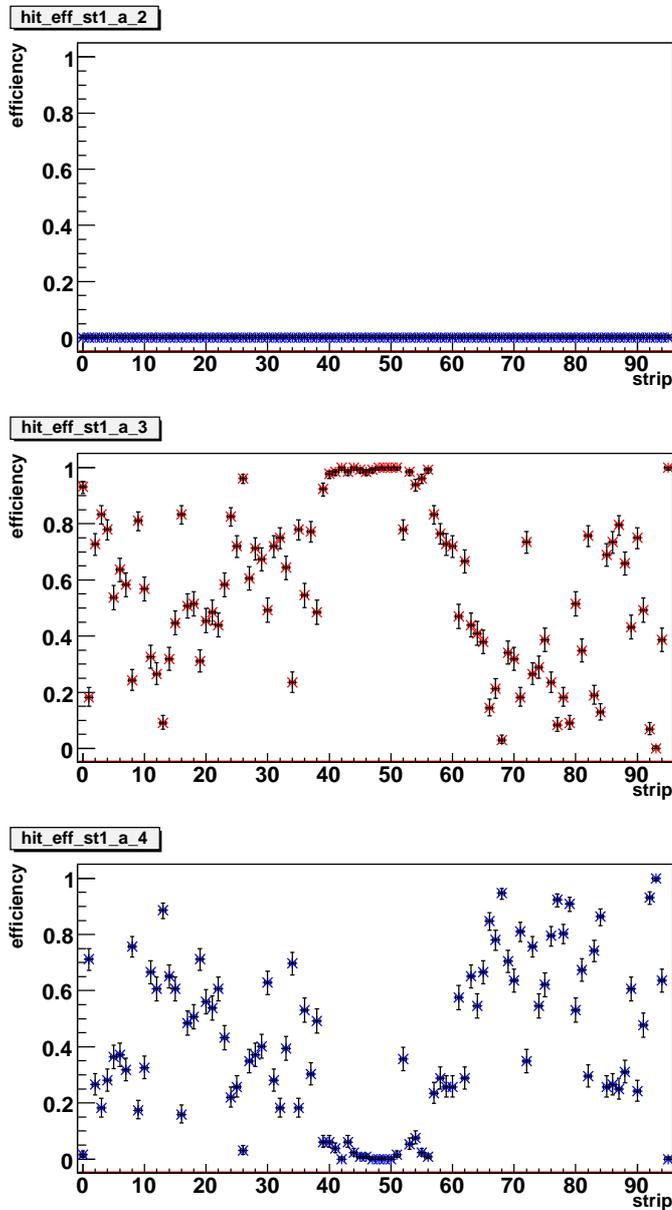


図 6.2: 上から順に読み出し用 Latency= 40 の 1of3 で取った時の検出効率、読み出し用 Latency= 39 の 3of3 で取った時の検出効率、読み出し用 Latency= 38 の 1of3 で取った時の検出効率である。3of3 で取った検出効率（真中）が 1 に満たない大きさと、次のビームクロックでのヒット信号の検出効率がよく似ている。

問題点

まず (a) の図について、図に示すとおりこの結果はすべてのロジックにおいて strip の検出効率は 0 であり、想定通りである。

次に (b) は gap1 のみにキャリブレーションパルスを入力したときである。(a) と同様に左から 1of3、2of3、3of3 のプロットである。1of3 だけが検出効率 1 であり、他のロジックは 0 である。これも問題ない。

(c) は gap1,3 にキャリブレーションパルスを同時に入力したものである。このとき 1of3 (左) と 2of3 (真中) は検出効率が有限値をもって正しいのだが、1of3 では全 strip で検出効率が 1 であり、2of3 では検出効率の悪い strip が大量に存在する。2of3 では strip10 ~ 20 周辺と strip60 ~ 80 周辺に悪い strip が集中している。

もう一つ 3of3 (右) では何もヒットがあってはいけないのに一番端の 96strip 目に検出効率 1 の不可解なヒットがある。

最後に (d) を見る。これは gap1,2,3 すべてにキャリブレーションパルスを同時に入れた時のヒット効率である。これも一応 1of3 (左)、2of3 (真中)、3of3 (右) で有限の検出効率を持っているという点では正しい。しかし 2of3 において検出効率の悪い strip が存在し、さらに 3of3 では中央の strip を除いて検出効率が非常に悪い。

以上の問題点についてまとめると、

- (A) 2gap での 2of3、あるいは 3gap での 3of3 で検出効率が悪くなる。
- (B) その悪化の仕方に strip 依存性が見られる
- (C) 図 6.1(c) の 3of3 のプロットで見えた、検出効率が 1 の点

となる。結論から述べると以下の考察から、これらの問題が MuTRG-MRG、MuTRG-DCMIF により引き起こされものでないことがわかる。

考察

(A) について

まず 2gap での 2of3、あるいは 3gap での 3of3 で検出効率が悪くなる現象について考察する。図 6.2 は上から順に読み出し用 Latency= 40 の 1of3 で取った時の検出効率、読み出し用 Latency= 39 の 3of3 で取った時の検出効率、読み出し用 Latency= 38 の 1of3 で取った時の検出効率である。いずれも gap1,2,3 の 3gap すべてにキャリブレーションパルスを入力したときである。(真ん中のプロットは図 6.1(d) の右側のプロットに等しい。) この 1of3 の検出効率を見ることで、読み出し用 Latency= 39 から前後にずれたビームクロックに入った MuTr からのヒット信号の量を、1of3(OR) を取っているため正確ではないが知ることができる。

この図 6.2 を見ると読み出し用 Latency= 39 の 1 つ手前のビームクロック (読み出し用 Latency= 40) にはヒット信号が入っていないが、読み出し用 Latency= 39 の 1 つ後のビームクロック (読み出し用 Latency= 38) にはヒット信号が入っているのがわかる。それもその量が、読み出し用 Latency= 39 の 3of3 での検出効率を 1 から引いたものと外形がそっくり

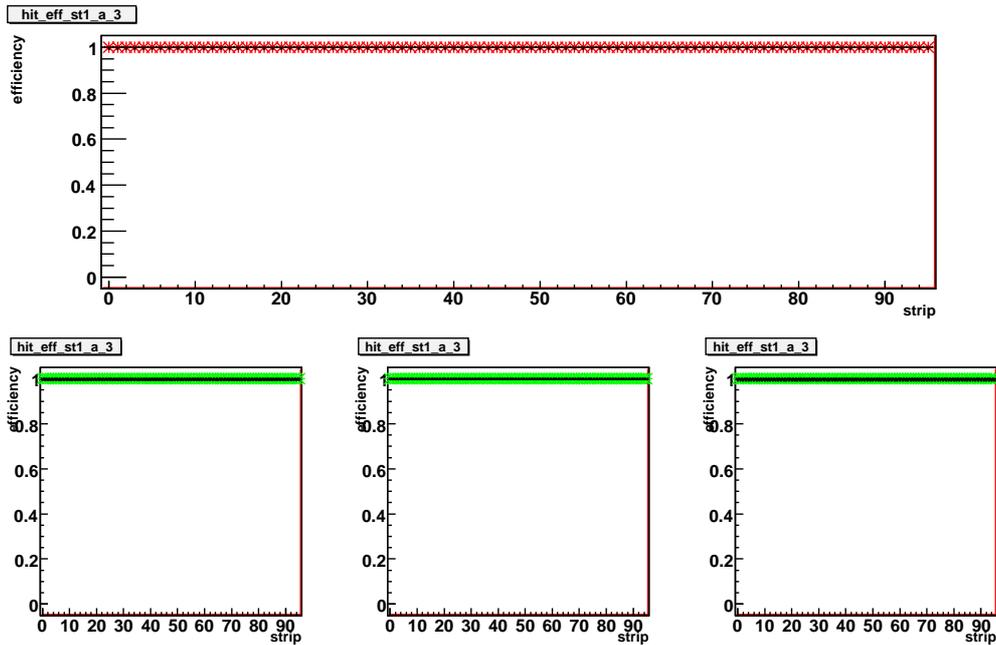


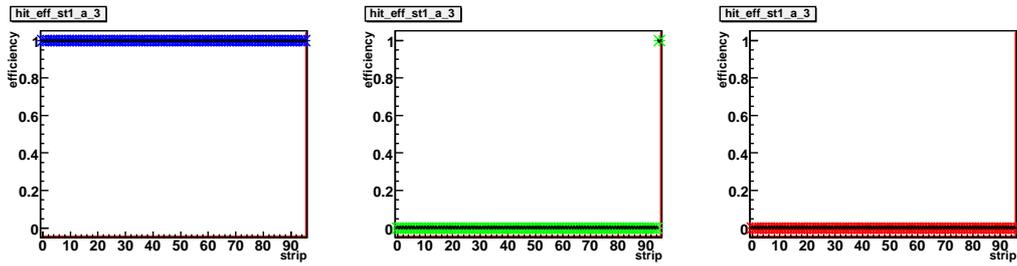
図 6.3: ビームクロックに 32nsec の遅延を加えた後とったデータ。上の赤色の点のプロットが 3gap すべてにキャリブレーションパルスを入力して 3of3 でデータを取ったもの、下の段の緑色の点のプロット 3 つは左から gap1,2 にキャリブレーションパルスを入力して 2of3 でデータを取ったもの、

である。そこで読み出し用 Latency= 39 において検出効率が 1 でないのは、3gap でのキャリブレーションパルスのヒットの時間分布が 1 ビームクロックに収まっていないためではないかと考えた。すなわち読み出し用 Latency= 39 で見られなかったヒット信号が次のビームクロックに入ってしまい、読み出し用 Latency= 39 での検出効率が悪くなったということである。

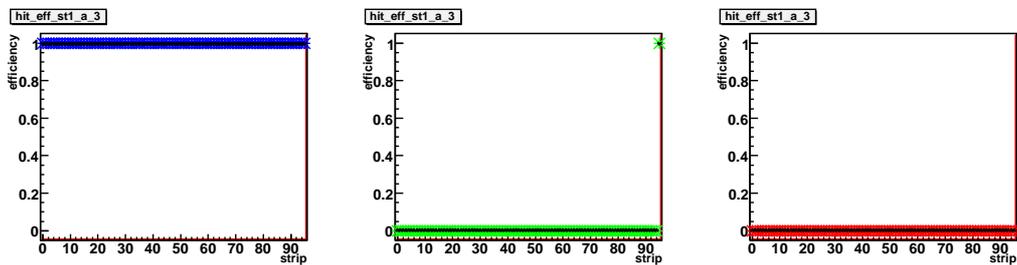
これを実証するために適当に MuTRG-ADTX へ入力しているビームクロックに遅延を加えていき、3gap 上のキャリブレーションパルスの時間の広がりか 1 ビームクロックに収まるところがあるかどうかをスキャンした。32nsec の遅延を加えた時に得られた検出効率が図 6.3 である。上の赤色の点のプロットが 3gap すべてにキャリブレーションパルスを入力して 3of3 でデータを取ったもの、下の段の緑色の点のプロット 3 つは左から gap1,2 にキャリブレーションパルスを入力して 2of3 でデータを取ったもの、gap2,3 にキャリブレーションパルスを入力して 2of3 でデータを取ったもの、gap3,1 にキャリブレーションパルスを入力して 2of3 でデータを取ったものである。見事に検出効率が 1 となる。

(B) について

検出効率に strip 依存性が生じたのは、ヒットの時間分布に strip 依存性があるためと思われる。図 2.12 でわかるように octant 内で strip の長さは端と中央の strip が短く、その間



(a) gap2 のみ



(b) gap3 のみ

図 6.4: 読み出し用 Latency=39 における、(a) キャリブレーションパルスを gap2 にだけ入れた時の 1of3 (左)、2of3 (真中)、3of3 (右) と、(b) キャリブレーションパルスを gap3 にだけ入れた時の 1of3 (左)、2of3 (真中)、3of3 (右)。クロックに 32nses の遅延を加える前の測定。(a)、(b) とともに 2of3 の strip95 に検出効率が 1 の点が存在する。

は長くなっている。ヒットが次のビームクロックにずれているストリップは比較的 strip の長い部分である。

strip の長さでアノードワイヤーとの間 n 容量が異なる。そのため strip の信号線上の時定数は strip の長さによって異なる。時間のずれの大きさが strip の長さに依存しているのはそのためであると考えられる。

(C) について

次に図 6.1(c) の 3of3 のプロットで見えた、検出効率が 1 の点について考える。図 6.4.(b) は読み出し用 Latency=39 における、キャリブレーションパルスを gap3 にだけ入れた時の 1of3、2of3、3of3 である。これを見ると分かるように gap3 だけにしかキャリブレーションパルスを入れていないにもかかわらず 2of3 にも、図 6.1(c) と同じ strip にヒットが見られる。その 2 つの図から、gap3 に入ったキャリブレーションパルスにより gap2 の strip95 にヒットが誘起され、これによって 3of3 あるいは 2of3 でこのヒットが作られたと考えられる。そのため gap1,3 にキャリブレーションパルスを入れた時も strip-95 は 3of3 の条件を満たし

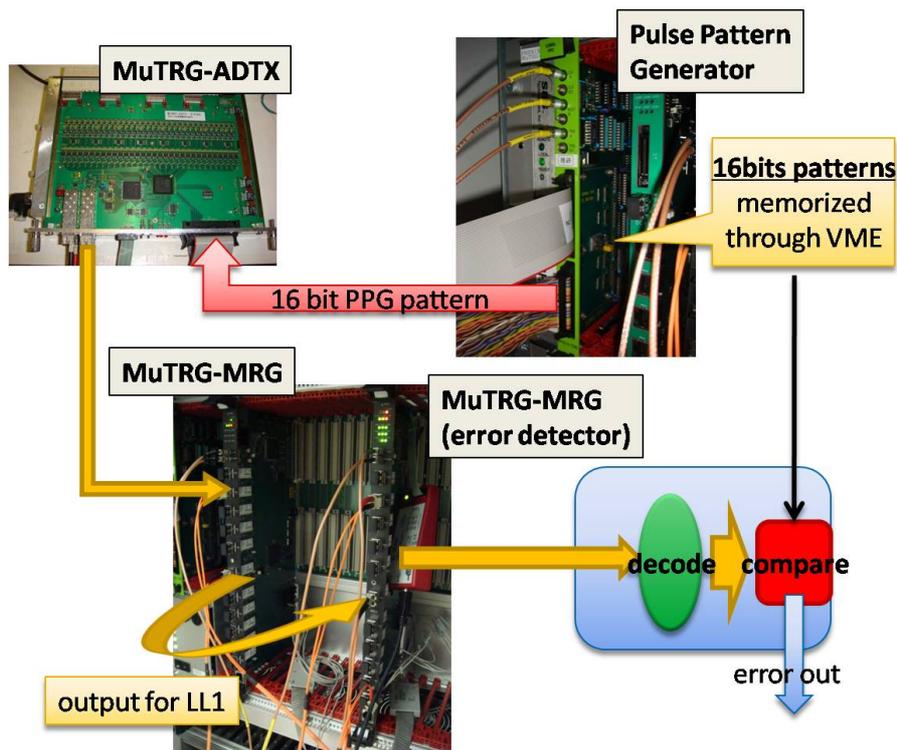


図 6.5: cross talk 及び ringing の影響を試験したときのセットアップ。Pulse Pattern Generator から送信したパターンが正しくデバック用の MuTRG-MRG で受け取れるかを確認した。

てしまい、また gap3 だけにキャリブレーションパルスを入れた時も strip-95 は 2of3 の条件を満たしてしまつたと説明できる。同様のヒットが図 6.4.(a) の 3of2 にも見えているのが分かる。

ここで図 6.4 の 1of3 の図に注目すると、この測定結果はクロックに 32nsec の遅延を加える前であるにもかかわらず、(a)、(b) とともに検出効率が 1 となっている。すなわちこの状態では、3gap あるいは 2gap にキャリブレーションパルスを出せば、3of3 あるいは 2of3 で検出効率 1 の結果が得られるはずである。しかし、これまで議論してきたようにそうはなっていない。これはキャリブレーションパルスを出すモジュールが複数の gap にキャリブレーションパルスを出すとき、1gap だけ出すときとはわずかに異なるタイミングでそれぞれの gap のキャリブレーションパルスを出しているためと考えられる。

以上により、MuTRG-MRG 内のヒット生成のロジックは正しく働いていると考えられる。

6.1.2 cross talk、及び ringing の影響の確認

次に cross talk、及び ringing の影響を確認した。ここで cross talk とは基板やケーブル上で矩形波信号などの急激な立ち上がり、立ち下がりが、近くの隣り合う信号線に影響し信号を誘起してしまうことである。この誘起信号が閾値を超えてしまうと、実際には信号が

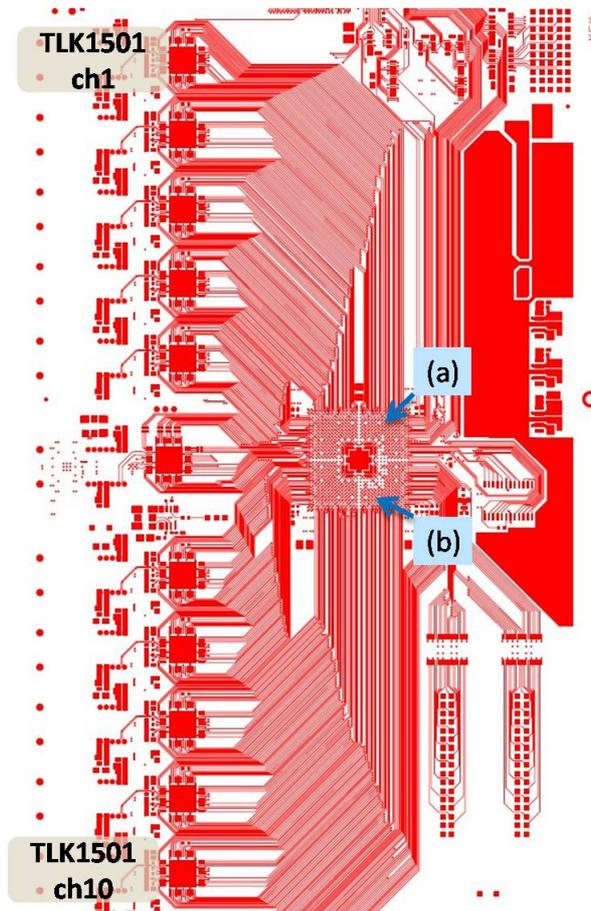
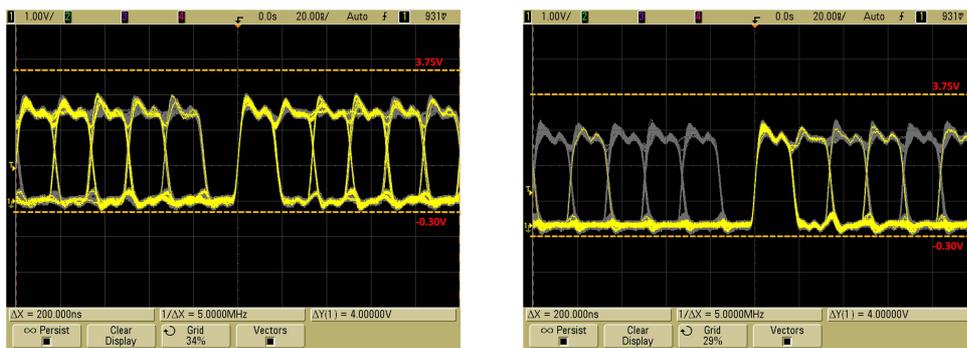


図 6.6: ringing を測定したプローブの位置と TLK1501 の位置。ch1 と ch10 が最も遠い。



(a) ch1 の TLK1501 から FPGA への信号

(b) ch10 の TLK1501 から FPGA への信号

図 6.7: ringing の測定結果。

入っていないチャンネルにデジタル信号が見えてしまう。また ringing とは矩形波などの急激な立ち上がり、立ち下がりが信号線を通過する時に生じる波打った波形のことである。こ

の効果がひどいと、この波によって立ち上がった直後にデジタル信号の閾値を再度下回ったり、立ち下がった直後にデジタル信号の閾値を再度上回ったりする。ringing はおもに信号線上のインダクタンスの不足によって生じる。とくに MuTRG-MRG では MuTRG-ADTX と 60MHz の速い通信を行っているにも関わらず、TLK1501 を 10 個並べているために、空間的な制約から信号線上にインピーダンス調節用の抵抗を設置できなかった。(TLK3101 の 140MHz の信号線には、非常に速い通信なのでここだけは抵抗を設置してある。) そこでこの信号線上における ringing の効果が懸念される。

まず cross talk、ringing がヒットデータに及ぼす影響を見るために、図 6.5 のようなセットアップで確認試験を行った。まず Pulse Pattern Generator(PPG) を用いて VME バス越しに設定した 16bit のデジタルパターンを MuTRG-ADTX に入力した。MuTRG-ADTX はこのパターンを MuTRG-MRG と通信できるフォーマットに直して MuTRG-MRG に送信する。MuTRG-MRG は受け取った 16bit パターンを繰り返すことによって 192bit パターンに直し、LL1 のラインに送っている。その送信されたデータを、FPGA に LL1 へのデータのデコード用デザインを入れた MuTRG-MRG に入力してデコードを行った。このデコードされたデータが PPG によって送信された 16bit から作られたものであるかを判断して、違う場合はエラーを出力させた。

PPG から送信したデータは 0x5555 と 0xaaaa (ともにビット配列になおすと 0101...0101、1010...1010) という 0 と 1 が交互に並んだパターンである。この 2 つのパターンの間に 0x0000 を入れて繰り返し送信した (すなわち 0x5555、0x0000、0xaaaa、0x0000 の繰り返し)。このときどのチャンネルも 0 と 1 が周期的に繰り返されるパターンとなっており、また立ち上がり、立ち下がりの隣のチャンネルは常に 0 となっている。以上によりいずれかのチャンネルで crass talk、あるいは ringing によってまわりにヒット信号が誘起されたとすると、デバッグ用の MuTRG-MRG でエラーが出力されるはずである。

この測定によって cross talk、ringing によるヒットデータへの影響を確認したが、これは観測されなかった。

次に ringing による波形のふらつきがチップの許容電圧を超えていないかを確認した。この効果が最もきになるのは TLK1501 から FPGA までの信号ラインである。FPGA(XC3S4000) のデータシート [26] を参照すると、FPGA の入力電圧の推奨レベルは -0.3V ~ 3.75V となっている。ringing による影響として、波形が立ち上がり、立ち下がり時に大きいシューティングが起こって、瞬間的に FPGA の許容できない信号レベルが入力される恐れがある。このとき FPGA の正常な動作は保証できなくなる。

特に最も懸念されるのが配線長の最も長い ch1 の TLK1501 からの信号線と ch10 の TLK1501 からの信号線の信号である。そこで図 6.6 の位置において、オシロスコープのプローブを MuTRG-MRG の基板の裏面にある FPGA からのスルーホールにプローブをあてて TLK1501 から FPGA に送られてくる信号の波形を測定した。その (a)、(b) での波形を示したのが図 6.7 である。

この図では FPGA の推奨電圧である 3.75V と -0.3V の線も加えて描いた。これらの図からわかるように FPGA へのデータ信号は許容電圧に収まっているのがわかる。

この逆のライン、すなわち FPGA から TLK1501 への信号については、制御用の遅い信号だけが送られているため ringing の影響は気にならない。

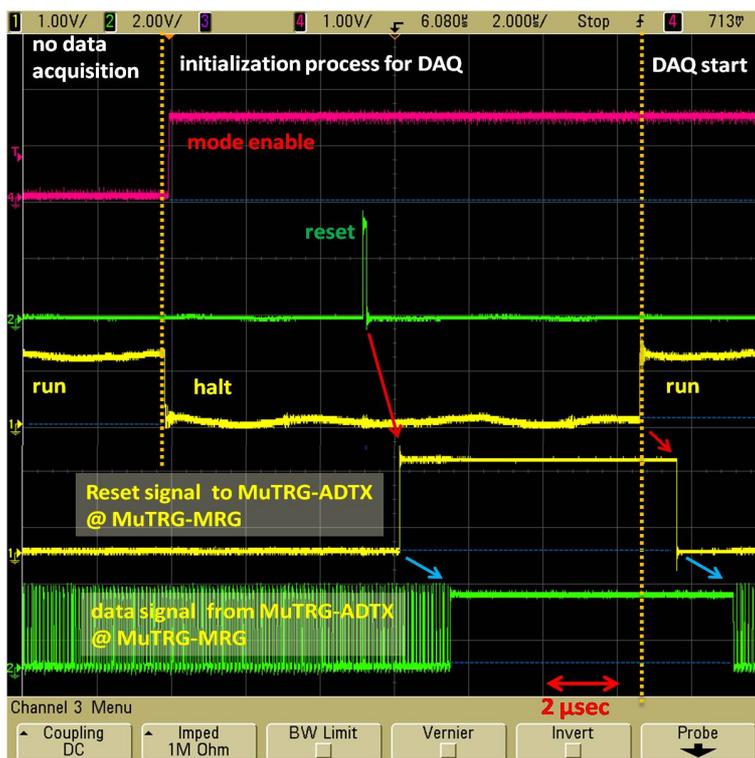


図 6.8: GTM からの制御信号に対する MuTRG-MRG のリセット信号の応答と、MuTRG-MRG からの制御信号に対する MuTRG-ADTX のデータ信号の応答。

6.1.3 MuTRG-ADTX への制御機能

次に MuTRG-ADTX へのコントロール機能について述べる。MuTRG-MRG は MuTRG-ADTX の制御において、数多くの役割を担っており、そのすべてが正しく機能していることを確認した。以下では、特に PHENIX のデータ収集に必要な機能についてその確認の詳細を説明する。

DAQ 開始時の制御

DAQ 開始時において、MuTRG-MRG は GTM から受け取った制御信号を元に MuTRG-ADTX に制御信号を送らなければならない。DAQ 開始時の GTM からの制御信号はセクション 3.2 で説明したようなものである。

MuTRG-MRG がこれらの信号に対して、正しく MuTRG-ADTX に制御信号を送信できているかということと、MuTRG-ADTX がその制御信号に対して正しく応答しているかオシロスコープを確かめた。

図 6.8 が確かめた波形である。分かりやすいように図 3.2 と同じものを付け加えた。下から 2 段目の信号が MuTRG-MRG が送る MuTRG-ADTX へのリセット信号である。これは MuTRG-MRG 上の TLK1501 の入力ピン上での信号の波形である。それに対して一番下の

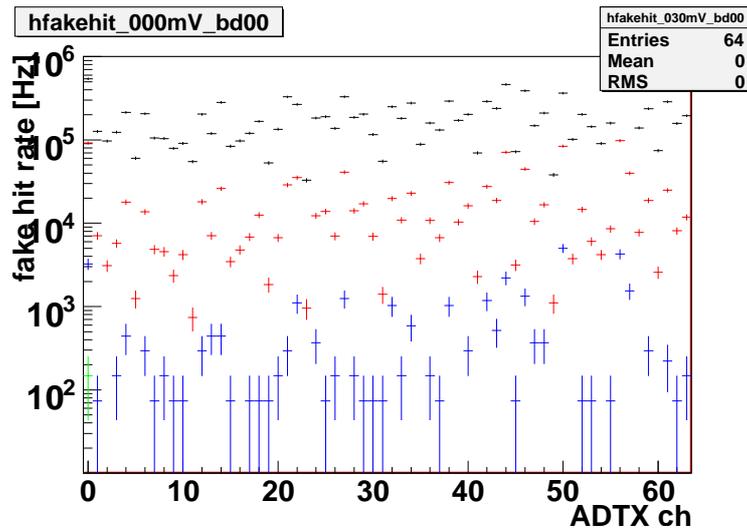


図 6.9: MuTRG-MRG から閾値を変えて測定した MuTRG-ADTX からの fake hit の頻度。黒色のプロットが閾値 0mV、赤色のプロットが閾値 10mV、青色のプロットが閾値 20mV、0 チャンネルにだけ見える緑色のプロットが閾値 30mV である。

波形は MuTRG-MRG 上での MuTRG-ADTX からのデータ信号である。これは MuTRG-MRG 上の TLK1501 の出力ピン上での信号の波形である。このデータ信号で激しく遷移を繰り返している領域が MuTRG-ADTX からデータが送られてきている部分であり、一方ずっと High の状態を示している領域が MuTRG-ADTX からの信号が送られてきていない部分である。

まず MuTRG-MRG から MuTRG-ADTX へのリセット信号を見ると、GTM からのリセット信号の立ち上がりに同期して MuTRG-ADTX へのリセット信号が立ち上がっており、また run 信号の立ち上がりに同期してリセット信号が立ち下がっている（図中、赤い矢印）。GTM からのリセット信号が立ち上がってから MuTRG-ADTX へのリセット信号が立ちあがるまでの遅延、あるいは run 信号が立ち上がってから MuTRG-ADTX へのリセット信号が立ち下がるまでの遅延は、それらのほとんどが GTM からの制御信号が MuTRG-DCMIF のシリアライズ用チップを通して、MuTRG-MRG のデシリアライズ用チップでデコードされるのにかかる時間によるものである。（すなわち $1 \mu \text{ sec}$ 弱の遅延が MuTRG-MRG と MuTRG-DCMIF の間の通信で生ずる。）

次に MuTRG-ADTX からのデータ信号を見ると、このリセット信号に反応して正しくデータ送信の中止と開始を行っている（図中、青色矢印）。リセット信号からデータ信号への変化までの遅延は、主に MuTRG-ADTX と MuTRG-MRG 間の通信によるものである。まず図 6.8 で説明したように TLK1501 の通信で約 120 nsec 遅延が起こる。それに加えて MuTRG-ADTX と MuTRG-MRG を結んでいる光ケーブルの長さが約 110 m あるため、ケーブル上を伝搬ため（光ケーブル上の伝搬速度は $\sim 5 \text{ nsec/m}$ ）に約 550 nsec 程度の遅延が起こると考えられる。この図では MuTRG-MRG 上でリセット信号を送信してから、MuTRG-MRG に反応が返ってきた信号を見ているので、往復による $(120 \text{ nsec} + 550 \text{ nsec}) \times 2 = 1.3 \mu \text{ sec}$ 程度の遅延を見ていることになる。

LED 判定の閾値設定

MuTRG-ADTX の閾値を変えていき、MuTRG-ADTX 上の fake hit¹ の頻度がどのように変わるかを測定した。ここではキャリブレーションパルスの波高を 0 に設定し (パルス無) MuTRG-ADTX の各チャンネルからヒット信号が送られてくる頻度を測定した。また、MuTRG-ADTX からの信号を直接測定するために、MuTRG-MRG の FPGA デザインとして TOM デザインを用いた。

図 6.9 がその測定結果である。これは station-1 octant-2 に設置された MuTRG-ADTX からの fake hit を測定したものである。図中の黒色のプロットが閾値 0mV、赤色のプロットが閾値 10mV、青色のプロットが閾値 20mV、チャンネル 0 のところのみに見える緑色のプロットが閾値 30mV である。この図から閾値を増やしていくと fake hit の頻度が下がっているのが分かる。

このことから MuTRG-MRG の MuTRG-ADTX に対する閾値の設定は正しく行われていると結論した。

PROM Configuration

まずはテストベンチにおいて、MuTRG-ADTX と MuTRG-MRG とを 1.5m の光ケーブルでつないで PROM を configuration できることを確かめた。それを確かめた上で MuTRG-ADTX の Muon Arm への設置の際に、MuTRG-MRG を用いて設置したすべての MuTRG-ADTX の PROM に configuration できることを確かめた。今回 Muon Arm に設置した MuTRG-ADTX は計 211 台であるので、十分な台数に対して確認できているといえる。

6.1.4 LL1 との通信の確認

LL1 タイルとの通信テスト

2008 年の 8 月に、米国アイオワ州立大学で開発中の LL1 との通信試験を行った。この試験では図 6.10 のように、MuTRG-MRG からの光信号を光ドライバーで電気信号に変換し、それを LL1 タイルと呼ばれる回路に入力した。このように LL1 タイル自身に光ドライバーがついていないのは、LL1 タイルは単なる子ボードであり、本来はその親ボードについている光ドライバーで信号を受けて LL1 タイルまで届けられるためである。LL1 タイルには FPGA(Xilinx Vertex5) が搭載されており、専用のチップではなく RocketIO と呼ばれる FPGA の primitive で 8b/10b のデシリアル化が行われる。そのため MuTRG-MRG に実装されている TLK3101 により 8b/10b エンコードされたデータを、LL1 タイルの FPGA がデコードできるかが LL1 との通信において最大の課題となる。

試験方法は MuTRG-MRG からのデータにパリティビットを付加して LL1 タイルに送信した。LL1 タイルでは FPGA 内でそのデータをデシリアル化し、そのデータのパリティの値と送られてきたパリティビットとを比較して、間違っていればエラーを出力する。この試

¹MuTRG-ADTX はヒットを判定するために MuTr から信号を 5%しか使うことができない。そのためヒット信号の閾値はかなり低く設定する必要がある。しかしこの低い閾値は電気的なノイズによるヒット信号をも発生させてしまう。これを fake hit という。これは閾値が高ければ高いほど指数的に少なくことが測定されている。

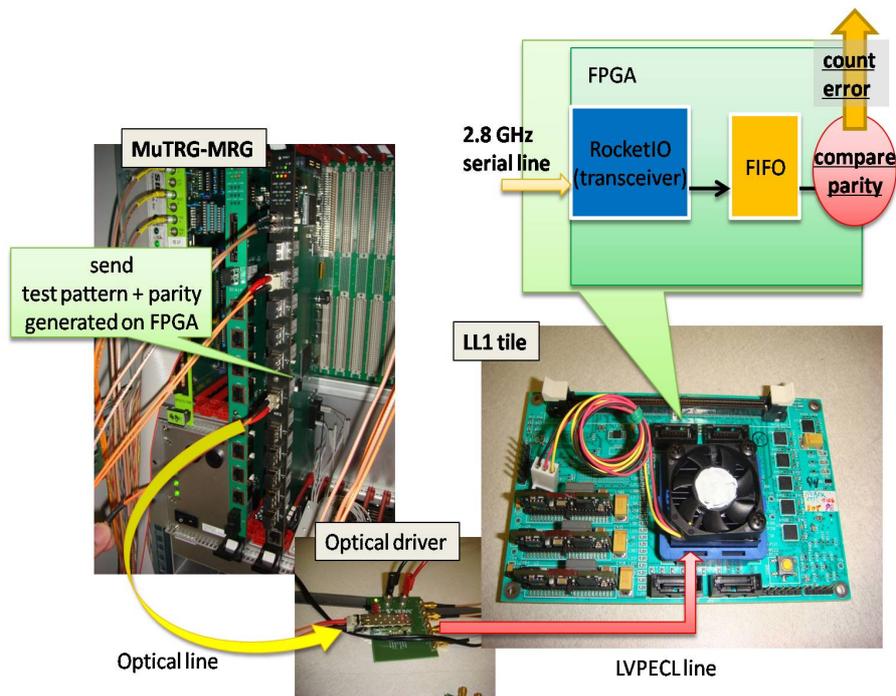


図 6.10: LL1 との通信試験の際のセットアップ。MuTRG-MRG からデータにパリティビットを付加して送信し、LL1 タイル上でパリティをチェックした。

験では MuTRG-MRG から LL1 に対し長時間このパターンを送信し続け、このエラーが何回起こったかを測定した。

結果は 14 時間 30 分の測定に対してエラーの検出回数は 0 であった。これにより 95% C.L. で 45 時間エラーを出さずに動作することを確認した。

ただしこの測定でテストしたパターンの種類は時間の制約上有限であり、そのため様々なパターンについて試験することが課題である。

LL1 へのデータのデコード用デザインでのテスト

LL1 は並行して開発されている回路であるので、MuTRG-MRG との通信テストがすぐに行えるわけではない。そのため LL1 へのデータのデコード用デザインが MuTRG-MRG の LL1 へ送信されるデータのテストに用いられた。

このデバッグ用デザインにおいては、さらに 30 時間の通信試験を行いるがエラーは検出されていない。これと前述の結果と併せて、95% C.L. で 134 時間エラーを出さずに通信できることを確認した。

6.2 ヒット信号の検出効率

ここでは MuTRG-MRG、及び MuTRG-DCMIF で作られるシステムのヒット信号の検出効率を評価する。MuTRG-MRG、MuTRG-DCMIF はデジタル回路であるためその検出効率は 100%を達成してはいなくてはならない。以下でそれを確認した。

6.2.1 測定方法

MuTr にキャリブレーションパルスを入力し、MuTRG-ADTX からヒット信号を送信させる。そのヒット信号を MuTRG-MRG、MuTRG-DCMIF が正しく処理し DCM まで伝えられるかを測定した。MuTRG-ADTX の閾値は 100mV のままで、キャリブレーションパルスの波高設定用の DAC の値は 0x60 とした。このときも各キャリブレーションパルスの入力に対して MuTRG-ADTX は必ずヒットを出すので、前回と同様 DCM で記録された各 strip のヒットの数をキャリブレーションパルスの入力回数で割ることでヒット信号の検出効率が導かれる。すなわち、strip i における (検出効率) $_i$ を

$$(\text{検出効率})_i = \frac{(\text{strip } i \text{ におけるヒット信号の発生数})}{(\text{キャリブレーションパルスの入力回数})} \quad (6.1)$$

と定義している。

このときはトリガー信号が送られている G-Link 信号用のケーブルの取り回しを変更したので、トリガー信号の来るタイミングがロジックを確認したときとは異なっている。そのためキャリブレーションパルスによるヒット信号が入っている読み出し用 Latency の値が異なり、読み出し用 Latency= 34 であることを確認した。

測定は station-1、station-2、station-3 からの信号を同時に収集した。ただし station-3 に関しては MuTRG-MRG の台数の制約から half-octant 分 (160strip) のみ測定した。

MuTRG-MRG のロジックは 3of3(station-1)、2of3(station-2,3) とした。すなわち測定しているすべての gap からヒット信号が来なければヒットが発生しないようにした。このようにすることで、1つのヒット信号を確認することによりすべての gap からのヒット信号を同時に確認できる。

6.2.2 測定結果

図 6.11 がこの測定によって得られたキャリブレーションパルスの入力に対するヒット信号の検出率を、上から station-1、station-2、station-3 のストリップに関してプロットしたものである。いずれも横軸が strip、縦軸が検出効率である。この図はキャリブレーションパルスを 5134 回入力して測定したものであり、各データ点につけられているエラーバーは信頼度 68.3%で求めた領域である。

6.2.3 問題点

これを見ると station-1 に関してはすべてヒット信号が検出できているのに対して、station-2、station-3 ではヒット信号の検出率が悪い strip がいくつかある。具体的に上げると strip0,

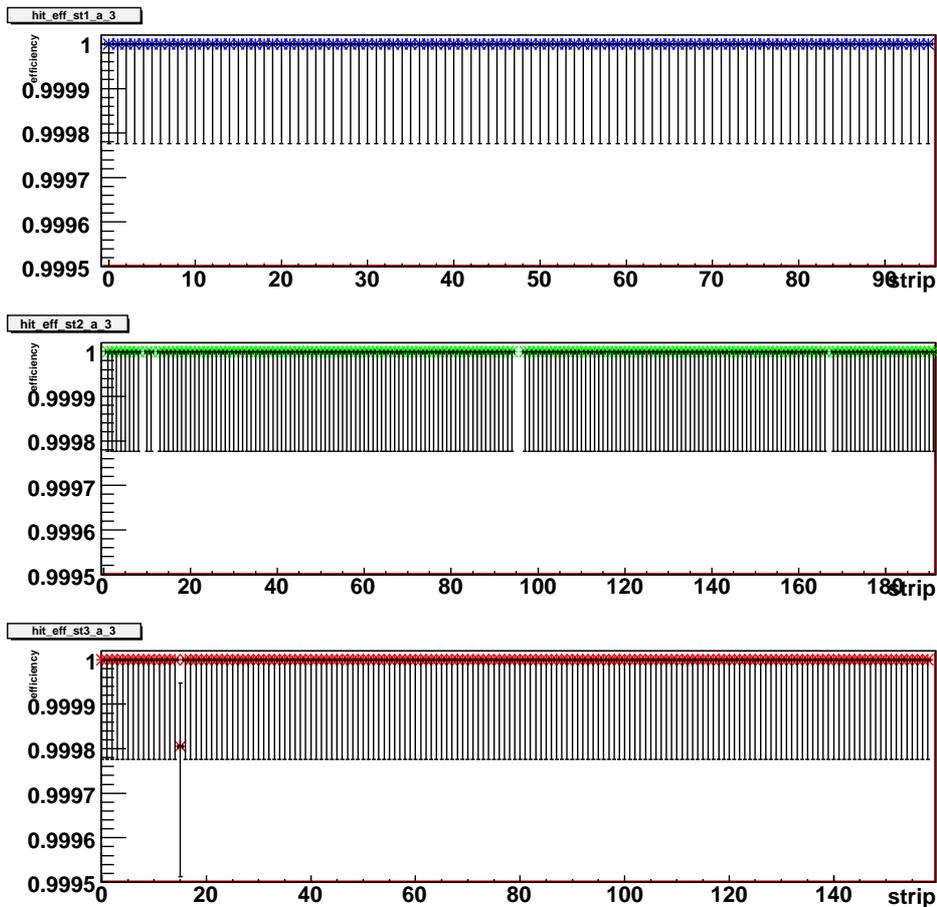


図 6.11: 測定によって得られたキャリブレーションパルスの入力に対するヒット信号の検出率。上から順に station-1、station-2、station-3 を表わす。横軸はいずれも strip 番号。

10, 12, 95, 96, 167 (station-2)、strip15, 159 (station-3) である。これらの strip についてさらに調べてみる。

6.2.4 考察

station-3 に関して

まず station-3 の検出効率が悪い strip に関して 1of3 で取り直した。これによって得られた 1 つ前のビームクロック (読み出し用 Latency= 35) でのヒット信号の検出率と、図 6.11 の station-3 での測定結果 (読み出し用 Latency= 34) とをともにプロットしたものが図 6.12 である。上段の 2 つのプロットが図 6.11 における station-3 のプロットを検出効率が悪い strip について拡大したものであり、下段の 2 つのプロットがその strip に対応する 1of3 での読み出し用 Latency= 35 における検出効率である。

下段のプロットは 1of3 であるため、両 strip とも 1 ビームクロック手前にヒットがずれている gap が存在する。strip15 については統計的にあまり良くはないが、ロジック 2of3、読み

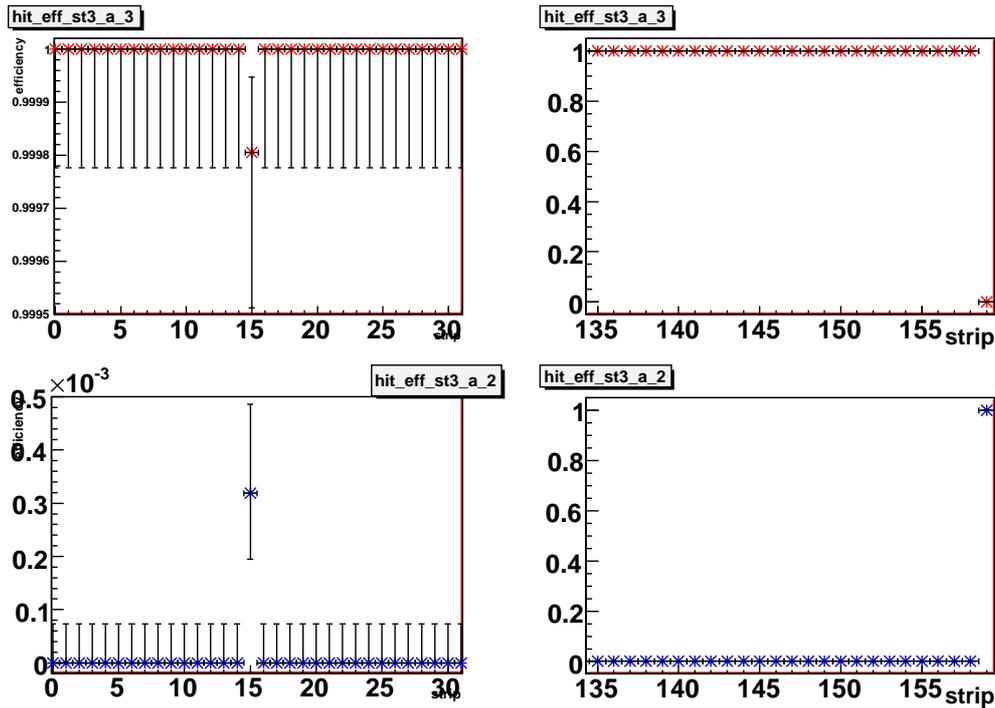


図 6.12: 図 6.11 の station-3 での測定結果 (上段) と、station-3 においてロジック 1of3、読み出し用 Latency=35 として測定した検出効率 (下段)。検出効率が悪かったストリップについて拡大してある。

出し用 Latency=34 で取った検出効率の 1 に満たない分とよく一致する。そのため station-3 の読み出し用 Latency=34 での検出効率が 1 より小さくなっているのは、MuTRG-MRG、MuTRG-DCMIF が MuTr からのヒット信号を落としてしまったためではなく、そのヒット信号が手前のビームクロックにずれていたためと考えられる。

ここで図 6.12 において strip159 は、周りの strip のヒット信号が読み出し用 Latency=34 に収まっているにもかかわらず、不連続にヒット信号がすべて読み出し用 Latency=35 にずれてしまっている。これほどきれいに 1 ビームクロック分ずれていると MuTRG-MRG、あるいは MuTRG-DCMIF の処理の中でその strip のデータを 1 ビームクロック分ずらして処理してしまっている可能性がでてくる。このようなことが起こっているのはトリガーシステムとして問題である。そこで次にこの現象について考える。

図 6.13 はキャリブレーションパルスの波高の DAC の値を 0x20 (左)、0x40 (真中)、0x60 (右) として取った、station-3 の strip159 付近の検出効率について、ロジック 2of3、読み出し用 Latency=34 で測定したもの (上段) と、ロジック 1of3、読み出し用 Latency=35 で測定したもの (下段) である。これから分かるように DAC=0x20 では strip159 の検出効率は 1 であるが、DAC の値を大きくするにつれてヒットが 1 ビームクロック移動して検出効率が下がっているのが分かる。このことから DAC=0x60 で見えたヒット信号の移動は MuTRG-MRG、MuTRG-DCMIF の処理の中で起こったものではなくキャリブレーションパルスの大きさに依存するものであることが分かる。この原因ははっきりとはしていないが、

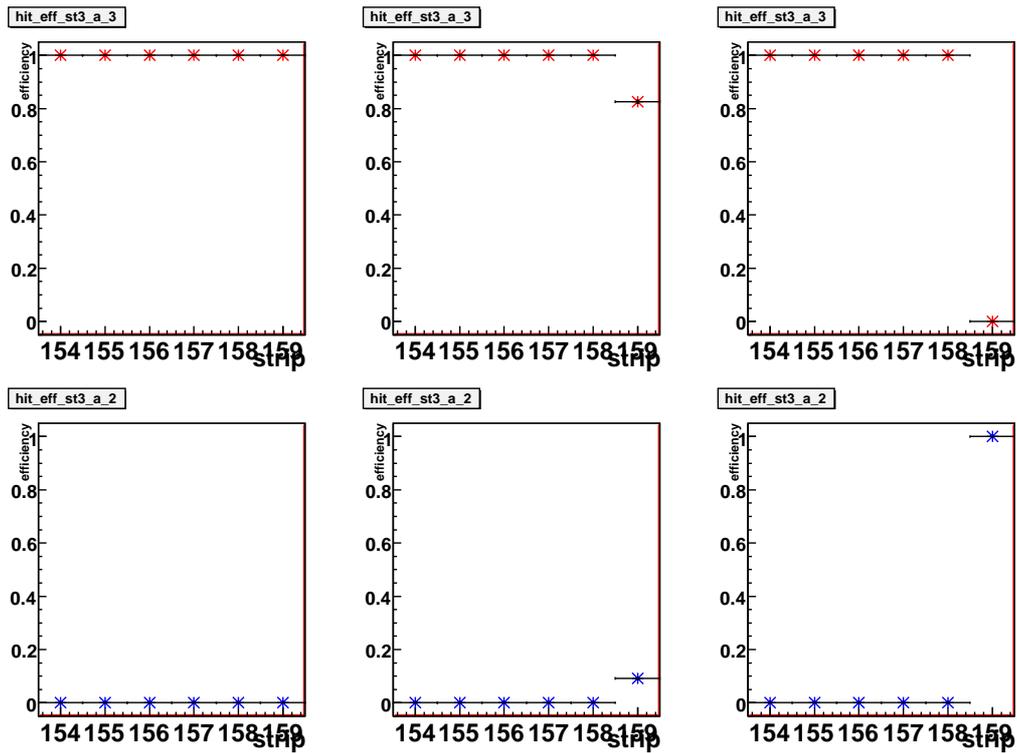


図 6.13: キャリブレーションパルスの波高を変えると検出効率が変わる様子。左から DAC=0x20、DAC=0x40、DAC=0x60 である。またいずれも上段のプロットはロジック 3of3、読み出し用 Latency=34 であり、下段のプロットはロジック 1of3、読み出し用 Latency=35 での検出効率である。

strip159 は half-octant と half-octant との境目 (図 2.12 参照) となる strip である。MuTr ではこのように octant と octant との境目や half-octant と half-octant との境目の strip ではキャリブレーションパルスによる信号が他の strip のものと比べて性質が悪くなる現象がしばしば見られる。この現象もこの一種であると考えられる。

station-2 に関して

次に図 6.11 における station-2 の検出効率が悪い strip について考察する。まず図 6.14 は station-2 における検出効率のロジック 2of3、読み出し用 Latency= 34 のプロット (図の赤色の点) と、ロジック 1of3、読み出し用 Latency= 35 のプロット (図の緑色の点) を同時に描いたものである。ヒット信号のタイミングのずれで説明できるのであればずれた読み出し用 Latency の値での検出効率との和は 1 となるはずである。ロジック 2of3、読み出し用 Latency= 34 において検出効率の悪い strip で、ロジック 1of3、読み出し用 Latency= 35 の条件でヒット信号が確認できるものも存在するが、検出効率の悪化を説明できるほどではない。ロジック 1of3、読み出し用 Latency= 33 においても調べたがヒットはほとんど存在しなかった。このことから station-2 における悪い検出効率は、キャリブレーションパルスの

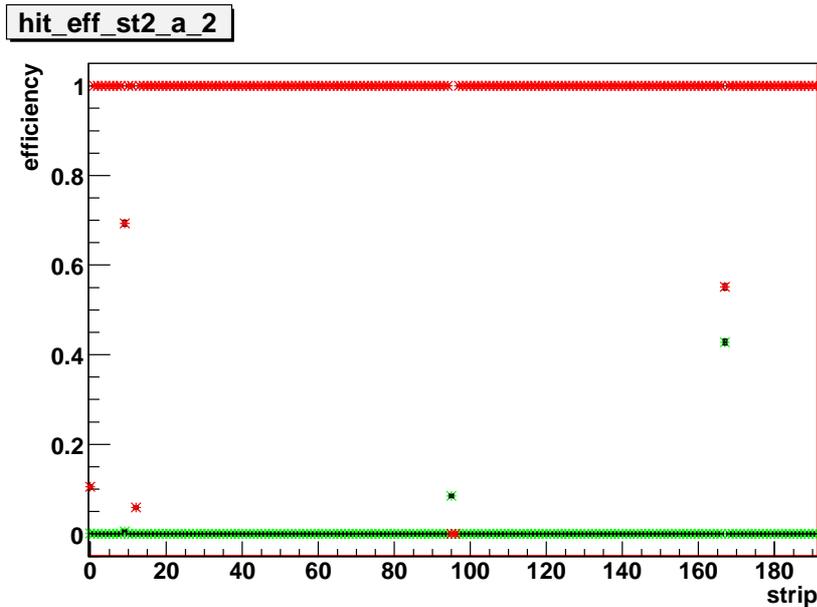


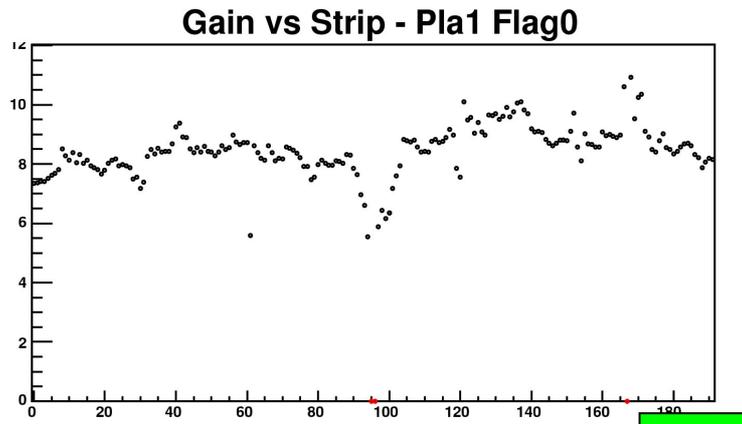
図 6.14: station-2 における検出効率のロジック 2of3、読み出し用 Latency= 34 のプロット (図の赤色の点) と、ロジック 1of3、読み出し用 Latency= 35 のプロット (図の緑色の点) を同時に描いたものである。

ヒット信号が 1 ビームクロックに収まっていないためではないことが分かる。

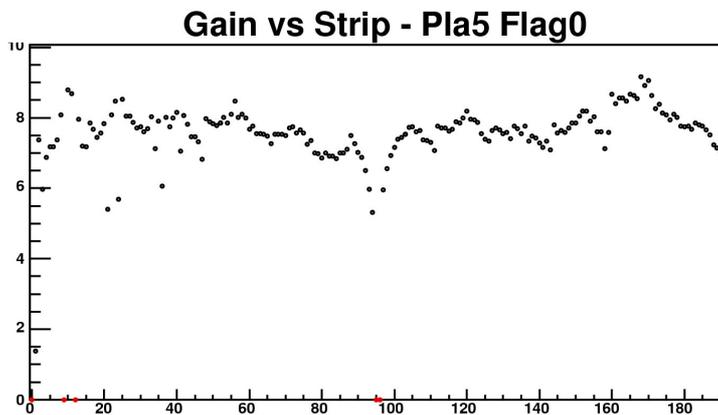
次に図 6.15 は MuTr の station-2 の gap のうち、MuTRG-MRG がヒットデータを収集している gap のキャリブレーションパルスに対するゲインの大きさをプロットしたものである。このゲインは MuTr の現行の FEM により測定されたものである。station-2 では gap1、gap3 の non-stereo plane を読むのであるが、(a) が gap1 の各 strip のゲインの大きさ、(b) が gap3 の各 strip のゲインの大きさをプロットしたものである。ところどころに赤色でプロットされているゲインが 0 の点は dead strip を示している。

図 6.11 と比べると分かるように、この dead strip と検出効率が悪い strip とは見事に一致する。すなわち何らかの理由でこの dead strip からヒット信号が来る頻度が少ないために、2of3 をとるとその strip の検出効率が悪くなっていると考えられる。事実、他の octant や station においても、MuTr のゲイン測定で dead strip となっている strip において我々のトリガーシステムでヒット検出率が悪くなっている傾向が見られる。ただ図 6.14 の赤色のプロットからも分かるように、この dead strip は完全に不感となっているわけではなく、ある程度のヒット信号の検出効率を持っている場合が多い。

また MuTRG-MRG 内で並び替えた後の strip で検出効率が悪いものと、この dead strip とで strip 番号が一致することから、少なくともこれらの strip に関しては並び替えは正しく行われていることが分かる。



(a) gap1



(b) gap3

図 6.15: MuTr の station-2 のうち gap1,3 の non-stereo plane でのキャリブレーションパルスに対するゲインの大きさをプロットしたものである。このゲインは MuTr の現行の FEM により測定されたものである。

検出効率の算出

以上のように検出効率の悪い strip に関してはすべて MuTRG-MRG、MuTRG-DCMIF とは無関係の要因がある。そこで以下ではこれらの strip を除いて検出効率を考えるが、dead strip については今回測定した検出効率が 1 であったものも除いて考える。MuTr の dead strip は station-1 には 0 本、station-2 には図 6.14 の 6 本、station-3 には 4 本存在する。station-3 の dead strip 4 本に strip15,159 は含まれない。

これらの strip 以外はみな検出効率が 1 である。この結果を用いて strip1 本あたりの検出効率を算出する。図 6.11 のキャリブレーションパルス入力回数は 5134 回である。またさら

にその後追加で 2623 回、キャリブレーションパルスを入力し同様に検出効率が 1 であるという結果を得た。そのためすべてをまとめて考えると、1 本の strip に対してキャリブレーションパルスを

$$(5134+2623) \times ((96-0)\text{strip} \times 3\text{gap} + (192-6)\text{strip} \times 2\text{gap} + (160-2-4)\text{strip} \times 2\text{gap}) = 7508776 \sim 7.5\text{M}$$

回入力し、検出効率 1 という結果を得たのと同じである。これにより導かれる strip1 本あたりのヒット信号の検出効率は、 $> 1 - 6.1 \times 10^{-7}$ (99% C.L.) であると結論される。

第7章 ビームクロックの遅延調整

この章では MuTRG-MRG、及び MuTRG-DCMIF での時間分解能の悪化を防ぐために行った、ビームクロックの遅延調整について説明する。MuTRG-MRG が MuTRG-ADTX と非同期通信を行っているために、

- (A) MuTRG-MRG がリセット信号を送ってから MuTRG-ADTX に届くまでの時間
- (B) MuTRG-MRG 内の処理用のビームクロックの立ち上がり時間

にはそれぞれ不定性がある。それぞれの時間の不定領域に、前者ならば MuTRG-ADTX 上のビームクロックの立ち上がりが、後者ならば Level-1 トリガー信号の立ち上がりがそれぞれ生じてしまうと時間分解能を悪化させる原因となってしまう。

そこで、このトリガーシステムでは MuTRG-ADTX のビームクロック、MuTRG-MRG から MuTRG-ADTX へ送るリセット信号、トリガー信号を MuTRG-MRG 内で処理するタイミングにそれぞれ遅延がかけられるようになっている。MuTRG-ADTX へ送信されるビームクロックには 0.25nsec 刻みで最大 64nsec の遅延がかけられる。加えて差動信号で入力している大元のクロックの信号の \pm を入れ替えることで、ダイナミックレンジをさらに約 53nsec 増やすことができる。リセット信号、トリガー信号の遅延は前述したように、1/12 ビームクロック刻みで最大 2 ビームクロックのダイナミックレンジで調節することができる。

以下ではまずこれらの遅延調節の方法について説明し、その上でどのような測定が必要かを説明する。

7.1 タイミングの不定領域の確認

上述のような時間分解能の悪化を引き起こさないようにするためには、それらの不定領域から外れるように (A) ならば MuTRG-ADTX へのリセット信号に、(B) ならば MuTRG-MRG 内で処理される Level-1 トリガー信号に遅延を加えればよい。そのために、MuTRG-ADTX のビームクロックの立ち上がりに対して MuTRG-ADTX 上のリセット信号が解除されるタイミングがどの位置にあるか、及びトリガー信号の立ち上がりに対して MuTRG-MRG 内の処理用ビームクロックが立ち上がるタイミングがどの位置にあるかを知る必要がある。これらは、以下のセクションで見るとおり、MuTRG-MRG のリセット送信の遅延機能あるいはトリガー処理の遅延機能を使ってスキャンすることで知ることができる。遅延の大きさを変えていき、揃って入力されるキャリブレーションパルスからのヒット信号が、リセット信号やトリガー信号が不定領域にかかることによる効果によって、時間的にどのようにばらつくか調べるのである。

このスキャンを行うにあたって、ヒット信号が入る時間をずらすのはリセット信号が持つ時間の不定性、あるいは MuTRG-MRG 内の処理用ビームクロックの立ち上がり時間の不定

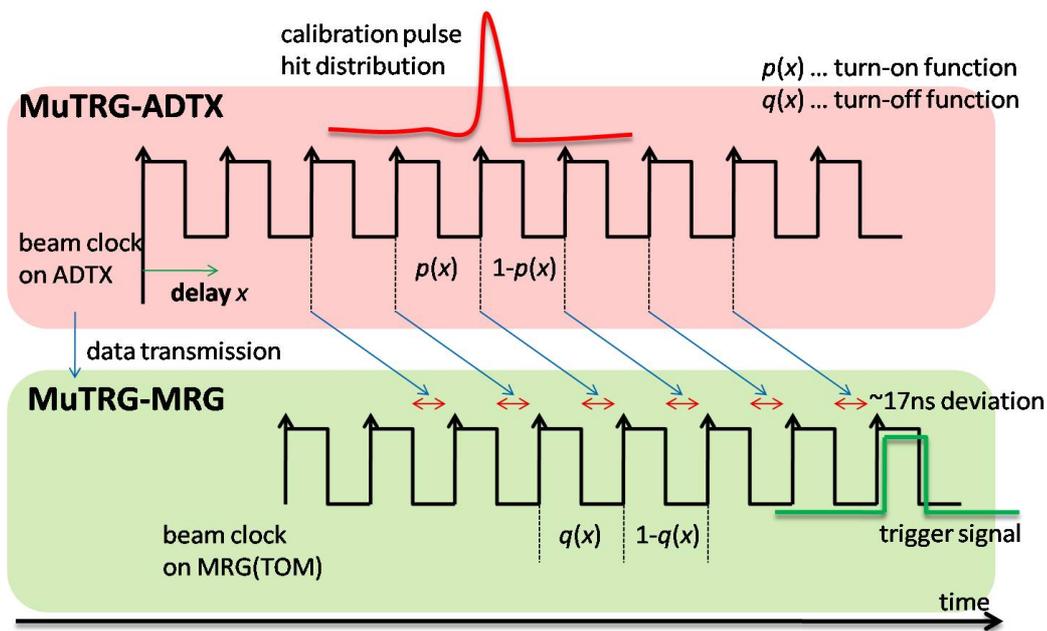


図 7.1: TOM デザインでの各信号の流れ。MuTRG-ADTX 上のビームクロックには遅延が加えられるのに対して、MuTRG-MRG 上のビームクロックはまったくその影響を受けない。

性だけではない。前章でも見てきたように、揃っているべきキャリブレーションパルスからのヒット信号自体にも時間分布を持つ。そのため前述したリセット信号のタイミングスキャン、及びトリガー信号のタイミングスキャンを行うにはまずキャリブレーションパルスからのヒット信号が来る時間とその広がり測定し、その影響が現れないように MuTRG-ADTX のビームクロックの遅延を調節しなくてはならない。

そこでまずこのキャリブレーションパルスの分布について理解することを行った。

7.2 キャリブレーションパルスのタイミングと広がり

ここでは従来の MuTRG-MRG の FPGA のデザインを使わずに MuTRG-ADTX からのヒットデータを読むことに特化した TOM デザインを用いた。

このデザインを用いて、トリガー信号が来てから一定ビームクロック分手前の時間でのキャリブレーションからのヒット信号の検出効率を求めた。このセクションではこの時間を時間 0 と呼ぶことにする。これに加えて、その時間から 1 ビームクロック分だけ手前の時間と後の時間でのキャリブレーションからのヒット信号の検出効率もそれぞれ求めた。このセクションではこれら時間をそれぞれ時間-1、時間+1 と呼ぶことにする。以上の 3 種類の検出効率の測定を MuTRG-ADTX へ送信しているビームクロックの遅延を変えていきながら測定した。

図 7.1 がこのデザインでのコントロール信号とデータ信号のダイアグラムを示している。この図はヒット信号をラッチしている MuTRG-ADTX 上のビームクロックと、MuTRG-ADTX からのヒットデータをラッチしている MuTRG-MRG 上のビームクロックが描かれ

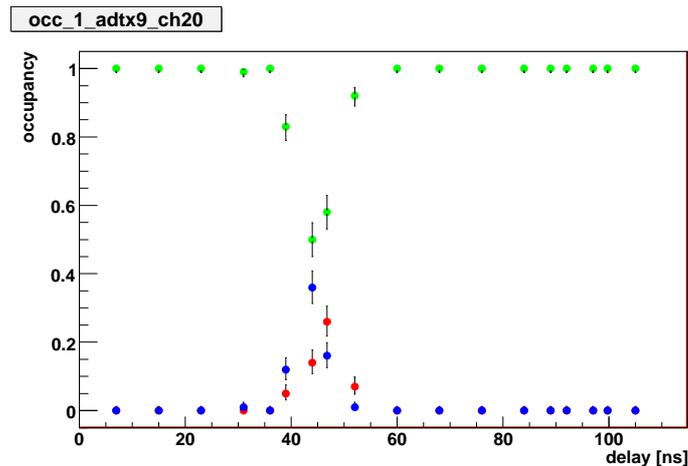


図 7.2: TOM デザインにより得られた各読み出し用 Latency での検出効率の遅延スキャンの結果。それぞれ緑色のプロットが時間 0、赤色のプロットが時間-1、青色のプロットが時間+1 での検出効率の変化をあらわす。

ており、このうち遅延がかけられるのは MuTRG-ADTX 上のビームクロックのみである。MuTRG-ADTX のビームクロックの遅延に対して MuTRG-MRG 上のビームクロックは全く影響を受けない。

この時間遅延を加えていくにあたってヒットの時間分布に変化の起こるポイントは 2 か所あると考えられる。まず MuTRG-ADTX 上のビームクロックの立ち上がりがキャリブレーションパルスの分布に差し掛かるところである。ビームクロックの立ち上がりがキャリブレーションパルスの分布を越えるとヒットの時間位置は手前に 1 ビームクロック移動する。そのためこの移動の際のヒットの移り方はキャリブレーションパルスからのヒット分布の外形を表わすことがわかる。このセクションでの目的はキャリブレーションパルスのヒット分布の外形を知ることであるので、この移動の際のヒット分布の変化を見られれば良い。

もう 1 つのポイントは MuTRG-ADTX から送られるデータが MuTRG-MRG に到達する時間が、MuTRG-MRG 上のビームクロックの立ち上がりに近づく時である。MuTRG-ADTX は遅延を加えられたビームクロックの立ち上がりに同期してデータを送信する。そのため MuTRG-MRG にそのデータが到達する時刻は遅延分だけずれていく。(MuTRG-ADTX と MuTRG-MRG は非同期通信を行っているためにデータの到達時刻は完全に決まっておらず 17nsec 程度の不定性を持って到達する。) 遅延を加えていき MuTRG-MRG に到達するデータのタイミングが MuTRG-MRG 上のビームクロックの立ち上がりを越えた時、そのヒットデータは次のビームクロックで処理されるようになる。そのため MuTRG-MRG 上で処理に使われているビームクロックの立ち上がりがこの広がりには差し掛かったときにヒットの時間位置が 1 ビームクロック遅い方にシフトする。同様にこのヒット分布からは 17nsec 程度の不定性がみえるはずである。

以上をまとめると、これら 2 つのポイントは、

- MuTRG-ADTX 上のビームクロックの立ち上がりがキャリブレーションパルスの分布に差し掛かるところ

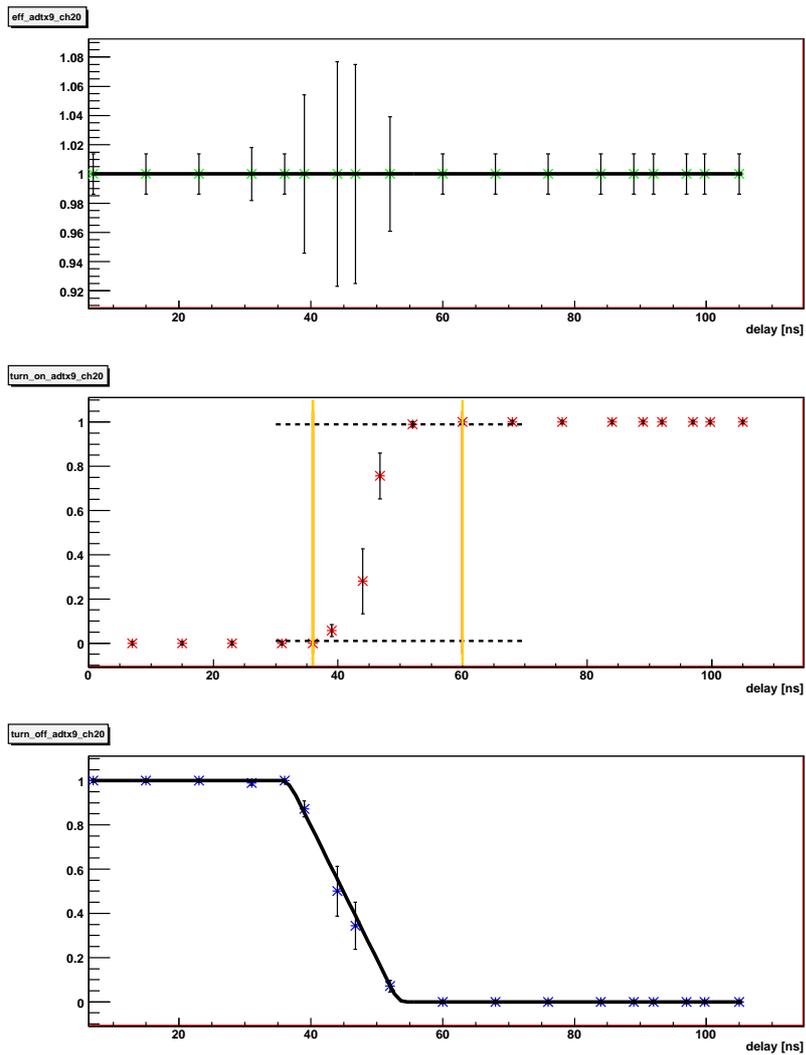
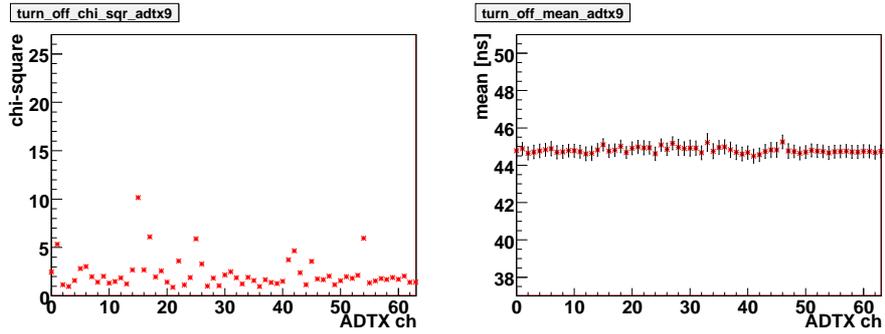


図 7.3: 上から $\epsilon(x)$ 、 $p(x)$ 、 $q(x)$ のプロット。 $\epsilon(x)$ のエラーバーが 1 を超えたところまで伸びているのは、図 7.2 の各点のエラーバーの大きさを用いて単純に誤差の伝搬から計算したためである。

- MuTRG-ADTX から送られるデータの MuTRG-MRG での到達時間が、MuTRG-MRG 上のビームクロックの立ち上がりに近づく時

である。

これを測定した結果が図 7.2 である。この図は octant-4 に設置されたうちの 1 つの MuTRG-ADTX の ch20 での検出効率についてディレイスキャンを行ったものである。それぞれ緑色のプロットが時間 0、赤色のプロットが時間-1、青色のプロットが時間+1 での検出効率の変化である。遅延 0 にデータ点が存在しないのは、見やすいように横軸に適切なオフセットを加えてプロットしてあるからである。106nsec 遅延を加えるとビームクロックの立ち上がりが遅延 0 での位置に戻るので、測定の結果は 106nsec 周期となるはずである



(a) χ^2

(b) 一様分布の中心値

図 7.4: $q(x)$ に対するフィットの (a) χ^2 、(b) 一様分布の中心値について、横軸 MuTRG-ADTX のチャンネルとしてプロットした。

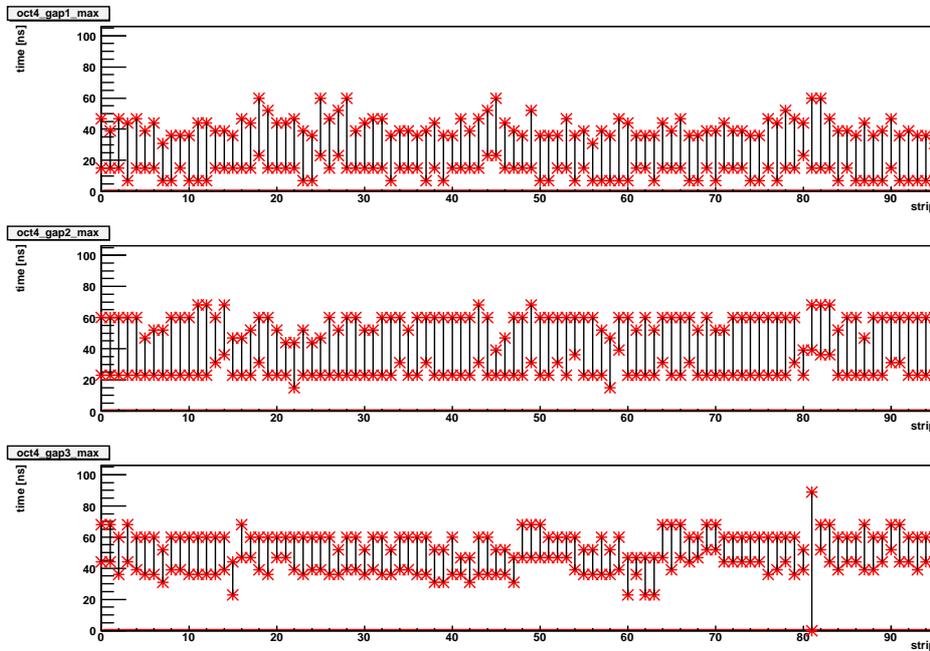


図 7.5: 上から gap1、gap2、gap3 における、キャリブレーションパルスの広がりプロットしたもの。

前述したヒット信号の時間分布を変化させる 2 つの要素のうち、1 つ目の要素（すなわち MuTRG-MRG のビームクロックの立ち上がりキャリブレーションパルスの分布に差し掛かることによるヒットの時間分布の変化）は、図 7.1 から分かるように、ヒット信号の時間位置を 1 つ手前のビームクロックに移動させる効果がある。すなわち時間 0（緑色）から時間 -1（赤色）、あるいは時間 +1（青色）から時間 0（緑色）へという具合である。また 2 つ目の要素（すなわち MuTRG-ADTX からのデータの到達がビームクロックの立ち上がり

に差し掛かることによるヒットの時間分布の変化)は、図 7.1 からわかるように、ヒット信号の時間を 1 つ後のビームクロックに移動させる効果がある。すなわち時間-1 (赤色) から時間 0 (緑色)、あるいは時間 0 (緑色) から時間+1 (青色) へという具合である。このように 2 つの要素によって最終的には正味の変化が相殺されている。

そこで図 7.2 の結果からこれら 2 つのコンポーネントを切り分けて、キャリブレーションパルスの分布を表わすものだけを取り出すことを行った。

まず図 7.1 において遅延 0 であるときに、キャリブレーションパルスによるヒット信号の時間分布が、MuTRG-ADTX 上のビームクロックのある 1 周期内に収まっていたとする。ここで遅延 x を加えた時を考える。キャリブレーションパルスの入力でヒット信号が生成されたとして、そのヒット信号がその周期の手前のビームクロックにヒット信号が入る確率を $p(x)$ と定義する。MuTRG-ADTX 上のビームクロックに遅延を加えていくとヒット信号の分布が手前のビームクロックに向かってずれていくため、 $p(x)$ は単調増加の関数となる。さらに $p(x)$ はどれだけヒットの分布がビームクロックの立ち上がりを通過したかを表わすので、その微分量はヒット信号の分布そのものを表わす。

つぎに遅延 0 であるときに、MuTRG-ADTX からのヒットデータが MuTRG-MRG に到達する時間の分布が MuTRG-MRG 上の処理用のビームクロックのある 1 周期に収まっていたとする。そこで遅延 x を加えた時に、その周期の中にデータが到達する確率を $q(x)$ とする。遅延 x を大きくしていくと、MuTRG-MRG へのデータの到達時間は遅れていくので $q(x)$ は単調減少関数となる。また $p(x)$ と同様に、微分量の負符号はデータの到達時間の分布となる。以前議論したように非同期通信では理想的にはこの分布は幅が 17nsec 程度の一様分布となるはずである。

これらの関数 $p(x)$ 、 $q(x)$ に遅延 x での検出効率 $\epsilon(x)$ を加えることで、図 7.2 の 3 つのデータ点を以下のように表わすことができる。

$$\begin{aligned} (\text{検出効率})_{\text{時間}0} &= \epsilon(x)(p(x)(1 - q(x)) + (1 - p(x))q(x)) \\ (\text{検出効率})_{\text{時間}-1} &= \epsilon(x)p(x)q(x) \\ (\text{検出効率})_{\text{時間}+1} &= \epsilon(x)(1 - p(x))(1 - q(x)) \end{aligned} \quad (7.1)$$

そこでこれをデータから $\epsilon(x)$ 、 $p(x)$ 、 $q(x)$ について解いてプロットしたものが図 7.3 である。これは MuTRG-MRG につないだうちのある MuTRG-ADTX から送られてくる 64 チャンネル分のデータのうち 21 番目 (ch20) のデータについて解析したものである。上のプロットから $\epsilon(x)$ 、 $p(x)$ 、 $q(x)$ である。加えて図 7.3 では $\epsilon(x)$ と $q(x)$ に対してフィットした関数もプロットしてある。フィットした関数は、 $\epsilon(x)$ は定数 a_0 、 $q(x)$ は中心値 a_1 、幅 16.66nsec(60MHz) の一様分布の積分関数である。すなわち、

$$\begin{aligned} \text{func}_{\epsilon}(x) &= a_0 \\ \text{func}_q(x) &= \begin{cases} 1 & (x < a_1 - \frac{16.66\text{ns}}{2}) \\ \frac{1}{2} - \frac{x - a_1}{16.66\text{ns}} & (a_1 - \frac{16.66\text{ns}}{2} < x < a_1 + \frac{16.66\text{ns}}{2}) \\ 0 & (a_1 + \frac{16.66\text{ns}}{2} < x) \end{cases} \end{aligned} \quad (7.2)$$

である。

まずこの操作によって、正しく 2 成分に分解できていることを確かめるために、MuTRG-MRG でのデータの到達時間の分布を表わす $q(x)$ のデータについて調べた。ヒット信号の

時間分布が変化するメカニズムが前述したように 2 成分であらわされるなら、この $q(x)$ は、フィット関数のような、幅 16.66nsec(60MHz) の一様分布の積分関数となるはずである。そこで MuTRG-ADTX の全チャンネルのデータについて、このフィットによって得られる χ^2 と一様分布の中心値についてプロットしたものが図 7.4 である。図 7.3 の下図のデータはこの図における横軸 20ch でのデータに対応する。(a) が MuTRG-ADTX の各チャンネルにおける χ^2 の値であり、(b) が MuTRG-ADTX の各チャンネルにおける一様分布の中心値である。

ここでデータ点の数に対してフィットにおける χ^2 がとても小さいように見える。これは実際にフィッティングを決定しているデータ点が立ち下がりの部分のデータ点だけとなっているためである。検出効率 0、及び 1 の部分のデータは、求めたエラーの値以上に精度よく 0 または 1 となっているために χ^2 の値にほとんど寄与していない。そのためフィッティングにおける実際の自由度は、傾斜部分のデータ点の数から、4 程度であると思われる。この値に対して χ^2 はもっともな値となっていると言える。

また各チャンネルでの一様分布の中心値は、誤差の範囲で一定値となっている。この一様分布の中心値は MuTRG-ADTX からのデータが MuTRG-MRG に到達する時間を表わしており、MuTRG-ADTX の全チャンネルのデータは同一の TLK1501 のラインによって送信されている。そのためこの値は全チャンネルで等しくなくてはならない。このことから $q(x)$ が正しく、MuTRG-MRG におけるデータの到達時間分布を表わしていることを示している。

以上のことを確かめたうえでキャリブレーションパルスからのヒット信号の時間分布を求める。図 7.3 のように得られた $p(x)$ のデータ (図中の真中のプロット) から以下のようにしてキャリブレーションパルスの広がり求めた。まず $p(x)$ のデータ点において 0.01 以下となる点で横軸の値のもっとも大きなものを探し出す。これをキャリブレーションパルスからのヒット信号の分布に差し掛かる直前の遅延の値とする。同様に 0.99 以上となる点で横軸の値のもっとも小さなものを探し出す。これをキャリブレーションパルスからのヒット信号の分布から抜け出した直後の遅延の値とする。図 7.3 では、判定用の 0.01 と 0.99 のラインを点線で示してあり、これによって求められるキャリブレーションパルスのヒット分布の領域を黄色の線で挟んだ。

以上の方法を用いて station-1 の 1octant 分につながっている 5 台の MuTRG-ADTX からのデータでスキャンをおこなって、3gap 分の non-stereo plane におけるキャリブレーションパルスの分布を求めた。図 7.5 がその結果であり、上から gap1 の non-stereo plane、gap2 の non-stereo plane、gap3 の non-stereo plane でのキャリブレーションパルスのヒット分布を求めた。縦軸は 0nsec から 106nsec の範囲でプロットしている。このようにキャリブレーションパルスの分布は、MuTRG-ADTX へのビームクロックに遅延を加えることで、1 ビームクロック内に収めることができることがわかる。

7.3 リセットのタイミング

前セクションのようにキャリブレーションパルスの分布を求めることができる。これを用いて、キャリブレーションパルスのヒット信号の分布が MuTRG-ADTX 上のビームクロックの 1 周期に収まるように MuTRG-ADTX へのビームクロックの遅延の値を定めた。以下

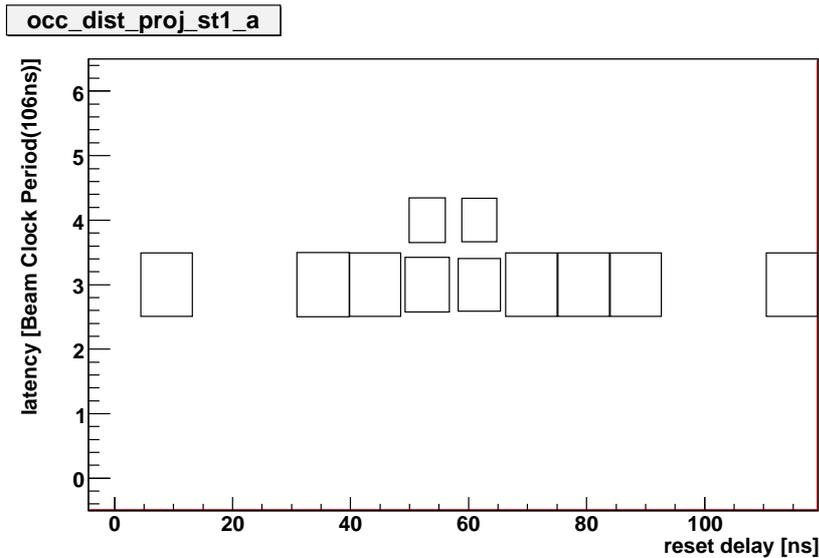


図 7.6: MuTRG-ADTX へのリセット信号に遅延を加えていきヒット信号の分布の変化を測定した結果。横軸が遅延の大きさであり、縦軸がビームクロック単位の時間。

の測定はすべて station-1、station-2、station-3 のいずれも octant-2 で行った。

7.3.1 測定方法

この状態において MuTRG-ADTX 上でリセット信号の立ち上がりが起こるタイミングを測定した。以下に測定方法を説明する。まず MuTRG-MRG の FPGA のデザインは従来のものに戻した。前セクションで用いたデザインでは MuTRG-ADTX 上でリセット信号の到達時間の不定領域にビームクロックの立ち上がりが入っていても、得られるデータからそれを判断できないためである。ここで用いる従来のデザインでは MuTRG-MRG から MuTRG-ADTX に送っているリセット信号に遅延を加えることができる。station-1 の octant2 に設置されている MuTRG-ADTX は 5 台なのだが、この 5 台に送信しているリセット信号に同時に同じだけの遅延を加えていき、これらから得られるヒット信号の時間分布（ヒット信号がある読み出し用 Latency の値の分布）を測定した。ただし 1 回ヒット信号のデータをとるたびにこれらの FEM (MuTRG-ADTX、MuTRG-MRG) をリセットして、それから次のヒット信号を測定するというを繰り返した。この理由は、ヒット信号の得られる読み出し用 Latency の値はリセット直後の一番最初のイベントのイベントビルドで決まり、これはリセットをしない限り改めて行われることがないためである。そのためリセットをかけないのでは、リセット解除のタイミングの不定領域に MuTRG-ADTX のビームクロックの立ち上がりが存在したとしても、読み出し用 Latency の値に変化はなく、ヒット信号の時間分布が見えない。

測定は読み出し用 Latency の値にして 37 ~ 31、すなわち 7 ビームクロック分の時間領域におけるヒット信号の数を求めた。MuTRG-MRG 内のヒット信号の生成におけるロジックは、ヒット信号の時間分布の広がりが見えるように、1of3 とした。

7.3.2 測定結果

その結果が図 7.6 である。この図で横軸は 5 台の MuTRG-ADTX へのリセット信号にかけた遅延の大きさ、縦軸はビームクロック単位の時間を表わす。図は box plot で表示しており、四角の大きさがその時間での station-1 octant-2 でのヒットの総数（全 strip における和）に比例する。

これを見ると分かるように遅延をかけていくと、遅延 45nsec 程度までは変化はないのであるが、そこから約 20nsec の領域にわたってヒット信号が次のビームクロックにまたがって分布するのがわかる。この領域こそが MuTRG-ADTX 上のビームクロックの立ち上がりと MuTRG-MRG からのリセット信号の立ち下がりの時間の不定領域が重なっているところである。

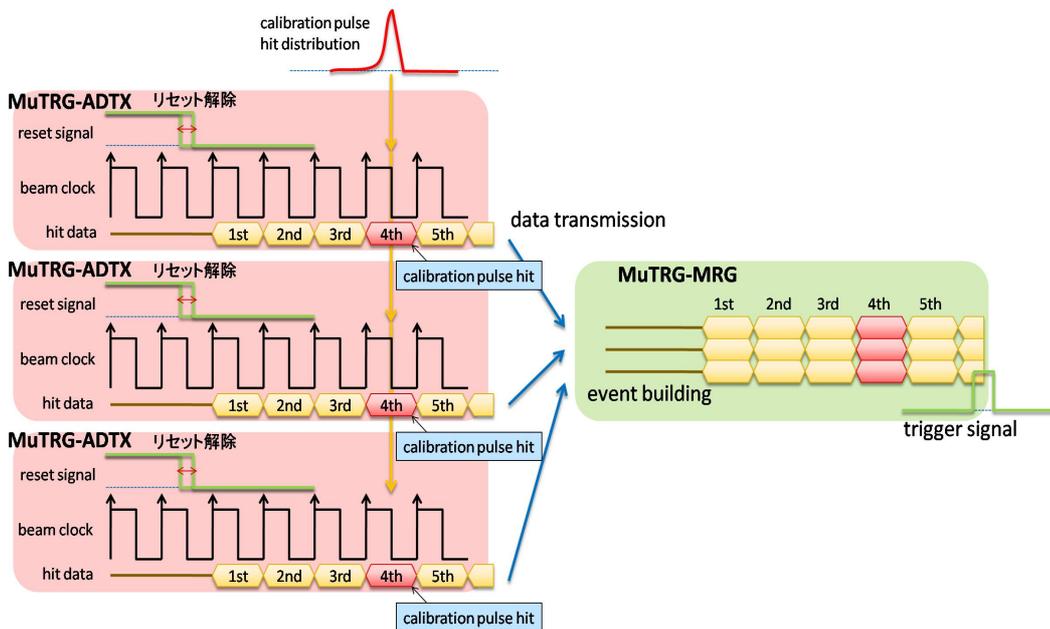
このような分布が生じるのは以下のような理由である。まず MuTRG-ADTX と MuTRG-MRG 間のケーブルの長さ、及びビームクロックの distributor から MuTRG-ADTX までのケーブルの長さは異なる MuTRG-ADTX でそれぞれ等しいことから、MuTRG-ADTX 上では MuTRG-MRG からのリセット信号、及びビームクロックは同時に届くものとする。複数の MuTRG-ADTX からのデータは MuTRG-MRG 上で、各 MuTRG-ADTX からリセット解除の直後にきた一番初めのデータをつなぎ合わせるようにイベントビルドされる。そのため図 7.7.(a) のようにリセット信号の解除の時間分布が 1 ビームクロックの中に収まっていたとすると、一番初めにデータが送信されるタイミングはリセット信号を何度繰り返して送っても変わらない。この状態でキャリブレーションパルスのヒット信号を測定しても、すべての MuTRG-ADTX で同一ビームクロック内に収まっている。

しかし図 7.7.(b) のようにリセット信号に遅延をかけて、解除の時間分布が 1 ビームクロックの中に収まらないようにすると、それぞれの MuTRG-ADTX でリセット信号が解除されるタイミングが異なるようになる。そのため、それぞれの MuTRG-ADTX で一番初めのデータが送られるタイミングが異なってしまう。MuTRG-MRG 上では最後に届くデータを待ってからイベントビルドを開始するので、このようになると図のようにイベントビルドの開始が 1 ビームクロック分ずれてしまう。さらにこの状態でキャリブレーションパルスのヒット信号を測定すると、イベントビルドした後のデータではそれぞれの MuTRG-ADTX でヒット信号の位置がずれてしまう。リセット信号に遅延をかけてもトリガー信号の位置は変わらないので結果、ヒット信号は時間の遅い方に分布するようになる。

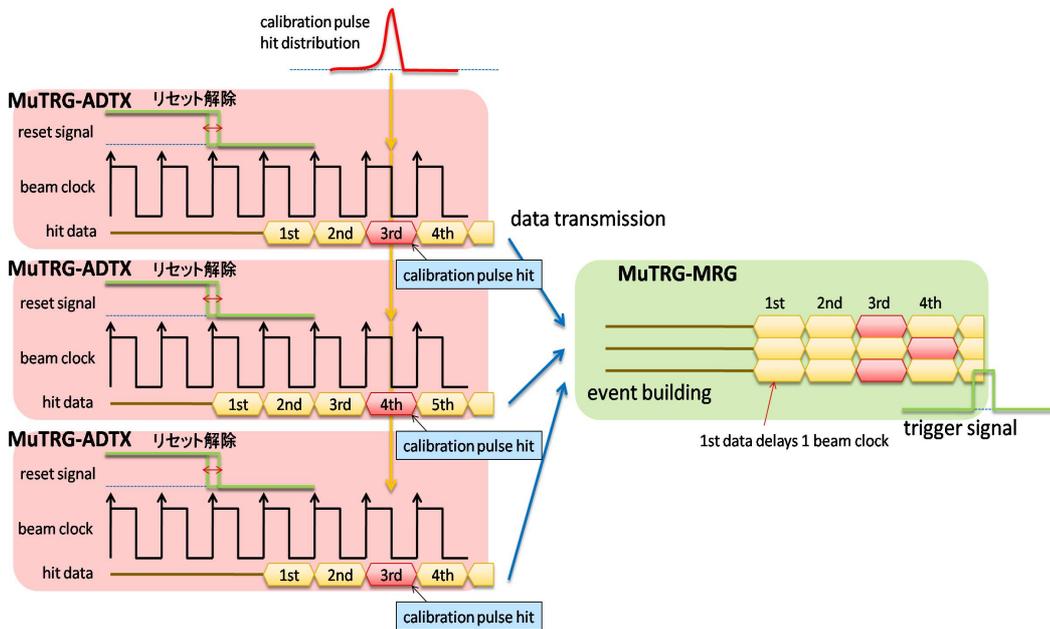
以上の方法で MuTRG-ADTX におけるリセット信号の立ち下がり時間の不定領域の位置と広がりを求めることができた。station-2、station-3 についても同様に求めほぼ同じ位置にこの領域があることを確認した。これは等長のケーブルを用いているので、そのようになって然るべきである。そこで、リセット信号が MuTRG-ADTX に到達するタイミングの不定性による時間分解能の悪化を防ぐためには、リセットにかける遅延を 60nsec 付近から外した値にすればよいことが分かる。

7.4 トリガーのタイミング

MuTRG-MRG 内の処理用ビームクロックの立ち上がり時間の不定領域の測定においても、リセット信号のスキャン測定のとくと同様に、キャリブレーションパルスが MuTRG-ADTX 上のビームクロックの 1 周期に収まるようにビームクロックの遅延を調節して行った。



(a) リセット信号の立ち下がりの分布が1 ビームクロックに収まっているとき



(b) リセット信号の立ち下がりの分布が1 ビームクロックに収まっていないとき

図 7.7: 図 7.6 のような分布が得られるメカニズム。

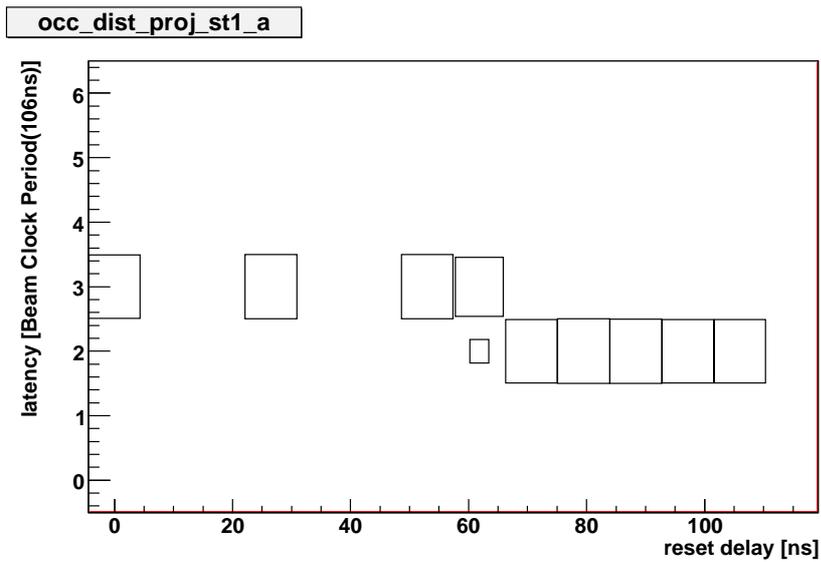


図 7.8: MuTRG-MRG 上のトリガー信号の処理のタイミングに遅延を加えていきヒット信号の分布の変化を測定した結果。横軸が遅延の大きさであり、縦軸がビームクロック単位の時間。

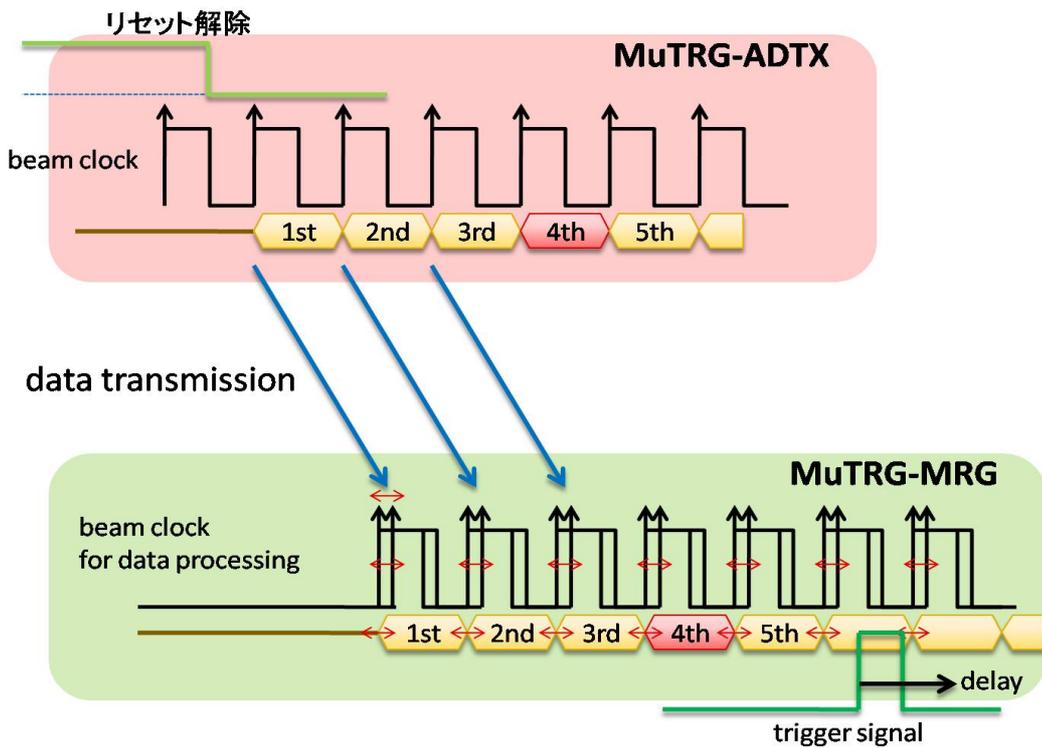


図 7.9: 図 7.8 のような分布が得られるメカニズム。

7.4.1 測定方法

MuTRG-MRG 内でトリガー信号を処理するタイミングに対して遅延をかけていった。各遅延でのヒット信号の時間分布を、リセット信号のスキャン測定のと様同様に、ヒット信号のデータを取るたびに FEM にリセットかけて測定した。ここでも MuTRG-MRG 上の処理用ビームクロックの立ち上がりの位置を変化させるには、リセットをかけてもう一度 MuTRG-ADTX からヒットデータを流し始めさせなければならないからである。このときに MuTRG-MRG 上では処理用ビームクロックの再生成がおこなわれる。このようにしてヒット信号の時間分布（ヒット信号が得られる読み出し用 Latency の値の分布）を測定した。ここでもロジックは 1of3 として、読み出し用 Latency の値にして 37~31 の時間領域におけるヒット信号の数を求めた。

7.4.2 測定結果

この測定の結果が図 7.9 である。この図で横軸は MuTRG-MRG がトリガー信号を受けてから処理までの遅延である。また縦軸はビームクロック単位の時間を表わす。前回と同じように図は box plot で表示しており、各四角の大きさはその遅延、その時間での station-1 octant-2 でのヒットの総数を表わす。

これを見るとわかるように、遅延をかけていくと 55nsec までは変化はないのであるが、さらに遅延を加えるとヒット信号の分布が起こる。そしてすぐにまた 1 ビームクロックに収まるようになるのだが、このとき元の時間より 1 ビームクロック手前の時間に移動しているのが分かる。この分布が移り変わる遅延の値が、MuTRG-MRG 上の処理用ビームクロックの立ち上がり時間の不定領域とトリガー信号の立ち上がりとが重なる時のものである。

以下にこの分布が生じる理由を示す。図 7.9 のように、MuTRG-MRG 上の処理用ビームクロックが立ち上がる時間というのは、MuTRG-ADTX から送られてくるデータのうち、一番先頭のものが MuTRG-MRG に到達する時間で決まっている。複数台の MuTRG-ADTX につながっている場合は、それらから送られる複数の先頭のデータのうち到達時間が一番遅かったもので決まる。しかし MuTRG-ADTX から送られてくるデータの MuTRG-MRG への到達時間に不定性があるために、MuTRG-MRG 上の処理用ビームクロックが立ち上がる時間にも、リセットをかけるたびに変化するという、不定性が生じてしまう。

まずトリガー信号の立ち上がりが、この不定領域に重なっていないとする。このときキャリアレーションパルスからのヒット信号のデータを取ると、トリガー信号が処理されるビームクロックの立ち上がりは毎回同じ位置となるので、キャリアレーションパルスからのヒット信号が届けられるビームクロックと、トリガー信号が処理されるビームクロックとの時間差はリセットをかけても変わらない。

次にトリガー信号に遅延を加えていったとする。あるところまでは上記の状態と変わらないのであるが、いずれトリガー信号の立ち上がりが不定領域に重なる。このときはリセット毎にトリガー信号が処理されるビームクロックの立ち上がりの位置が前後に変わってしまう。それに対してヒット信号が届けられるビームクロックの位置は遅延には依らないので、これによりトリガー信号が処理されるビームクロックの立ち上がりとの時間差がリセット毎に変化してしまう。図 7.9 の 60nsec 付近に見えているのがこの分布である。そしてさらにトリガー信号に遅延を加えていくと、トリガー信号の立ち上がりはこの不定領域から外れるの

であるが、ビームクロックの立ち上がりをまたいだために、トリガー信号が処理されるビームクロックの立ち上がりからのヒット信号が届けられるビームクロックの位置が遅くなったようになる。これがヒット信号が記録される時間が1ビームクロック手前に移動する理由である。

以上のように MuTRG-MRG 上の処理用のクロックの立ち上がりについても以上の方法で、不定領域の位置と広がりを知ることができた。以上によりトリガー信号の処理の遅延を60nsec をはずしてかけることで、これによる時間分解能の悪化を防ぐことができる。

第8章 結論

RHIC PHENIX 実験では 500GeV での陽子陽子衝突の際に生成される W ボソンの単一偏極非対称性を測定することによる陽子内の海クォークのスピンの偏極度分布の解明がいよいよ始められる。この測定には新たに高運動量 μ 粒子 LL1 トリガーシステムが必要であり、その開発が進められてきた。

筆者は其中で MuTRG-MRG と、MuTRG-DCMIF と呼ばれる 2 つの回路の開発を担当してきた。MuTRG-MRG は複数の MuTRG-ADTX から送られる MuTr のヒットデータを収集し、2.8Gbps という非常に速い通信速度で LL1 に送信する回路である。MuTRG-MRG はさらに Muon Arm に孤立した MuTRG-ADTX をコントロールするという役割も担っている。一方、MuTRG-DCMIF は複数の MuTRG-MRG からのトリガーのかかったヒットデータを収集し、1.6Gbps という速い通信速度で DCM に送信する回路である。また MuTRG-DCMIF は DAQ が働いているときに GTM から送信される制御信号を受け取りそれらを FEM 全体に伝える役割も持つ。

これらの回路を回路図から作成し、部品選定、レイアウトの作成を行った。また試作機を開発し、KEK 回路室において性能評価を行い MuTRG-ADTX との制御および通信を確認した。

そして 2008 年秋から冬にかけて、出来上がった MuTRG-MRG と MuTRG-DCMIF を PHENIX DAQ に組み込んで性能試験を行った。これにより、ヒット信号の生成ロジックが正しく機能していることを確かめた。その上で検出効率の評価を行い、

- 伝搬処理におけるロス $< 6.1 \times 10^{-7}$

で正しく動いていることを確認した。またヒット信号の並び替えに関しても想定される結果を得た。

加えて、MuTRG-ADTX と MuTRG-MRG との非同期通信により懸念される時間分解能の悪化については、

- MuTRG-MRG からのリセット信号
- MuTRG-MRG 上でのトリガー信号の処理のタイミング

以上の信号に遅延を加えることで避けられることを確認した。これらに加えて MuTRG-MRG、MuTRG-DCMIF が持つ様々な機能についても正しく動作していることを確認した。

以上により MuTRG-MRG、MuTRG-DCMIF が、MuTRG-ADTX への制御及び通信、DCM へのデータ送信に関して十分にその役割を發揮していることを結論できる。現在ではこれらの回路は量産中である。それらの回路は点検した後、2009 年 2 月の下旬からの開始が予定されている 500GeV の陽子陽子衝突実験に向けて、PHENIX DAQ への設置作業を行う予定である。

謝辞

MuTRG-MRG、MuTRG-DCMIF の開発を行うにあたってたくさんの方々に大変お世話になりました。特に KEK の佐々木修様、池野正弘様には開発において、大変ご多忙のさなか親身になってアドバイスしていただきました。お二人のサポートがなければこの回路の完成はなかったと言っても過言ではありません。心よりお礼申し上げます。

またトリガーシステムの開発作業、及び設置作業に協力していただいた、京都大学、立教大学の浅野秀光君、秋山岳伸君、足立智君、河西実希さん、川村広和さん、佐田優太君、聖代橋悦子さん、豊田健司君、新田稔君、二宮一史君、秦麻記さんらのご尽力のおかげで、このプロジェクトの人手不足という危機的な状況を乗り切ることができました。彼らの協力により 200 台にも上る MuTRG-ADTX の大規模なインストール作業を無事終わらせることができました。それぞれの研究でお忙しい中、細かい仕事からなにもで惜しみなく手伝っていただいて本当にありがとうございました。

最後に、皆様の今後のご活躍をお祈りして、簡単ではありますが、御礼のあいさついたします。ありがとうございました。

関連図書

- [1] G.Bunce *et al.*, *Annu. Rev. Nucl. Part. Sci.* **50**, 525, (2000)
- [2] Ashman J, *et al.* *Phys. Lett.* **B206**, 364, (1988)
- [3] Adeva B, *et al.* *Phys. Rev.* **D58**, 112002, (1998)
- [4] Anselmino M, Efremov A, Leader E. *Phys. Rep.* **261**, 1, (1995)
- [5] B. Adeva *et al.* *Phys. Lett.* **B420**, 180, (1998)
- [6] K. Ackerstaff *et al.* *Phys. Lett.* **B464**, 123, (1999)
- [7] D. de Florian *et al.* *Phys. Rev.* **D71**, 094018, (2005)
- [8] S. Kretzer, *Phys. Rev.* **D62**, 054001, (2000)
- [9] B. A. Kniehl *et al.* *Nucl. Phys.* **B582**, 514, (2000)
- [10] N. Saito, J. M. Moss,
URL: <http://www.phenix.bnl.gov/phenix/WWW/muon/notes/d10.ps>
- [11] C. Bourrely and J. Soffer, *Phys. Lett.* **B314**, 132, (1993)
- [12] A. Adare, *et al.*
URL: https://www.phenix.bnl.gov/phenix/WWW/p/info/an/506/WBackgroundNote_June302006.pdf
- [13] Bourrely C, Soffer J. *Nucl. Phys.* **B445**, 341, (1995)
- [14] Gehrmann T, Stirling WJ. *Phys. Rev.* **D53**, 6100, (1996)
- [15] I. Alekseev *et al.*
URL: <http://www.agsrhichome.bnl.gov/RHIC/Spin/design/CMan/CMan.pdf>
- [16] K. Adcox *et al.* *Nucl. Instrum. Meth.* **A499**, 469, (2003)
- [17] H. Akikawa *et al.* *Nucl. Instrum. Meth.* **A499**, 537, (2003)
- [18] M. Allen *et al.* *Nucl. Instrum. Meth.* **A499**, 549, (2003)
- [19] J. Murate *et al.* *Nucl. Instrum. Meth.* **A500**, 309, (2003)
- [20] 青木和也、修士論文、京都大学大学院理学研究科、(2003)
- [21] 庄司幸平、修士論文、京都大学大学院理学研究科、(2004)

- [22] 佐藤晃邦、修士論文、京都大学大学院理学研究科 (2006)
- [23] 唐津謙一、修士論文、京都大学大学院理学研究科 (2007)
- [24] F.Whon,
URL: https://www.phenix.bnl.gov/phenix/WWW/publish/wohn/oct_97/muon_id_report.ps
- [25] A. Adare, et al.
URL: https://www.phenix.bnl.gov/phenix/WWW/publish/vince/level1/lvl1_algorithm_041198.ps
- [26] URL: http://japan.xilinx.com/support/documentation/data_sheets/j_ds099.pdf